

半导体结构、其版图以及半导体器件

本公开以 2021 年 08 月 10 日递交的、申请号为 202110915940.3 且名称为“半导体结构、其版图以及半导体器件”的专利文件为优先权文件，该文件的全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体领域，具体而言，涉及一种半导体结构、其版图以及半导体器件。

背景技术

现有技术中，在电容上一般会设置电容极板，但是目前电容极板的电阻较大，在某些存储器中，电容极板的电阻率达到 50 欧姆左右，严重影响了结构的性能。

目前，由于电容上的电容极板的电阻较大导致半导体器件的电阻较大的问题还没有有效的解决方法。

在背景技术部分中公开的以上信息只是用来加强对本文所描述技术的背景技术的理解，因此，背景技术中可能包含某些信息，这些信息对于本领域技术人员来说并未形成在本国已知的现有技术。

发明内容

本公开的主要目的在于提供一种半导体结构、其版图以及半导体器件，以提高半导体结构的性能。

为了实现上述目的，根据本公开的一个方面，提供了一种半导体结构，该半导体结构包括：多个间隔的第一导电层；多个电容组，所述电容组一一对应地位于所述第一导电层上，所述电容组包括至少一个电容，各所述电容包括由下至上依次叠置的下电极层、电容介质层和上电极层；电容极板，位于各所述上电极层上；第二导电层，位于所述电容极板上且与所述电容极板连接。

根据本公开的另一方面，提供了一种半导体结构的版图，包括：多个间隔设置的第一导电层图形；多个电容组图形，一一对应地位于所述第一导电层图形上，一个所述电容组图形包括至少一个电容图形；电容极板图形，覆盖在各所述电容组图形上；第二导电图形，覆盖在至少部分所述电容极板图形上。

根据本公开的再一方面，提供了一种半导体器件，包括任一种所述的半导体结构或者所述半导体器件的版图包括任一种所述半导体结构的版图。

应用本公开的技术方案，上述的半导体结构中，在电容极板的上方形成第二导电层，并且第二导电层与电容极板连接，这样上述半导体结构中，第二导电层相当于并联在电容极板两端，即第二导电层与电容极板并联，二者并联形成的电阻比电容极板自身的电阻小。因此，相对于没有第二导电层的半导体结构来说，增加了第二导电层的半导体结构的电阻较小，从而避免了由于电阻较大影响性能的问题，提高了半导体结构的性能。

附图说明

构成本公开的一部分的说明书附图用来提供对本公开的进一步理解，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公开的不当限定。在附图中：

图 1 示出了根据本公开的半导体结构的一种实施例的结构示意图；

图 2 示出了图 1 的半导体结构的实施例的等效电路示意图；

图 3 示出了根据本公开的半导体结构的一种实施例的结构示意图；

图 4 示出了根据本公开的半导体结构的版图的实施例的示意图；

图 5 示出了包括半导体结构的电荷泵的结构示意图；

图 6 示出了根据本公开的半导体结构的对比例的版图示意图；

图 7 示出了根据本公开的半导体结构的对比例的结构示意图；

图 8 示出了图 7 的半导体结构的实施例的等效电路示意图。

其中，上述附图包括以下附图标记：

10、第一导电层；20、电容组；21、电容；30、电容极板；31、第一部分；32、第二部分；33、第三部分；40、第一接触通孔；50、第二导电层；60、第二接触通孔；100、第一导电层图形；200、电容组图形；201、电容图形；300、电容极板图形；400、第一接触通孔图形；500、第二导电图形；600、第二接触通孔图形。

具体实施方式

应该指出，以下详细说明都是例示性的，旨在对本公开提供进一步的说明。除非另有指明，本文使用的所有技术和科学术语具有与本公开所属技术领域的普通技术人员通常理解的含义。

需要注意的是，这里所使用的术语仅是为了描述具体实施方式，而非意图限制根据本公开的示例性实施方式。如在这里所使用的，除非上下文另外明确指出，否则单数形式也意图包括复数形式，此外，还应当理解的是，当在本说明书中使用术语“包含”和/或“包括”时，其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

应该理解的是，当元件（诸如层、膜、区域、或衬底）描述为在另一元件“上”时，该元件可直接在该另一元件上，或者也可存在中间元件。而且，在说明书以及权利要求书中，当描述有元件“连接”至另一元件时，该元件可“直接连接”至该另一元件，或者通过第三元件“连接”至该另一元件。

正如背景技术所介绍的，现有技术中的包括电容的半导体结构中，由于电容上的电容极板的电阻较大，使得半导体结构的电阻较大，影响了半导体结构的性能，为了解决如上的技术问题，本公开提出了半导体结构、其版图以及半导体器件。

本公开的一种典型的实施方式中，提供了一种半导体结构，如图1所示，该半导体结构包括多个间隔的第一导电层10、多个电容组20、电容极板30以及第二导电层50。其中，多个电容组20一一对应地位于上述第一导电层10上，上述电容组20包括至少一个电容21，各上述电容21包括由下至上依次叠置的下电极层、电容介质层和上电极层，即下电极层位于第一导电层10上，电容介质层位于下电极层上，上电极层位于电容介质层上，图中未示出电容组20的具体结构；电容极板30位于各上述上电极层上，即多个电容组实际为串联；第二导电层50位于上述电容极板30上方且与上述电容极板30连接。

上述的半导体结构中，在电容极板30的上方形成第二导电层50，并且第二导电层50与电容极板30连接，这样上述半导体结构中，第二导电层50相当于并联在电容极板30两端，即第二导电层50与电容极板30并联，二者并联形成的电阻比电容极板30自身的电阻小。因此，相对于没有第二导电层50的半导体结构来说，增加了第二导电层50的半导体结构的电阻较小，从而避免了由于电阻较大影响性能的问题，提高了半导体结构的性能。

如图1所示，本公开的一种具体实施例中，上述半导体结构还包括第一接触通孔40，第一接触通孔40位于上述电容极板30和上述第二导电层50之间，且用于连接上述电容极板30和上述第二导电层50。通过第一接触通孔40可以更方便地连接第二导电层50和电容极板30。该结构的等效电路图如图2所示，由图2可知，电容极板30、第二导电层50以及第一接触通孔40三者形成的部分的电阻 $R_{\text{total}} = R_{\text{CT+MI}} // R_{\text{TCP}}$ 。其中， R_{TCP} 为电容极板30的电阻， $R_{\text{CT+MI}}$ 为第二导电层50以及第一接触通孔40的电阻， R_{total} 为电容极板30和第二导电层50并联的等效电阻。因此，相对于没有第二导电层50的半导体结构来说，该结构中的电阻仍然较小。

本公开的第一接触通孔的材料为导电材料，具体可以根据实际情况来选择，可以包括但不限于钨(W)、铜(Cu)、镍(Ni)、金(Au)或银(Ag)等等。

具体地，上述第一接触通孔的数量可以根据第二导电层的面积等来设置，可以设置为多个，也可以设置为一个。例如，当第二导电层的面积较大时，第一接触通孔的数量可以设置较多，当第二导电层的面积较小时，对应地，第一接触通孔的数量可以设置较少。第一接触通孔的数量越多，整体等效电阻越小，电容极板30和第二导电层50并联的等效电阻越小。

为了更好地连接第二导电层50和电容极板30，且稳定地支撑第二导电层50，如图1所示，本公开的一种具体的实施例中，上述第一接触通孔40有多个，且多个上述第一接触通孔40间隔设置。

上述的第二导电层 50 可以有一个,如图 1 所示,这种情况中,第二导电层 50 的面积与电容极板 30 的面积近似相等(实际第二导电层的面积略小)。

当然,第二导电层 50 也可以有多个。本公开的一种实施例中,如图 3 所示,上述第二导电层 50 有多个,且多个第二导电层 50 在预定方向上间隔设置,该预定方向为垂直于上述第一导电层 10 的厚度方向,这种情况中,所有的第二导电层 50 的面积之和可以与电容极板 30 的面积近似相等。

还需要说明的是,当第二导电层有一个时,第二导电层可以由一种金属材料形成,也可以由多种金属材料形成,当由多种材料形成时,多种金属材料可以混合形成一个整层,也可以分别形成一个金属层,多种金属材料形成多个金属层,多个金属层叠置形成第二导电层。当第二导电层有多个时,多个第二导电层的材料和厚度可以相同也可以不同,当厚度不同时,第一接触通孔的高度可能也要随着调整,另外,每个第二导电层具体的材料设置可以参见第二导电层有一个的情况,此处不再赘述。

本公开的另一种实施例中,本公开的第一导电层的材料可以为金属,即第一导电层为金属层。上述第一导电层的顶部与上述下电极层的底部相连接。

本公开的上述下电极层可以包括金属氮化物及金属硅化物中的一种或两种所形成的导电性化合物,如氮化钛(Titanium Nitride),硅化钛(Titanium Silicide),硅化镍(Titanium Silicide),硅氮化钛(TiSixNy)。本公开的一种具体的实施例中,上述下电极层可包括原子层沉积(ALD)形成的氮化钛层。

本公开的上述电容 21 介质层可以为高 K 介质层,以提高单位面积电容的电容值,可以包括氮化物或者 ZrO_x 、 HfO_x 、 $ZrTiO_x$ 、 RuO_x 、 SbO_x 、 AlO_x 中的一种或上述材料所组成群组中的两种以上所形成的叠层。

本公开的上述上电极层可以包括金属氮化物及金属硅化物中的一种或两种所形成的化合物,如氮化钛(Titanium Nitride),硅化钛(Titanium Silicide),硅化镍(Titanium Silicide),硅氮化钛(TiSixNy)。具体的一种实施例中,上述上电极层包括原子层沉积(ALD)形成的氮化钛层。

还需要说明的是,本公开中的第二导电层和第一导电层的材料可以包括但不限于钨(W)、铜(Cu)、镍(Ni)、金(Au)或银(Ag)等等,二者的材料可以相同,也可以不同,本领域技术人员可以根据实际情况选择合适的材料。

本公开的电容极板为导电层,可以包括导电材料以及半导体材料硅 Si 和/或锗 Ge 等,具体可以根据实际情况选择合适的材料形成本公开的电容极板 30。

具体的实施例中,如图 1 所示,本公开的半导体结构还包括第二接触通孔 60,该第二接触通孔 60 位于第一导电层 10 上,且位于电容极板的预定区域外,上述预定区域为上述第一导电层的设置有上述电容组的区域。

上述第二接触通孔的材料为导电材料，具体可以根据实际情况选择，可以包括但不限于钨(W)、铜(Cu)、镍(Ni)、金(Au)或银(Ag)等等。

本公开的一种具体的实施例中，上述第二接触通孔 60 有多个。具体的设计过程中，可以根据实际情况来设置一个或者多个第二接触通孔，具体的位置也可以根据实际情况调整。

本公开的另一种典型的实施方式中，提供了一种半导体结构的版图，如图 4 所示，该版图包括多个间隔设置的第一导电层图形 100、多个电容组图形 200、电容极板图形 300 以及第二导电图形 500。其中，多个电容组图形 200 一一对应地位于上述第一导电层图形 100 上，一个电容组图形 200 至少包括一个电容图形 201；电容极板图形 300 覆盖在各上述电容组图形 200 上；第二导电图形 500 覆盖在至少部分上述电容极板图形 300 上。

上述的半导体结构的版图中，在电容极板图形上具有第二导电图形，这样使得该版图对应的半导体结构中，在电容极板上对应地形成第二导电层，即形成了与电容极板连接的第二导电层，第二导电层相当于并联在电容极板两端，即第二导电层与电容极板并联，二者并联形成的电阻比电容极板自身的电阻小。因此，相对于没有第二导电图形的半导体结构的版图来说，增加了第二导电图形的版图对应的半导体结构的电阻较小，从而避免了由于电阻较大影响性能的问题，提高了半导体结构的性能。

如图 4 所示，本公开的一种具体实施例中，上述半导体结构还包括第一接触通孔图形 400，第一接触通孔图形 400 位于上述电容极板图形 300 和上述第二导电图形 500 之间，具体地，第一接触通孔图形 400 位于上述电容极板图形 300 上，上述第二导电图形 500 覆盖在上述第一接触通孔图形 400 上。这样在利用该版图对应的半导体结构时，对应的第一接触通孔图形形成第一接触通孔，且第一接触通孔连接上述电容极板 30 和上述第二导电层 50，如图 1 所示。通过第一接触通孔 40 可以更方便地连接第二导电层 50 和电容极板 30。该结构的等效电路图如图 2 所示，由图 2 可知，电容极板 30、第二导电层 50 以及第一接触通孔 40 三者形成的部分的电阻 $R_{\text{total}} = R_{\text{CT}+\text{M1}} // R_{\text{TCP}}$ 。其中， R_{TCP} 为电容极板 30 的电阻， $R_{\text{CT}+\text{M1}}$ 为第二导电层 50 以及第一接触通孔 40 的电阻， R_{total} 为电容极板 30 和第二导电层 50 并联的等效电阻。因此，相对于没有第二导电图形 500 的半导体结构的版图来说，该版图使得对应的半导体结构中的电阻仍然较小。

需要说明的是，为了将每个图形显示出来，使得本领域技术人员能够更加清楚地了解每个图形的位置，本公开的图 4 以及图 6 实际为版图的透视图，即部分实际上已经被其他图形覆盖的图形也示出了。在图 4 中，示出了实际上已经被电容极板图形 300 覆盖的电容组图形 200，也示出了被第二导电图形 500 覆盖的第一接触通孔图形 400；图 6 中，示出了实际上已经被电容极板图形 300 覆盖的电容组图形 200。

具体地，上述第一接触通孔图形 400 的数量可以根据第二导电图形 500 的面积等来设置，可以设置为多个，也可以设置为一个。例如，当第二导电图形 500 的面积较大时，第一接触通孔图形 400 的数量可以设置较多，当第二导电图形 500 的面积较小时，对应地，第一接触

通孔图形 400 的数量可以设置较少。第一接触通孔图形的数量越多，整体等效电阻越小，电容极板 30 和第二导电层 50 并联的等效电阻越小。

为了更好地连接对应的半导体结构中的第二导电层 50 和电容极板 30，且稳定地支撑第二导电层 50，如图 4 所示，本公开的一种具体的实施例中，上述第一接触通孔图形 400 有多个，且多个上述第一接触通孔图形 400 间隔设置。

上述的第二导电图形 500 可以有一个，如图 4 所示，这种情况中，第二导电图形 500 的面积与电容极板图形 300 的面积近似相等（第二导电图形的面积略小）。

当然，第二导电图形 500 也可以有多个。本公开的一种实施例中，上述第二导电图形有多个，且多个第二导电图形间隔设置，这种情况中，所有的第二导电图形的面积之和可以与电容极板图形 300 的面积近似相等。

本公开的上述版图对应的半导体结构中的电容包括下电极层，其中，下电极层可以包括金属氮化物及金属硅化物中的一种或两种所形成的导电性化合物，如氮化钛(Titanium Nitride)，硅化钛(Titanium Silicide)，硅化镍(Titanium Silicide)，硅氮化钛(TiSixNy)。本公开的一种具体的实施例中，上述下电极层可包括原子层沉积(ALD)形成的氮化钛层。

本公开的上述版图对应的半导体结构中的电容包括电容介质层，其可以为高 K 介质层，以提高单位面积电容的电容值，可以包括氮化物或者 ZrOx、HfOx、ZrTiOx、RuOx、SbOx、AlOx 中的一种或上述材料所组成群组中的两种以上所形成的叠层。本公开的上述版图对应的半导体结构中的电容包括上电极层，其可以包括金属氮化物及金属硅化物中的一种或两种所形成的化合物，如氮化钛(Titanium Nitride)，硅化钛(Titanium Silicide)，硅化镍(Titanium Silicide)，硅氮化钛(TiSixNy)。具体的一种实施例中，上述上电极层包括原子层沉积(ALD)形成的氮化钛层。还需要说明的是，本公开中的版图对应的半导体结构中的第二导电图形和第一导电层的材料可以包括但不限于钨(W)、铜(Cu)、镍(Ni)、金(Au)或银(Ag)等等，二者的材料可以相同，也可以不同，本领域技术人员可以根据实际情况选择合适的材料。

本公开的版图对应的半导体结构中的电容极板为导电层，可以包括导电材料以及半导体材料硅 Si 和/或锗 Ge 等，具体可以根据实际情况选择合适的材料形成本公开的电容极板。

具体的实施例中，如图 4 所示，本公开的版图还包括第二接触通孔图形 600，该第二接触通孔图形 600 位于第一导电层图形 100 上，且位于电容极板图形的预定区域外，上述预定区域为上述第一导电层图形 100 的设置上述电容组图形 200 的区域。对应地，该第二接触通孔图形形成的第二接触通孔的材料为导电材料，具体可以根据实际情况选择，可以包括但不限于钨(W)、铜(Cu)、镍(Ni)、金(Au)或银(Ag)等等。本公开的另一种实施例中，上述第二接触通孔图形 600 有多个。

本公开的另一种典型的实施例中，还提供了一种半导体器件，该器件包括上述的半导体结构或者上述半导体器件的版图包括任一种上述半导体结构的版图。具体的半导体结构的情况以及半导体结构的版图的情况可以参见上文中的描述，此处不再累述。

上述的半导体器件中，包括上述的半导体结构中，该半导体结构中，在电容极板 30 的上方形成第二导电层 50，并且第二导电层 50 与电容极板 30 连接，这样上述半导体结构中，第二导电层 50 相当于并联在电容极板 30 两端，即第二导电层 50 与电容极板 30 并联，二者并联形成的电阻比电容极板 30 自身的电阻小。因此，相对于没有第二导电层 50 的半导体结构来说，增加了第二导电层 50 的半导体结构的电阻较小，从而避免了由于电阻较大影响性能的问题，提高了半导体器件的性能。

具体的一种实施例中，上述半导体器件为半导体存储器，其中，上述半导体存储器结构还包括晶体管结构，每个存储单元通常包括电容组 20 和晶体管；上述晶体管的栅极与字线相连、上述晶体管的漏极与位线相连、上述晶体管的源极与电容组 20 相连；上述字线上的电压信号能够控制上述晶体管的打开或关闭，进而通过上述位线读取存储在电容组 20 中的数据信息，或者通过上述位线将数据信息写入到电容组 20 中进行存储。

本公开的另一种实施例中，上述半导体器件为电荷泵，该电荷泵的电路图如图 5 所示，该电荷泵中包括上述的半导体结构，并且，正是由于包括上述的半导体结构，其电阻较小，消耗的功率较少，从而使得该电荷泵的泵效率有所提升。

当然，本公开的上述半导体器件并不限于是半导体存储器或者电荷泵，其还可以为任何其他包括上述半导体结构的器件，即本领域技术人员可以将上述半导体结构应用在任何需要其的器件中。

为了使得本领域技术人员并能够更加清楚本公开的技术方案，以下将结合具体的实施例进行说明。

实施例

如图 1 所示，该半导体结构由第一导电层 10、多个电容组 20、一个电容极板 30、多个第一接触通孔 40、一个第二导电层 50 形成。其中，第一导电层 10 包括多个间隔设置的第一导电层 10，多个电容组 20 一一对应地位于上述第一导电层 10 上，各上述电容 21 包括由下至上依次叠置的下电极层、电容介质层和上电极层；电容极板 30 位于各上述上电极层上；第二导电层 50 位于上述电容极板 30 上方且与上述电容极板 30 通过多个第一接触通孔 40 连接。

电容极板 30 由第一部分 31、第二部分 32 和第三部分 33 形成，其中，第一部分 31 在第一导电层 10 上的投影位于相邻的两个第一导电层 10 中的一个第一导电层 10 上，第三部分 33 在第一导电层 10 上的投影位于相邻的两个第一导电层 10 中的另一个第一导电层 10 上，第二部分 32 位于第一部分 31 和第三部分 33 之间。第一部分 31 上形成有多个均匀分布的第一接触通孔 40，第三部分 33 上形成有多个均匀分布的第一接触通孔 40。

第二导电层 50 与各第一接触通孔 40 连接，且第二导电层 50 在第一导电层 10 上的投影可以位于电容极板 30 在第一导电层 10 上的投影内。

图1示出的结构的等效电路结构为图2所示,对应地,图1部分的等效电阻为 $R_{\text{total1}} = R_{\text{CT+M1}} // R_{\text{TCP}}$,其中, $R_{\text{CT+M1}}$ 为第二导电层50和第一接触通孔40串联的电阻值, R_{TCP} 为电容极板30的电阻。

对比例

与实施例不同之处在于,该半导体结构不包括第二导电层50和第一接触通孔40,其版图如图6所示,其结构图如图7所示,其等效电路结构如图8所示,图7部分的等效电阻为 $R_{\text{total2}} = R_{\text{TCP}}$, R_{TCP} 为电容极板30的电阻。

由上述实施例和对比例的等效电阻对比可知,实施例由于增加了第一接触通孔40和第二导电层50,使得半导体结构的电阻减小。

从以上的描述中,可以看出,本公开上述的实施例实现了如下技术效果:

1)、本公开的半导体结构中,在电容极板的上方形成第二导电层,并且第二导电层与电容极板连接,这样上述半导体结构中,第二导电层相当于并联在电容极板两端,即第二导电层与电容极板并联,二者并联形成的电阻比电容极板自身的电阻小。因此,相对于没有第二导电层的半导体结构来说,增加了第二导电层的半导体结构的电阻较小,从而避免了由于电阻较大影响性能的问题,提高了半导体结构的性能。

2)、本公开的半导体器件中,包括上述的半导体结构中,该半导体结构中,在电容极板的上方形成第二导电层,并且第二导电层与电容极板连接,这样上述半导体结构中,第二导电层相当于并联在电容极板两端,即第二导电层与电容极板并联,二者并联形成的电阻比电容极板自身的电阻小。因此,相对于没有第二导电层的半导体结构来说,增加了第二导电层的半导体结构的电阻较小,从而避免了由于电阻较大影响性能的问题,提高了半导体器件的性能。

3)、本公开的半导体结构的版图中,在电容极板图形上具有第二导电图形,这样使得该版图对应的半导体结构中,在电容极板上对应地形成第二导电层,即形成了与电容极板连接的第二导电层,第二导电层相当于并联在电容极板两端,即第二导电层与电容极板并联,二者并联形成的电阻比电容极板自身的电阻小。因此,相对于没有第二导电图形的半导体结构的版图来说,增加了第二导电图形的版图对应的半导体结构的电阻较小,从而避免了由于电阻较大影响性能的问题,提高了半导体结构的性能。

以上所述仅为本公开的优选实施例而已,并不用于限制本公开,对于本领域的技术人员来说,本公开可以有各种更改和变化。凡在本公开的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。

权 利 要 求 书

- 1. 一种半导体结构，包括：
 - 多个间隔的第一导电层；
 - 多个电容组，所述电容组一一对应地位于所述第一导电层上，所述电容组包括至少一个电容，各所述电容包括由下至上依次叠置的下电极层、电容介质层和上电极层；
 - 电容极板，位于各所述上电极层上；
 - 第二导电层，位于所述电容极板上且与所述电容极板连接。
- 2. 根据权利要求 1 所述的半导体结构，其中，所述半导体结构还包括：
 - 第一接触通孔，位于所述电容极板和所述第二导电层之间，用于连接所述电容极板和所述第二导电层。
- 3. 根据权利要求 2 所述的半导体结构，其中，所述第一接触通孔有多个，且多个所述第一接触通孔间隔设置。
- 4. 根据权利要求 1 所述的半导体结构，其中，各所述电容组包括多个所述电容。
- 5. 根据权利要求 1 所述的半导体结构，其中，所述半导体结构还包括：
 - 第二接触通孔，位于所述第一导电层上且位于预定区域外，所述预定区域为所述第一导电层的设置有所述电容组的区域。
- 6. 根据权利要求 5 所述的半导体结构，其中，所述第二接触通孔有多个。
- 7. 根据权利要求 5 所述的半导体结构，其中，所述第一导电层和/或所述第二导电层为金属层。
- 8. 一种半导体结构的版图，包括：
 - 多个间隔设置的第一导电层图形；
 - 多个电容组图形，一一对应地位于所述第一导电层图形上，一个所述电容组图形包括至少一个电容图形；
 - 电容极板图形，覆盖在各所述电容组图形上；
 - 第二导电图形，覆盖在至少部分所述电容极板图形上。
- 9. 根据权利要求 8 所述的版图，其中，所述版图还包括：
 - 第一接触通孔图形，位于所述电容极板图形上，所述第二导电图形覆盖在所述第一接触通孔图形上。

10. 根据权利要求 9 所述的版图，其中，所述第一接触通孔图形有多个，且多个所述第一接触通孔图形间隔设置，所述第二导电图形覆盖在所有的所述第一接触通孔图形上。
11. 根据权利要求 8 所述的版图，其中，所述半导体结构的版图还包括：

第二接触通孔图形，位于所述第一导电层图形上且位于预定区域外，所述预定区域为所述第一导电层图形的设置有所述电容组图形的区域。
12. 根据权利要求 11 所述的版图，其中，所述第二接触通孔图形有多个。
13. 根据权利要求 8 所述的版图，其中，所述电容组图形包括多个所述电容图形。
14. 一种半导体器件，包括权利要求 1 至 7 中任一项所述的半导体结构或者所述半导体器件的版图包括权利要求 8 至 13 中任一项所述半导体结构的版图。
15. 根据权利要求 14 所述的半导体器件，其中，所述半导体器件为半导体存储器。