

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月4日(04.03.2021)



(10) 国際公開番号

WO 2021/039089 A1

(51) 国際特許分類:
H01L 21/306 (2006.01) H01L 29/788 (2006.01)
H01L 27/11582 (2017.01) H01L 29/792 (2006.01)
H01L 21/336 (2006.01)

鯨場 真樹(INABA Masaki); 〒6028585 京都府京都市上京区堀川通寺之内上る四丁目天神北町1番地の1 株式会社SCREENセミコンダクターソリューションズ内 Kyoto (JP).

(21) 国際出願番号: PCT/JP2020/025291

(74) 代理人: 前井 宏之(MAEI Hiroyuki); 〒5410043 大阪府大阪市中央区高麗橋3丁目3番11号 淀屋橋フレックスタワー5階 Osaka (JP).

(22) 国際出願日: 2020年6月26日(26.06.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-157007 2019年8月29日(29.08.2019) JP

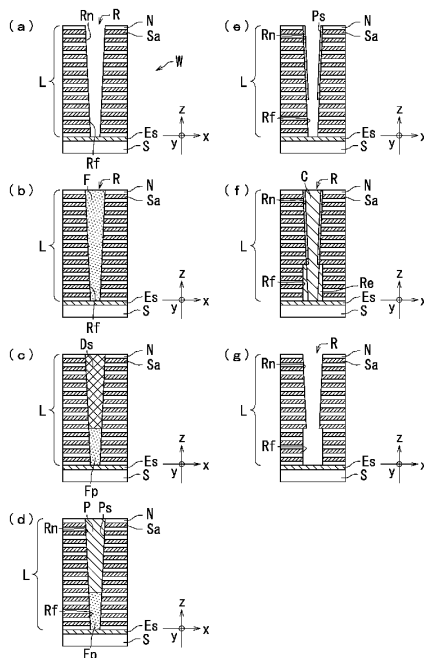
(71) 出願人: 株式会社SCREENホールディングス(SCREEN HOLDINGS CO., LTD.) [JP/JP]; 〒6028585 京都府京都市上京区堀川通寺之内上る四丁目天神北町1番地の1 Kyoto (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(72) 発明者: 梅田 栄次(UMEDA Eiji); 〒6028585 京都府京都市上京区堀川通寺之内上る四丁目天神北町1番地の1 株式会社SCREENセミコンダクターソリューションズ内 Kyoto (JP).

(54) Title: SEMICONDUCTOR ELEMENT FORMING METHOD AND SUBSTRATE PROCESSING DEVICE

(54) 発明の名称: 半導体素子形成方法および基板処理装置



(57) Abstract: This semiconductor element forming method includes a step for forming a coating layer (Ps) and a step for performing etching. In the step for forming a coating layer (Ps), the coating layer (Ps) is formed by selectively coating a portion located at the front surface side of a recess (R), the recess (R) being provided in a layered structure (L) supported by a substrate (S). In the step for performing etching, a deep portion (Rf) of the recess (R) is etched with a chemical liquid (C) so as to expand the diameter of the deep portion (Rf) more than that of the coating layer (Ps) of the recess (R).

(57) 要約: 半導体素子形成方法は、被覆層 (Ps) を形成する工程と、エッチングする工程とを包含する。被覆層 (Ps) を形成する工程において、基材 (S) に支持された積層構造 (L) に設けられたリセス (R) のうち表面側に位置する部分を選択的に被覆する被覆層 (Ps) を形成する。エッチングする工程において、リセス (R) のうち被覆層 (Ps) よりも深部 (Rf) の径を広げるようにリセス (R) のうち深部 (Rf) を薬液 (C) でエッチングする。

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))