一种通信方法及通信装置

相关申请的交叉引用

本申请要求在2024年03月08日提交中华人民共和国国家知识产权局、申请号为202410268825.5、申请名称为“一种通信方法及通信装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及通信技术领域，尤其涉及一种通信方法及通信装置。

背景技术

低密度奇偶校验（low-density parity-check，LDPC）码具有性能好复杂度低等特点，可用于信道编码。LDPC 码的编码性能随着码长的增加而增加，因此，通常会选择码长最长的 LDPC 码。然而，编码过程包括打孔操作（即不传输若干校验比特），打孔操作会导致实际码率的提高，造成性能的损失，如此，选择码长最长的 LDPC 码，反而可能会导致较低的差错控制性能。如何确定 LDPC 码字的长度亟待探索。

发明内容

本申请实施例提供一种通信方法及通信装置，用于确定合适长度的 LDPC 码，以提高差错控性能。

为达到上述目的，本申请实施例采用如下技术方案：

第一方面，提供一种通信方法，该方法可以应用于发送端设备。以发送端设备是第一设备为例，该方法应用于第一设备或者第一设备中的部件（例如电路，芯片或芯片系统等）。为方便描述，下面以该方法应用于第一设备为例。

所述方法包括：第一设备确定待编码信息对应的编码比特个数，根据该编码比特个数确定 LDPC 码字的长度。其中，待编码信息包括数据信息和校验信息。LDPC 码字的长度和编码比特个数满足如下条件：当编码比特个数位于第一取值范围，则 LDPC 码字的长度为第一码长；或者，当编码比特个数位于第二取值范围，若编码比特个数大于或等于待编码信息对应的比特长度与第一取值之和，则 LDPC 码字的长度为第一码长；否则，LDPC 码字的长度为第二码长。第一取值为 X 与(1-R)的乘积，R 为编码码率，X 为系统支持的所有编码码率的分母的公倍数。其中，系统支持的 LDPC 码字的最长长度为 1944×n，n 为大于或者等于 2 的整数，第一码长和所述第二码长均小于或者等于 1944×n；和/或，X=Y+Zt，Z 为系统支持的所有编码码率的分母的最小公倍数，所有编码码率包括 7/8，t 为大于或者等于-2，且小于或者等于 2 的整数。Y 使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于第一阈值。

第二方面，提供另一种通信方法，该方法可以应用于接收端设备。以接收端设备是第二设备为例，该方法应用于第二设备或者第二设备中的部件（例如电路，芯片或芯片系统等）。为方便描述，下面以该方法应用于第二设备为例。

所述方法包括：第二设备接收来自第一设备的信息；第二设备对所述信息进行流解析获得至少一个 LDPC 码字；第二设备根据至少一个 LDPC 码字对所述信息进行译码。

第一方面和第二方面提供的方法针对更长 LDPC 码长（例如 1944×2）和/或更多种编码码率（例如包括 7/8）的情况，提供了确定 LDPC 码字的长度（简称为 LDPC 码长）的方式。在更长 LDPC 码长和/或更多种编码码率的场景下，通过本申请实施例提供的方法确定 LDPC 码长，可使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于某个阈值，从而保证 LDPC 码的差错控制性能。

在可能的实现方式中，LDPC 码字的长度、LDPC 码字的数目N_{CW}与待编码信息对应的编码比特个数N_{avbits}之间满足一定的关系，例如包括如下的一个或多个示例中的一种或多种关系。

示例 1：当系统支持的 LDPC 码字的最长长度为 1944×n，LDPC 码字的数目为 1，第一取值范围和第一码长满足如下关系：（第三码长，第四码长]，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为排序后的倒数第一个 LDPC 码长。

根据示例 1 可知：第一取值范围为（1944×(n-1)，1944×n]，第一码长为 1944×n。在示例 1 中，当 LDPC 码的最长码长至少为 1944×2，N_{avbits}位于第一取值范围（例如（1944×(n-1)，1944×n]）时，LDPC 码长可为 1944×n。例如，当 1944<N_{avbits}≤3888，LDPC 码字的数目为 1，LDPC 码长可为 3888。如此，可使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于某个阈值（例如 30%），从而保证 LDPC 码较优的差错控制性能。

示例 2：当系统支持的 LDPC 码字的最长长度为 1944×n，LDPC 码字的数目为待编码信息对应的数据比特长度N_{pld}与（1944×n×R）的比值，第一取值范围和第一码长满足如下任意关系：第一取值范围为（第三码长+第四码长，+∞]，第一码长为第四码长；或者，第一取值范围为（第四码长-第三码长，+∞]，第一码长为第四码长；或者，第一取值范围为（第四码长-第五码长，+∞]，第一码长为第四码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为排序后的倒数第一个 LDPC 码长，第五码长为系统支持的 LDPC 码长中倒数第三个码长。

根据示例 2 可知：第二取值范围为（1944×(n+1)，+∞]，第一码长为 1944×n；或者，第二取值范围为(1944×(n-1)，+∞]，第一码长为 1944×n；第二取值范围为(1944×(n+1)-648，+∞]，第一码长为 1944×n；或者，第二取值范围为（1944×(n+2)，+∞]，第一码长为 1944×n。

与示例 1 的不同之处在于，示例 2 中针对 LDPC 码字的数目为N_{pld}/1944×n×R 的情况下，N_{avbits}、N_{CW}和 LDPC 码长之间的关系。满足示例 2 中任意关系的 LDPC 码长均可以保证 LDPC 码较优的差错控制性能。

示例 3：当系统支持的 LDPC 码字的最长长度为 1944×n，且 Z=12，LDPC 码字的数目为 1，第二取值范围和第一码长满足如下关系：第二取值范围为（第五码长，第三码长]，若编码比特个数N_{avbits}大于或等于待编码信息对应的比特长度N_{pld}与第一取值之和，第一码长为系统支持的最长 LDPC 码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第五码长为系统支持的 LDPC 码长中倒数第三个码长。

根据示例 3 可知：当 n=2，第二取值范围为（1944×(n+1)-648，1944×(n-1)]，X=2916+12t，第一码长为 1944×n；或者，n=3，第二取值范围为（1944，1944×2]，X=5832+12t，第一码长为 1944×n。

示例 3 示出基于N_{avbits}和N_{pld}确定 LDPC 码长的一种方式。如前述，当 LDPC 码的最长码长至少为 1944×n 时，当N_{avbits}位于（1944×(n+1)-648，1944×(n-1)]，X=2916+12t，可以使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于某个阈值（例如 25%），从而保证 LDPC 码较优的差错控制性能。

示例 4，当系统支持的 LDPC 码字的最长长度为 1944×n，且 Z=12，LDPC 码字的数目为 2，第二取值范围和第一码长满足如下关系：第二取值范围为（第四码长，第四码长+第三码长]，若N_{avbits}大于或等于N_{pld}与第一取值之和，第一码长为系统支持的最长 LDPC 码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为系统支持的 LDPC 码长中倒数第一个码长。

根据示例 4 可知：当 n=2，第二取值范围为（1944×n，1944×(n+1)]，X=1944×(n+1)+12t，第一码长为 1944×n；或者，n=3，第二取值范围为(1944×n，1944×(n+2)]，X=1944×(n+2)+12t，第一码长为 1944×n。

与示例 3 的不同之处在于，示例 3 中针对 LDPC 码字的数目为2的情况下，N_{avbits}、N_{CW}和 LDPC 码长之间的关系。满足示例 2 中任意关系的 LDPC 码长均可以保证 LDPC 码较优的差错控制性能。

示例 5：当系统支持的 LDPC 码字的最长长度为 1944×n，且 Z=12i，i 为大于或者等于 2 的整数，LDPC 码字的数目为 1，第二取值范围和第一码长满足如下关系：第二取值范围为（第五码长，第三码长]，若N_{avbits}大于或等于N_{pld}与第一取值之和，且所述 X=Y+12i×t，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，第五码长为系统支持的 LDPC 码长中倒数第三个码长。

根据示例 5 可知：第二取值范围包括(1944×(n+1)-648，1944×(n-1)]，X=Y+12i×t，第一码长为 1944×n；其中，i=2 或 3，Y 包括 2928；i=3，Y 包括 2916；或者，i=3，Y 包括 2952。

示例 5 针对 LDPC 码的最长码长至少为 1944×2，且系统支持的所有编码码率至少包括 7/8 的情况，提供了N_{avbits}、N_{CW}、N_{pld}和 LDPC 码长之间的关系，以保证 LDPC 码较优的差错控制性能。

示例 6：第二取值范围和第一码长还满足如下关系：第二取值范围包括（0，648]，X=Y+12i×t，第一码长为 1296；其中，i=2，Y 包括 912；i=3，Y 包括 936；i=6，Y 包括 936；或者，第二取值范围包括（648，1296]，X=Y+12i×t，第一码长为 1944；其中，i=2，Y 包括 1363；i=3，Y 包括 1376；i=6，Y 包括 1512。

示例 6 相较于示例 5 还提供了第二取值范围分别为（0，648]和（648，1296]时，LPDC 码长的确定

方式。

示例 7，当系统支持的 LDPC 码字的最长长度为 1944×n，且 Z=12i，i 为大于或者等于 2 的整数，LDPC 码字的数目为 2，第二取值范围和所述第一码长满足如下关系：第二取值范围为（第四码长，第四码长+第三码长]，X=Y+12i×t，第一码长为所述第四码长；或者，第二取值范围为（第三码长，第四码长-第三码长]，X=Y+12i×t，第一码长为第三码长。其中，其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为系统支持的 LDPC 码长中倒数第一个码长。

根据示例 7 可知：第二取值范围为（1944×n，1944×(n+1)]，X=Y+12i×t，第一码长为 1944×n；或者，第二取值范围为（1944×n，1944×(n+1)-648]，X=Y+12i×t，第一码长为 1944×(n-1)。

与示例 5 的不同之处在于，示例 7 中针对 LDPC 码字的数目为2的情况下，N_{avbits}、N_{CW}、N_{pld}和 LDPC 码长之间的关系。满足示例 7 中任意关系的 LDPC 码长均可以保证 LDPC 码较优的差错控制性能。

第三方面，本申请实施例提供了一种通信装置，该通信装置具有实现上述第一方面或第二方面方法实例中行为的功能，有益效果可以参见第一方面或第二方面的相关描述此处不再赘述。例如，该通信装置可以是第一方面中的第一设备，或者，该通信装置可以是能够支持第一设备实现第一方面提供的方法所需的功能的装置，例如该通信装置可以是第一设备中的芯片或者芯片系统。例如，该通信装置可以是第二方面中的第二设备，或者，该通信装置可以是能够支持第二设备实现第二方面提供的方法所需的功能的装置，例如该通信装置可以是第二设备中的芯片或者芯片系统。

在一个可能的设计中，所述通信装置包括无线保真（wireless fidelity，WIFI）芯片。

在一个可能的设计中，该通信装置包括用于执行第一方面的方法的相应手段（means）或模块。例如，所述通信装置：包括处理单元（有时也称为处理模块或处理器）和/或收发单元（有时也称为收发模块或收发器）。收发单元能够实现发送功能和接收功能，在收发单元实现发送功能时，可称为发送单元（有时也称为发送模块），在收发单元实现接收功能时，可称为接收单元（有时也称为接收模块）。发送单元和接收单元可以是同一个功能单元，该功能单元称为收发单元，该功能单元能实现发送功能和接收功能；或者，发送单元和接收单元可以是不同的功能单元，收发单元是对这些功能单元的统称。这些单元（模块）可以执行上述第一方面或第二方面的方法示例中的相应功能，具体参见方法示例中的详细描述，此处不做赘述。

第四方面，本申请实施例提供一种通信装置，该通信装置可以为上述实施例中第三方面中的通信装置，或者为设置在第三方面中的通信装置中的芯片或芯片系统。该通信装置包括通信接口以及处理器，可选的，还包括存储器。其中，该存储器用于存储计算机程序或指令或者数据，处理器与存储器、通信接口耦合。当处理器读取所述计算机程序或指令或数据时，使通信装置执行上述方法实施例中由第一设备所执行的方法，例如，该通信装置可以是第一设备或者第一设备中的功能模块，例如 WIFI 芯片。或者，当处理器读取所述计算机程序或指令或数据时，使通信装置执行上述方法实施例中由第二设备所执行的方法，例如，该通信装置可以是第 设备或者第二设备中的功能模块，例如 WIFI 芯片

第五方面，本申请实施例提供了一种芯片系统，该芯片系统包括处理器，还可以包括通信接口，用于实现第一方面或第二方面所述的方法。可选地，该芯片系统还包括存储器。存储器用于存储计算机程序（也可以称为代码，或指令）。处理器用于从存储器调用并运行计算机程序，使得安装有芯片系统的设备执行第一方面或第二方面及其任一种可能实现方式中的方法。该芯片系统可以由芯片构成，也可以包含芯片和其他分立器件。

第六方面，本申请实施例提供了一种通信装置，该通信装置包括输入输出接口和逻辑电路。输入输出接口用于输入和/或输出信息。输入输出接口可以是接口电路、输出电路、输入电路、管脚或相关电路等。逻辑电路用于执行第一方面或第二方面所述的方法。

在具体实现过程中，上述通信装置可以为芯片，输入电路可以为输入管脚，输出电路可以为输出管脚，逻辑电路可以为晶体管、门电路、触发器和各种逻辑电路等。输入电路所接收的输入的信号可以是由例如但不限于接收器接收并输入的，输出电路所输出的信号可以是例如但不限于输出给发射器并由发射器发射的，且输入电路和输出电路可以是同一电路，该电路在不同的时刻分别用作输入电路和输出电路。本申请对输入输出接口及逻辑电路的具体实现方式不做限定。

在一种实现方式中，当通信装置是无线通信设备，该无线通信设备可以是诸如手机这样的终端设备，或者，该无线通信设备可以是诸如基站这样的网络设备；或者，无线通信设备可以是诸如路由器这样的

WIFI 设备。接口电路可以为无线通信设备中的射频处理芯片，处理电路可以为无线通信设备中的基带处理芯片。

第七方面，本申请实施例提供了一种通信系统，所述通信系统包括第一设备和第二设备，其中，第一设备用于实现第一方面所述的方法的功能，可将待编码信息编码之后发送给第二设备。第二设备用于实现第二方面所述的方法的功能，可对来自第一设备的信息进行译码，获得待编码信息。

第八方面，本申请实施例提供一种计算机可读存储介质，所述计算机可读存储介质用于存储计算机程序或指令，当其被运行时，使得上述第一方面或第二方面及其任一项实现方式中所述的方法被实现。

第九方面，本申请实施例还提供一种包含指令的计算机程序产品，当其在计算机上运行时，使得上述第一方面或第二方面及其任一项实现方式中所述的方法被实现。

上述第二方面至第九方面及其实现方式的有益效果可以参考对第一方面及其任一项实现方式的有益效果。

附图说明

图 1 为本申请实施例提供的通信系统的架构示意图；

图 2A 为本申请实施例提供的 LDPC 码校验矩阵示意图；

图 2B 为本申请实施例提供的 LDPC 码的 Tanner 图；

图 3A 为本申请实施例提供的码率为 1/2 和码长为 648 的 LDPC 码校验矩阵示意图；

图 3B 为本申请实施例提供的循环移位矩阵 P1 的示意图；

图 4 为本申请实施例提供的 WLAN 中 LDPC 编码流程的示意图；

图 5 为本申请实施例提供的通信方法的流程示意图；

图 6 为本申请实施例提供的通信装置的一种结构示意图；

图 7 为本申请实施例提供的通信装置的另一种结构示意图。

具体实施方式

针对未来可能会引入更长的 LDPC 码长和/或引入更高的编码码率的情况，本申请实施例提出确定 LDPC 码长的方式。通过本申请提供的方案，可减少因选择的 LDPC 码长不合适造成的性能损失，提高 LDPC 码的差错控制性能。LDPC 码长，即 LDPC 码字的长度，可以简称为 LDPC 码字长度，也可以简称为 LDPC 码长。

本申请实施例提供的技术方案适用于局域网（local area networks，LAN），特别是无线局域网（wireless local area network，WLAN），例如适用于采用电气电子工程师协会（institute of electrical and electronics engineers，IEEE）802.11 系列协议中的任意一种协议的 WLAN。其中，WLAN 可以包括一个或多个基本服务集（basic service set，BSS），基本服务集中的网络节点包括接入点（access point，AP）和站点（station，STA）。本申请实施例还可应用于支持 IEEE 802.11ax 下一代无线保真（wireless fidelity，Wi-Fi）协议，如 802.11be、802.11bn，Wi-Fi AI 等 802.11 系列协议的无线局域网系统，还可以应用于基于超宽带（ultra wide band，UWB）的无线个人局域网系统，感知（sensing）系统。

本申请实施例也可以适用于第三代合作伙伴计划（the 3rd generation partnership project，3GPP）相关的通信系统，例如，长期演进（long term evolution，LTE）、第 5 代（the sixth generation，5G）移动通信系统（例如新无线（new radio，NR）通信系统），或者还可以应用于其他下一代移动通信系统，例如第 6 代（6G）通信系统，或者其他类似的通信系统中。其他类似的通信系统可包括设备到设备（device-to-device，D2D）、WIFI、车联网、物联网（internet of things，IoT）系统，窄带物联网（narrow band internet of things，NB-IoT）系统，等等。车联网，例如（vehicle to everything，V2X）、车与车（vehicle-to-vehicle，V2V）等，或可用于智能驾驶、辅助驾驶、或智能网联车等通信系统。

请参见图 1，示出了本申请实施例适用的一种通信系统。该通信系统包括第一设备和第二设备。第一设备与第二设备能够进行通信，例如第一设备为数据的发送端，第二设备为数据的接收端。第一设备在发送数据时可对数据进行编码等操作，第二设备在从第一设备接收数据后可对数据执行译码等操作。

本申请实施例对第一设备和第二设备的类型不作限制。例如，第一设备可以是网络设备，相对地，第二设备可以是终端设备或者网络设备；或者，第一设备可以是终端设备，第二设备可以是网络设备或

者终端设备。本申请实施例中的网络设备可以是无线接入网（radio access network，RAN）节点，RAN节点可以是基站（base station）、演进型基站（evolved NodeB，eNodeB）、接入点（access point，AP）、发送接收点（transmission reception point，TRP）、下一代基站（next generation NodeB，gNB）、6G移动通信系统中的下一代基站、未来移动通信系统中的基站等。RAN节点可以是宏基站、微基站、室内站、中继节点、施主节点/宿主节点、或无线控制器等。RAN节点还可以是服务器、可穿戴设备、车辆或车载设备等。例如，V2X技术中的RAN节点可以为路侧单元（road side unit，RSU）。其中，AP相当于一个连接有线网和无线网的桥梁，主要作用是将各个无线网络客户端连接到一起，然后将无线网络接入以太网。该AP可用作该通信系统的中枢，可以为带有Wi-Fi芯片的基站、路由器、网关、中继器，通信服务器，交换机或网桥等通信设备。该AP可以支持802.11be制式或者802.11be的下一代，如Wi-Fi 8等WLAN制式。AP也可以支持802.11ax、802.11ac、802.11n、802.11g、802.11b及802.11a等WLAN制式。

终端设备，也称为终端、用户设备（user equipment，UE）、移动台、或移动终端等。在本申请实施例中，能够与基站进行数据通信的都可以看作终端设备。终端设备可以广泛应用于各种场景，例如，D2D通信、V2X通信、机器类通信（machine-type communication，MTC）、IoT、虚拟现实、增强现实、工业控制、自动驾驶、远程医疗、智能电网、智能家具、智能办公、智能穿戴、智能交通、或智慧城市等。举例来说，终端设备可以为：手机、电脑、移动互联网设备(mobile internet device，MID)、站点（station，STA）、可穿戴设备，虚拟现实（virtual reality，VR）设备、增强现实（augmented reality，AR）设备、机械臂、摄像头、机器人，或者智能家居设备（例如电视、空调、扫地机、音箱、机顶盒）、中继（relay）、客户终端设备（customer premise equipment，CPE）、车辆、无人机、直升机、飞机、轮船、机器人、机械臂、智能家居设备等。本申请的实施例对终端设备所采用的具体技术和具体设备形态不做限定。其中，STA可以为支持Wi-Fi通讯功能的移动电话、支持Wi-Fi通讯功能的平板电脑、支持Wi-Fi通讯功能的机顶盒、支持Wi-Fi 通讯功能的智能电视、支持Wi-Fi通讯功能的智能可穿戴设备、支持Wi-Fi通讯功能的车载通信设备和支持Wi-Fi通讯功能的计算机等等。STA可以是路由器、交换机和网桥等。STA可以支持802.11be制式，也可以支持802.11ax、802.11ac、802.11n、802.11g、802.11b、802.11a、802.11be，Wi-Fi 7，Wi-Fi 8或其下一代等802.11家族的多种WLAN制式。

如上介绍的各种终端设备，如果位于车辆上（例如放置/安装在车辆内），都可以认为是车载终端设备。车载终端设备可以作为一个或多个部件或者单元而内置于车辆的车载模块、车载模组、车载部件、车载芯片或者车载单元，车辆通过内置的所述车载模块、车载模组、车载部件、车载芯片或者车载单元可以实施本申请的方法。车载终端设备可以为整车设备、车载模块、车辆、车载单元（on board unit，OBU）、路边单元（roadside unit，RSU）、车机系统（或称车载发送单元）（telematics box，T-box）、芯片或片上系统（system on chip，SOC）等，上述芯片或SOC可以安装于车辆、OBU、RSU或T-box中。

为方便理解本申请实施例提供的方案，首先对本申请涉及到的一些相关内容、术语或名词进行简要介绍。

一、LDPC码

LDPC码的校验矩阵是一种稀疏矩阵，即矩阵中非零元素的个数远小于零元素的个数，或者矩阵的行重与码长的比值和列重与码长的比值都是很小的值。LDPC码可以用图的方式表示，这种图示的方式称为Tanner图，Tanner图和校验矩阵一一对应，由两类节点组成：第一类节点代表码字符号，称为变量节点；第二类节点代表校验约束关系，称为校验节点，每个校验节点代表一个校验约束关系。示例性的，如图2A和图2B所示，图2A是本申请实施例提供的LDPC码校验矩阵示意图，图2B是本申请实施例提供的LDPC码的Tanner图。图2A和图2B中$\{V_i\}$表示变量节点集，$\{C_i\}$表示校验节点集。

802.11ac/ax标准中所采用的LDPC码为准循环LDPC(quasi cyclicy LDPC，QC-LDPC)码。QC-LDPC码是一类被广泛应用的结构化LDPC码，由于其校验矩阵的独特结构，编码时可以利用简单的反馈移位寄存器实现，所以能够较好地解决LDPC码的编码复杂度问题。参见图3A，图3A是本申请实施例提供的码率为1/2和码长为648的LDPC码校验矩阵示意图。如图3A所示，码长N=648和码率R=1/2的LDPC码校验矩阵中每个元素表示Z=N/24阶方阵，其中“0”表示Z×Z的单位阵，“-”表示Z×Z的全零矩阵。示例性的，图3A中元素“22”表示Z×Z的单位阵P向右循环移22位得到循环移位矩阵P22，图3A中其它非零元素与元素“22”类似，不再一一详述。其中，Pi表示循环移位矩阵，i(0

≤i≤Z-1)表示循环移位值。参见图 3B，图 3B 是本申请实施例提供的循环移位矩阵 P1 的示意图。如图 3B 所示，循环移位矩阵 P1 表示 Z×Z 的单位阵 P 向右循环移 1 位。

二、确定 LDPC 码长L_{LDPC}的流程

现有 WLAN 标准(如 802.11n/ac 等)采用正交频分复用(orthogonal frequencydivision multiplexing，OFDM)技术，LDPC 编码模块需要将数据比特(也可以理解为有效载荷比特 payload bits)经编码后放入整数个 OFDM 符号中，而这些编码后的比特也必须刚好可放入整数个 LDPC 码字中。所以，在传输之前需要计算本次传输所需的最少 OFDM 符号数目N_{SYM}，再根据 NSYM 和当前编码调制方案计算所有 OFDM 符号中可存放的总编码比特数目$N_{avbits} = N_{CBPS} \times N_{\mathrm{SYM}}$，其中 NCBPS 表示每个 OFDM 符号可存放的编码比特数。然后，根据总编码比特数目N_{avbits}确定当前传输所采用的 LDPC 码长 LLDPC 和所需的码字数目N_{CW}。而对于大多数的待编码数据比特长度和编码调制方案，并没有足够的数据比特可填满 LDPC 码字中的信息比特位置，所以需要在生成校验比特(parity bits)之前进行缩短(shorten)操作。其中，缩短(shorten)操作是指 LDPC 编码生成校验比特之前，在 LDPC 码字的信息比特位置填入一定数目的 0，LDPC 编码生成校验比特之后再将这些 0 删除。

参见图 4，图 4 是本申请实施例提供的 WLAN 中 LDPC 编码流程的示意图。如图 4 所示，WLAN 中 LDPC 编码流程至少包括步骤 1(step 1)~步骤 6(step 6)。

步骤 1：确定待编码数据比特，如有效载荷比特(payloadbits)。

步骤 2：确定 LDPC 码字的长度L_{LDPC}和码字数目N_{CW}，以确定 LDPC 码字，具体确定方参见下文描述。

步骤 3：对待编码数据比特进行缩短操作，即在待编码数据比特后填入缩短 0 比特(shortening zero bits)。

步骤 4: 利用 LDPC 码校验矩阵对每个 LDPC 码字中的待编码数据比特和缩短 0 比特进行编码生成校验比特（Parity bits），随后再将这些缩短 0 比特删除。

步骤 5: 重复(repeat)LDPC 码字中的部分待编码数据比特或打孔(puncture)LDPC 码字中的校验比特，使经过处理(打孔或重复)后的码字比特刚好填满待传输的 OFDM 符号，也就是说经过处理(打孔或重复)后的码字比特数目等于 OFDM 符号所能承载的比特数目。

步骤 6：将多个码字串联(concatenation)并进行流解析(streamparsing)。

[0114]本申请中“LDPC 码长”是指 LDPC 码字的长度(LDPC code word length)，“LDPC 码长”、“LDPC 码字的长度”、“LDPC 码字长度”可相互替换使用。

其中，步骤 2，即确定 LDPC 码字的长度L_{LDPC}和码字数目N_{CW}的流程包括如下步骤 21~步骤 23。

步骤 21：计算本次传输所需的最少 OFDM 符号的个数N_{SYM}。

802.11ac/ax 等标准下，N_{SYM}满足：$N_{\mathrm{SYM}} = \mathrm{m}_{\mathrm{STBC}} \times \left\lceil \frac{8 \times length + 16}{\mathrm{m}_{\mathrm{STBC}} \times N_{\mathrm{DBPS}}} \right\rceil$；其中，$\mathrm{m}_{\mathrm{STBC}}$表示数据包的空时编码模式（未采用空时编码时该值为 1，否则为 2）；N_{DBPS}表示每个 OFDM 符号所承载的数据比特个数；$length$指数据包的长度（单位为字节）。考虑到本次数据传输需要的循环冗余校验（cyclic redundancy check，CRC）比特（例如 16 比特），那么本次数据传输所需要的数据比特长度N_{pld}满足：$N_{pld} = length \times 8 + 16$。

802.11n标准下，$N_{SYM} = N_{SYM,init} = m_{STBC} \times \left\lceil \frac{8 \times APEP_LENGTH + N_{service}}{m_{STBC} \times N_{DBPS}} \right\rceil$，其中，$APEP_LENGTH$为TXVECTOR中的参数$APEP_LENGTH$，$N_{service}$指service字段的比特个数。本次数据传输的数据比特长度N_{pld}满足：$N_{pld} = N_{SYM,init} \times N_{DBPS}$。

步骤 22：根据N_{SYM}和编码调制方案确定N_{SYM}个 OFDM 符合中可存放的编码比特个数N_{avbits}。

802.11ac/ax等标准下，$N_{avbits} = N_{CBPS} \times N_{SYM}$；802.11n标准下，$N_{avbits} = N_{SYM,init} \times N_{CBPS}$；其中，$N_{CBPS}$为每个OFDM符号可存放的编码比特数。

步骤 23：根据$\mathrm{N}_{\mathrm{avbits}}$确定本次传输需要采用的 LDPC 码长$L_{\mathrm{LDPC}}$和所需要的码字个数$N_{\mathrm{CW}}$。

通常，LDPC 码长越长，LDPC 码的差错控制性能越优，因此，应尽可能选择长度较长的 LDPC 码。但是，LDPC 码在编码后需要进行打孔操作，该打孔操作可理解为针对编码后的比特不传输末尾若干校验比特。打孔操作会造成实际码率的提高，从而造成一定的性能损失，针对不同码长的 LDPC 码，打孔操作所造成的性能损失不同。因此，选择 LDPC 码的码长时，还需要考虑实际的打孔比特数目。

例如，可根据如下的表 1 确定L_{LDPC}和N_{CW}。其中，表 1 支持的码长有三种：648、1296、1944 比特，每种码长支持 3 种不同的编码码率：1/2、2/3、3/4 和 5/6。表 1 中的 R 为编码码率。

表 1

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+912×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+1363× (1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	1944
1944<N_{avbits}<=2592	1	1944，if $N_{avbits} \geq N_{pld}$+2916×(1-R) 1296，otherwise
2592<N_{avbits}	[N_{pld}/1944×R]	1944

表 1 中的每一行都可以看作是确定 LDPC 码长的一种准则或者一种条件。例如，当N_{avbits}<=648，如果N_{avbits}=N_{pld}+912×(1-R)，LDPC 码长为 1296 比特时，被打孔掉的效验比特在所有效验比特中的占比约为 0.296（不超过 30%）。因此，当$N_{avbits} \geq N_{pld}$+912×(1-R)时，可选择码长为 1296 比特的 LDPC 码，以获得较好的差错控制性能。相反，当N_{avbits}<N_{pld}+912×(1-R)时，LDPC 码长为 1296 比特时，被打孔掉的效验比特在所有效验比特中的占比超过 0.296，LDPC 码的差错控制性能较低，应该选择码长为 648 比特的 LDPC 码。

同理，当 648<N_{avbits}<=1296，如果N_{avbits}=N_{pld}+1363×(1-R)，LDPC 码长为 1944 比特时，被打孔掉的效验比特在所有效验比特中的占比约为 0.237（不超过 25%）。因此，当$N_{avbits} \geq N_{pld}$+1363×(1-R)时，可选择码长为 1944 比特的 LDPC 码，以获得较好的差错控制性能。相反，当N_{avbits}<N_{pld}+1363×(1-R)时，LDPC 码长为 1944 比特时，被打孔掉的效验比特在所有效验比特中的占比超过 0.273，LDPC 码的差错控制性能较低，应该选择码长为 1296 比特的 LDPC 码。

当 1944<N_{avbits}<=2592，如果N_{avbits}=N_{pld}+2916×(1-R)，LDPC 码长为 1944 比特时，被打孔掉的效验比特在所有效验比特中的占比约为 0.25（25%）。因此，当$N_{avbits} \geq N_{pld}$+2916×(1-R)时，可选择码长为 1944 比特的 LDPC 码，以获得较好的差错控制性能。相反，当N_{avbits}<N_{pld}+2916×(1-R)时，LDPC 码长为 1944 比特时，被打孔掉的效验比特在所有效验比特中的占比超过 0.25，LDPC 码的差错控制性能较低，应该选择码长为 1296 比特的 LDPC 码。

发送端确定L_{LDPC}和N_{CW}，根据L_{LDPC}和N_{CW}从已经定义的多个 LDPC 码效验矩阵中选择要使用的校验矩阵，并根据所选择的校验矩阵对待发送信息进行编码。例如，802.11ac/ax 标准定义了 12 个 LDPC 码效验矩阵。

未来可能支持更长的 LDPC 码长，例如，未来可能支持码长为 1944×n 比特的 LDPC 码，其中，n 为大于或者等于 2 的整数。这种情况下，表 1 所示的 LDPC 码长的确定准则不再合适。未来也可能支持更高的编码码率，例如，支持 R=7/8 或者 8/9 等。同样，这种情况下，表 1 所示的 LDPC 码长的确定准则也不再合适。

鉴于此，在本申请实施例中，可以根据待编码信息对应的编码比特个数N_{avbits}确定 LDPC 码长，例如，当N_{avbits}位于第一取值范围，LDPC 码长为第一码长。

在本申请实施例中，也可以根据待编码信息对应的编码比特个数N_{avbits}和待编码信息对应的数据比特长度N_{pld}确定 LDPC 码长。例如，当N_{avbits}位于第二取值范围，且$N_{avbits} \geq N_{pld}$+X×(1-R)时，LDPC 码长为第一码长；否则，LDPC 码长为第二码长。其中，R 为编码码率，X 为系统支持的所有编码码率的分母的公倍数。可以理解的是，第一码长和第二码长均小于或者等于系统支持的最长 LDPC 码长。可选地，第二码长小于第一码长，且与第一码长之间的差值最小。

对于未来支持更长的码长，例如未来支持的码长大于 1944，按照如上方式确定的第一码长/第二码长可使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于某个阈值，从而提高 LDPC 码的差错控制性能。该阈值与 LDPC 码的差错控制性能相关，例如，LDPC 码的差错控制性能较优时，阈值小于或者等于 30%或者 25%。

下面结合附图详细介绍本申请实施例提供的方案。

为便于清楚描述本申请的技术方案，本申请通过多个实施例（例如实施例一和实施例二）进行阐述，具体参见下文。本申请中，除特殊说明外，各个实施例或实现方式之间相同或相似的部分可以互相参考。在本申请中各个实施例、以及各实施例中的各个实施方式/实施方法/实现方法中，如果没有特殊说明以及逻辑冲突，不同的实施例之间、以及各实施例中的各个实施方式/实施方法/实现方法之间的术语和/或描述具有一致性、且可以相互引用，不同的实施例、以及各实施例中的各个实施方式/实施方法/实现方法中的技术特征根据其内在的逻辑关系可以组合形成新的实施例、实施方式、实施方法、或实现方法。以下所述的本申请实施方式并不构成对本申请保护范围的限定。应理解，下文实施例的顺序并不代表重要程度。

在下文的介绍中，以本申请实施例提供的方法应用于图 1 所示的网络架构为例。本申请实施例描述的网络架构以及应用场景是为了更加清楚的说明本申请实施例的技术方案，并不构成对于本申请实施例提供的技术方案的限定，本领域普通技术人员可知，随着网络架构的演变和新应用场景的出现，本申请实施例提供的技术方案对于类似的技术问题，同样适用。

在本申请实施例中，“当...时”、“若”以及“如果”均指在某种客观情况下装置会做出相应的处理，并非是限定时间，且也不要求装置实现时一定要有判断的动作，也不意味着存在其它限定。如无特殊说明，“如果”和“若”可替换，“当...时”与“在...的情况”可替换。“当...时”与“如果”/“若”可替换。

在本申请实施例中，“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请中被描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其他实施例或设计方案更优选或更具优势。确切而言，使用“示例性的”或者“例如”等词旨在以具体方式呈现相关概念。

本申请实施例中，对于名词的数目，除非特别说明，表示“单数名词或复数名词”，即"一个或多个"。“至少一个”是指一个或者多个，“多个”是指两个或两个以上。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中 A,B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。例如，A/B，表示：A 或 B。“以下至少一项(个)”或其类似表达，是指的这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a,b,或 c 中的至少一项（个），表示：a,b,c,a 和 b,a 和 c,b 和 c,或 a 和 b 和 c，其中 a,b,c 可以是单个，也可以是多个。

本申请实施例提及“第一”、“第二”等序数词是用于对多个对象进行区分，不用于限定多个对象的大小、内容、顺序、时序、优先级或者重要程度等。例如，第一比特长度和第二比特长度指两个不同的比特长度，并不是表示这两个比特长度的优先级或者重要程度等的不同。

下文以本申请实施例提供的方法由第一设备和第二设备执行为例，从第一设备和第二设备交互的角度介绍该方法。其中，第一设备为发送端设备，第二设备为接收端设备。第一设备和第二设备均为支持 WLAN 制式的设备，或者，第一设备和第二设备也可以是均支持超宽带（ultra wide band，UWB）标准的设备。由第一设备执行的步骤可以由第一设备自身实现的，也可以由第一设备中的部件（如处理芯片或者处理器等模块）实现。例如，第一设备为 AP，由第一设备执行的步骤可由 AP 本身执行，也可以由 AP 中的 WIFI 芯片执行。类似地，由第二设备执行的步骤可以由第二设备自身实现的，也可以由第二设备中的部件（如处理芯片或处理器等模块）实现。

请参见图 5，图 5 为本申请实施例提供的通信方法的流程示意图。图 5 从第一设备和第二设备交互的角度介绍该方法。第一设备例如为 AP，第二设备例如为 STA；或者，第一设备为 STA，第二设备为 AP。或者，第一设备为 WIFI 芯片，第二设备为 WIFI 芯片或者包括 WIFI 芯片的设备。如图 5 所示，该方法的流程包括如下步骤。

S501、第一设备根据 LDPC 码字的长度和码字数目对待编码信息进行编码。

待编码信息指信道编码之前的信息，例如，待编码信息包括待发送的数据信息以及发送该数据信息需要的校验信息。例如，待发送的数据包的长度为$length$个字节，发送该数据信息需要的校验信息所占比特数为 16，那么待编码信息的数据比特长度$N_{pld} = length \times 8 + 16$。

第一设备在根据 LDPC 码字的长度和码字数目对待编码信息进行编码之前，需要确定待编码信息对应的编码比特个数。例如，如前述，传输待编码信息所需要的最少 OFDM 符号的个数N_{SYM}满足：$N_{\mathrm{SYM}} = \mathrm{m_{STBC}} \times \left\lceil \frac{8 \times length + 16}{\mathrm{m_{STBC}} \times N_{\mathrm{DBPS}}} \right\rceil$，或者，$N_{\mathrm{SYM}} = N_{SYM,init} = m_{STBC} \times \left\lceil \frac{8 \times APEP_LENGTH + N_{service}}{m_{STBC} \times N_{DBPS}} \right\rceil$。假设每个 OFDM 符号可存放的编码比特数为$N_{CBPS}$，那么待编码信息对应的编码比特个数$N_{\mathrm{avbits}}$满足：

$N_{\text{avbits}} = N_{CBPS} \times N_{\text{SYM}}$；或者，$N_{\text{avbits}} = N_{SYM,init} \times N_{CBPS}$。

后续，第一设备根据编码比特个数确定 LDPC 码字的长度（即 LDPC 码长），包括如下两种实现方式（即下文中的实现方式一和实现方式二），下面分别介绍这两种实现方式。在下文的介绍中，不同的第一码长对应的第一阈值可能不同。例如，$N_{\text{avbits}} \geq N_{pld}$+X×(1-R)时，LDPC 码长为第一码长，第一阈值小于或者等于 30%；当N_{avbits}位于第二取值范围，且$N_{\text{avbits}} \geq N_{pld}$+X×(1-R)时，LDPC 码长为第一码长，第一阈值小于或者等于 25%。又例如，当N_{avbits}位于第二取值范围，且$N_{\text{avbits}} \geq N_{pld}$+X×(1-R)时，LDPC 码长为第一码长，不同 X 对应的第一阈值也可能不同。

实现方式一：LDPC 码长与编码比特个数N_{avbits}相关。

根据系统支持的最长 LDPC 码长的不同，LDPC 码字的数目的不同，N_{avbits}所在的第一取值范围的不同，第一码长也可能有所不同。其中，第一取值范围可以是根据系统支持的多种码长所划分的多个取值范围中的一个取值范围。所述多个取值范围中的一个或多个取值范围的端值可以是一种码长或者多种码长。例如，系统支持的 LDPC 码长包括 648、1296、1944 和 3888，所述多个取值范围包括（0，648]、（648，1296]、（1296，1944]、（1944，3888]、（3888，3888+1944]、（3888+1944，+∞]等。又例如，系统支持的 LDPC 码长包括 648、1296、1944、3888 和 7776，所述多个取值范围包括（0，648]、（648，1296]、（1296，1944]、（1944，3888]、（3888，7776]、（7776，7776+3888]、（7776+3888，+∞]等。

实施方式一包括情况 11 和情况 12，在情况 11 和情况 12 中，以系统支持的最长 LDPC 码长大于 1944 为例。例如，系统支持的最长码长为 1944×2（即 3888），系统共支持 4 种码长，即 648、1296、1944 和 3888。又例如，系统支持的最长码长为 1944×4（即 7776），系统共可支持 5 种码长，即 648、1296、1944、3888 和 7776。

在下文的介绍中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为排序后的倒数第一个 LDPC 码长，第五码长为排序后的倒数第三个码长。例如，系统支持的最长 LDPC 码长为 3888，第三码长为 1944，第四码长为 3888，第五码长为 1296。又例如，系统支持的最长 LDPC 码长为 7776，第三码长为 3888，第四码长为 7776，第五码长为 1944。

情况 11：LDPC 码字的数目为 1。

在一种实现方式中，第一取值范围和第一码长满足如下关系：第一取值范围为（第三码长，第四码长]，第一码长为系统支持的最长 LDPC 码长。

根据情况 11 可知：第一取值范围为（1944×(n-1)，1944×n]，第一码长为 1944×n。例如，n=2，即系统支持的最长 LDPC 码长为 1944×2，当N_{avbits}位于（1944×(2-1)，1944×2]（即（1944，3888]），第一码长为 3888。又例如，n=4，即系统支持的最长 LDPC 码长为 1944×4，当N_{avbits}位于（1944×2，1944×4]（即（3888，7776]），第一码长为 7776。

根据情况 11 中的实现方式确定的第一码长，可以使得被打孔掉的效验比特在所有效验比特中的占比不超过第一阈值。例如，当N_{avbits}位于（1944，3888]时，第一码长为 3888 时，被打孔掉的效验比特在所有效验比特中的占比不超过 30%；当N_{avbits}位于（3888，7776]]时，第一码长为 7776，被打孔掉的效验比特在所有效验比特中的占比不超过 25%。因此，通过上述两种实现方式确定 LDPC 码长可以获得较好的差错控制性能。

情况 12：LDPC 码字的数目为N_{pld}/（1944×n×R）。

一种实现方式中，第一取值范围和第一码长满足如下关系：第一取值范围为（第三码长+第四码长，+∞]，第一码长为第三码长。

根据该实现方式可知：第一取值范围为（1944×n+1944)，+∞]，第一码长为 1944×n；或者，第一取值范围为（1944×n+3888，+∞]，第一码长为 1944×n。例如，n=2，第一取值范围包括（1944×n+1944)，+∞]，第一码长为 1944×n。即 n=2，N_{avbits}位于（5832，+∞]，第一码长为 3888。又例如，n=4，第一取值范围包括（1944×n+3888)，+∞]，第一码长为 1944×n。即 n=4，N_{avbits}位于（11664，+∞]，第一码长为 3888。

在一种实现方式中，第一取值范围和第一码长满足如下关系：第一取值范围为（第四码长-第三码长，+∞]，第一码长为第四码长。

根据该实现方式可知：第一取值范围为（1944×n-1944)，+∞]，第一码长为 1944×n。例如，n=2，第一取值范围包括（1944×n-1944)，+∞]，第一码长为 1944×n。即 n=2，N_{avbits}位于（1944，+∞]，第一码长为 3888。

在一种实现方式中，第一取值范围和第一码长满足如下关系：第一取值范围为（第四码长-第五码

长，+∞]，第一码长为第四码长。

根据该实现方式可知：第一取值范围为（1944×n-1296)，+∞]，第一码长为 1944×n。例如，n=2，第一取值范围包括（1944×n-1296)，+∞]，第一码长为 1944×n。即 n=2，N_{avbits}位于（2592，+∞]，第一码长为 3888。

根据情况 12 中的三种实现方式中的任意实现方式确定的第一码长，可以使得被打孔掉的效验比特在所有效验比特中的占比不超过第一阈值，从而获得较好的差错控制性能。

需要说明的是，前述情况 11 和情况 12 中所示的 LDPC 码长的确定方式既适用于系统支持的编码码率为 1/2、2/3、3/4 和 5/6，又可以适用于有新增编码码率的情况。例如，当系统支持的所有编码码率除了包括 1/2、2/3、3/4 和 5/6 之外，还包括其他编码码率（例如 7/8 和/或 8/9），可根据情况 11 和情况 12 所示的方式确定 LDPC 码长。

实现方式二：LDPC 码长与N_{avbits}和N_{pld}相关。

在实现方式二中，当N_{avbits}位于第二取值范围，且$N_{avbits} \geq N_{pld}$+X×(1-R)时，LDPC 码长为第一码长；否则，LDPC 码长为第二码长。第二取值范围与第一取值范围类似，也是根据系统支持的多种码长所划分的多个取值范围中的一个取值范围，具体可参考前述实现方式一中的相关内容，此处不再赘述。

R 为编码码率，如果编码码率以分数形式表达，那么 X 为系统支持的所有编码码率的分母的公倍数。例如，如果系统支持的编码码率包括 1/2、2/3、3/4 和 5/6，那么 X 为 12 的公倍数。又例如，如果系统支持的编码码率包括 1/2、2/3、3/4、5/6 和 7/8，那么 X 为 24 的公倍数；如果系统支持的编码码率包括 1/2、2/3、3/4、5/6、7/8 和 8/9，那么 X 为 72 的公倍数。需要说明的是，如果编码码率如果以分数形式表达，可将编码码率换算为分数形式。示例性地，X 满足：X=Y+Zt，Z 为系统支持的所有编码码率的分母的最小公倍数。例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 7/8，Z 为 24；系统支持的编码码率包括 1/2、2/3、3/4、5/6、7/8 和 8/9，那么 Z 可为 72。其中，t 为大于或者等于-2，且小于或者等于 2 的整数，Y 使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于第一阈值。

实现方式二包括情况 21、情况 22 以及情况 23 和情况 24。其中，情况 21 和情况 22 以系统支持的所有编码码率为 1/2、2/3、3/4 和 5/6（即 Z=12），且系统支持的最长 LDPC 码长包括 1944×n，n 为大于或者等于 2 的整数为例。情况 23 和情况 24 以系统支持的所有编码码率除了包括 1/2、2/3、3/4 和 5/6 之外，还包括其他编码码率，且系统支持的最长 LDPC 码长包括 1944×n，n 为大于或者等于 2 的整数为例。其中，其他编码码率例如包括 7/8

和/或 8/9 等，即 Z=12i，i 为大于或者等于 2 的整数。例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 7/8，Z=23，即 i=2；又例如，系统支持的所有编码码率除了包括 1/2、2/3、3/4、5/6、7/8 和 8/9，Z=36，即 i=3。

情况 21：LDPC 码字的数目为 1。

在一种实现方式中，第二取值范围和第一码长可满足如下关系：第二取值范围为（第五码长，第三码长]，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为系统支持的最长 LDPC 码长。其中，X 的取值可参考前述相关内容，此处不再赘述。

根据该实现方式可知：当 n=2 时，第二取值范围为（1944×(n+1)-648，1944×(n-1)]，X=2916+12×t1，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944×n；否则，第二码长为 1944。例如，n=2，第二取值范围为（1296，1944]，X=2916+12×t1，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944；否则，第二码长为 1944。又例如，第二取值范围为（1944，1944×2]，X=5832+12t2，第一码长为 1944×n。其中，t1 可位于[-2，2]，t2 可位于[-2，2]，t2 与 t1 可以相同，也可以不相同。

根据该实现方式可知：当 n=4 时，第二取值范围为（1944×(n+1)-648，1944×(n-1)]，X=5832+12×t2，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944×n；否则，第二码长为 3888。例如，n=4，第二取值范围为（1296，1944]，X=5832+12×t2，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944；否则，第二码长为 1944。又例如，第二取值范围为（1944，1944×2]，X=5832+12×t2，第一码长为 1944×n。其中，t2 可位于[-2，2]，t2 与 t1 可以相同，也可以不相同。

根据情况 21 中的实现方式确定的第一码长，可以使得被打孔掉的效验比特在所有效验比特中的占比不超过第一阈值（例如 25%），从而获得较好的差错控制性能。

情况 22：LDPC 码字的数目为 2 或 3。

情况 22 中，第二取值范围和第一码长可满足如下关系：第二取值范围为（第四码长，第四码长+

第三码长]，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为系统支持的最长 LDPC 码长。其中，X 的取值可参考前述相关内容，此处不再赘述。

根据该实现方式可知：n=2，第二取值范围为（1944×n，1944×(n+1)]，X=1944×(n+1)+12×t1，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944×n；否则，第二码长为 1944。例如，n=2，第二取值范围为（3888，5832]，X=5832+12×t2，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944；否则，第二码长为 1944。其中，t1 可位于[-2，2]。可以理解的是，当 3888<N_{avbits}≤5832，且 LDPC 码字的数目为 2，$N_{avbits} \geq N_{pld}$+X×(1-R)，X=2916+12×t1 时，第一码长为 3888；当 3888<N_{avbits}≤5832，且 LDPC 码字的数目为 3，N_{avbits}<N_{pld}+X×(1-R)，X=5832+12×t2 时，第一码长为 1944。

根据该实现方式可知：当 n=4 时，第二取值范围为（1944×n，1944×(n+2)]或者（1944×n，1944×n+1944×n/2)]，X=1944×(n+2)+12×t2，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 1944×n；否则，第二码长为 1944×n/2。例如，n=4，第二取值范围为（7776，11164]，X=11164+12×t3，当$N_{avbits} \geq N_{pld}$+X×(1-R)时，第一码长为 7776；否则，第二码长为 3888。其中，t3 可位于[-2，2]，t3 与 t1 可以相同，也可以不相同。可以理解的是，当 7776<N_{avbits}≤11663，且 LDPC 码字的数目为 2，$N_{avbits} \geq N_{pld}$+X×(1-R)，X=11164+12×t3 时，第一码长为 7776；当 7776<N_{avbits}≤11663，且 LDPC 码字的数目为 3，N_{avbits}<N_{pld}+X×(1-R)，X=11164+12×t3 时，第一码长为 3888。

根据情况 22 中的实现方式确定的第一码长，可以使得被打孔掉的效验比特在所有效验比特中的占比不超过第一阈值（例如 25%），从而获得较好的差错控制性能。

情况 23：LDPC 码字的数目为 1。

一种实现方式中，第二取值范围和第一码长可满足如下关系：第二取值范围为（第五码长，第三码长]，若$N_{avbits} \geq N_{pld}$+X×(1-R)，且 X=Y+12i×t，第一码长为系统支持的最长 LDPC 码长。其中，i=2 或 3，Y 包括 2928；i=3，Y 包括 2916；或者，i=3，Y 包括 2942。

根据该实现方式可知：第二取值范围包括（1944×(n+1)-648，1944×(n-1)]，X=Y+12i×t，第一码长为 1944×n。

例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 7/8，X 为 23 的公倍数。当 n=2，X=912=38×23，当N_{avbits}≤648，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1296。当 n=2，X=1363=61×23，当 648<N_{avbits}≤1296，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1944。当 i=2 或 3，Y=2928，如此，当 n=2，X=2928+23×t1，当 1296<N_{avbits}≤1944，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 3888。

又例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 8/9，X 为 36 的公倍数。当 n=2，X=936=26×36，当N_{avbits}≤648，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1296。当 n=2，X=1376=61×36，当 648<N_{avbits}≤1296，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1944。当 i=2 或 3，Y=2916，如此，当 n=2，X=2916+36×t1，当 1296<N_{avbits}≤1944，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 3888。

又例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6、7/8 和 8/9，X 为 72 的公倍数。当 n=2，X=936=13×72，当N_{avbits}≤648，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1296。当 n=2，X=1512=21×72，当 648<N_{avbits}≤1296，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1944。当 i=3，Y=2952，如此，当 n=2，X=2952+72×t1，当 1296<N_{avbits}≤1944，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 3888。

根据情况 23 中的实现方式确定的第一码长，可以使得被打孔掉的效验比特在所有效验比特中的占比不超过第一阈值（例如 25%），从而获得较好的差错控制性能。

情况 24：LDPC 码字的数目为 2 或 3。

一种实现方式中，第二取值范围和第一码长可满足如下关系：第二取值范围为（第四码长，第四码长+第三码长]，若$N_{avbits} \geq N_{pld}$+X×(1-R)，且 X=Y+12i×t，第一码长为第四码长。

根据该实现方式可知：第二取值范围为（1944×n，1944×(n+1)]，若$N_{avbits} \geq N_{pld}$+X×(1-R)，且 X=Y+12i×t，第一码长为 1944×n。

例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 7/8，X 为 24 的公倍数。当 n=2，X=5832=243×24，当 3888<N_{avbits} ≤5832，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 3888；否则，第二码长为 1944。

又例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 8/9，X 为 36 的公倍数。当 n=2，X=5832=162×36，当 3888<N_{avbits} ≤5832，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 3888；否则，第二码长为 1944。

又例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6、7/8 和 8/9，X 为 72 的公倍数。当 n=2，X=5832=81×72，当 3888<N_{avbits} ≤5832，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 3888；否则，第二码

长为 1944。

另一种实现方式中，第二取值范围和第一码长可满足如下关系：第二取值范围为（第三码长，第四码长-第三码长]，若$N_{avbits} \geq N_{pld}$+X×(1-R)，且 X=Y+12i×t，第一码长为第三码长。

根据该实现方式可知：第二取值范围为（1944×n，1944×(n+1)-648]，若$N_{avbits} \geq N_{pld}$+X×(1-R)，且 X=Y+12i×t，第一码长为 1944×(n-1)。

例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 7/8，X 为 24 的公倍数。当 n=2，X=2928=122×24，当 1944<N_{avbits} ≤2592，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1944；否则，第二码长为 1296。

又例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6 和 8/9，X 为 36 的公倍数。当 n=2，X=2916=81×36，当 1944<N_{avbits} ≤2592，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1944；否则，第二码长为 1296。

又例如，系统支持的所有编码码率包括 1/2、2/3、3/4、5/6、7/8 和 8/9，X 为 72 的公倍数。当 n=2，X=2952=41×72，当 1944<N_{avbits} ≤2592，且$N_{avbits} \geq N_{pld}$+X×(1-R)，第一码长为 1944；否则，第二码长为 1296。

根据情况 24 中的任意实现方式确定的第一码长，可以使得被打孔掉的效验比特在所有效验比特中的占比不超过第一阈值（例如 25%或者 30%），从而获得较好的差错控制性能。

需要说明的是，确定 LDPC 码长的方式包括前述的实现方式一和/或实现方式二。或者，确定 LDPC 码长的方式包括前述情况 11~情况 24 中一种或多种情况各自所涉及的一种或多种方式。或者，LDPC 码长满足情况 11~情况 24 中一种或多种情况各自所涉及的一种或多种条件。

例如，下述的表 2~表 9 分别示出了确定 LDPC 码长的方式，第一设备可以根据表 2~表 9 中一个或多个表的至少一行，确定 LDPC 码长。表 2~表 9 中任意一个表可以理解为是表 1 的扩展，示出了更长 LDPC 码长和/或更多种编码码率场景下，LDPC 码长的确定方式。其中，表 2~表 9 中任意表中加粗行或者加粗字体是与表 1 的不同之处。表 2~表 9 中所涉及的 X1~X5 中的一个或多个表征的意思同前述的 X。可以理解的是，表 2~表 9 仅是示例，在实际应用中，可根据表 2~表 9 中的一个或多个表中的部分行或者全部行确定 LDPC 码长。表 2~表 9 可以是标准定义的，也可以是预设的，还可以是通信双方协商确定的等。

表 2

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+912×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+1363×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	3888，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1944，otherwise
1296<N_{avbits}<=3888	1	3888
3888<N_{avbits}<=5832	2 (3888) or 3 (1944)	3888，if $N_{avbits} \geq N_{pld}$+X2×(1-R) 1944，otherwise
5832<N_{avbits}	[N_{pld}/3888×R]	3888

表 2 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率为 1/2、2/3、3/4 和 5/6 的场景。相较于表 1 来说，表 2 新增加了第三行至第六行确定 LPDC 码的方式。如前述可知，X1 和 X2 为 12 的公倍数。为了使得打孔掉的校验比特占所有校验比特的占比不超过第一阈值，以保证 LDPC 码的差错控制性能，可选取合适的 X1 和 X2。例如，约定打孔掉的校验比特占所有校验比特的占比约为 0.25，可选地，X1=2916=12×233，X2=5832=12×386。又例如，打孔掉的校验比特占所有校验比特的占比相比 0.25 更低，可选地，X1=2916+12×t1，X2=5832+12×t2，其中，

t1 和 t2 均为大于或者等于-2，小于或者等于 2 的整数。t1 和 t2 可以相同，也可以不同。

当 3888<N_{avbits}⩽5832 时，若$N_{avbits} \geq N_{pld} + X2 \times (1 - R)$，选择码长 3888 的 LDPC 码，此时 LDPC 码字数目为 2。若$N_{avbits} < N_{pld} + X2 \times (1 - R)$，选择码长 1944 的 LDPC 码，此时 LDPC 码字数目为 3。

表 3

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+912×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+1363×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	3888，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1944，otherwise
1944<N_{avbits}	[N_{pld}/3888×R]	3888

表 3 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率为 1/2、2/3、3/4 和 5/6 的场景。相较于表 1 来说，表 3 新增加了第三行至第四行确定 LPDC 码的方式。如前述可知，X1 为 12 的公倍数。为了使得打孔掉的校验比特占所有校验比特的占比不超过第一阈值，以保证 LDPC 码的差错控制性能，可选取合适的 X1。例如，约定打孔掉的校验比特占所有校验比特的占比约为 0.25，可选地，X1=2916=12×233。又例如，打孔掉的校验比特占所有校验比特的占比相比 0.25 更低，可选地，X1=2916+12×t1。

当 1944<N_{avbits}，选择码长 3888 的 LDPC 码，此时，LDPC 码字数目为[N_{pld}/3888×R]。

表 4

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+912×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+1363×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	1944
1944<N_{avbits}<=2592	2	1944，if $N_{avbits} \geq N_{pld}$+2916×(1-R) 1296，otherwise
2592<N_{avbits}	[N_{pld}/3888×R]	3888

表 4 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率为 1/2、2/3、3/4 和 5/6 的场景。相较于表 1 来说，相较于表 1 来说，表 4 新增加了第五行确定 LPDC 码的方式。

当 2592<N_{avbits}，选择码长 3888 的 LDPC 码，此时，LDPC 码字数目为[N_{pld}/3888×R]。

表 5

Range of N_{avbits}	Number of LDPC code words	LDPC codeword length L_{LDPC} (bits)

(bits)	(N_{CW})	
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+X3×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+X4×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	3888，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1944，otherwise
1296<N_{avbits}<=3888	1	3888
3888<N_{avbits}<=5832	2 (3888) or 3 (1944)	3888，if $N_{avbits} \geq N_{pld}$+X2×(1-R) 1944，otherwise
5832<N_{avbits}	[N_{pld}/3888×R]	3888

表 5 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率除了 1/2、2/3、3/4 和 5/6 之外，还包括其他编码码率的场景。其他编码码率例如包括 7/8 和/或 8/9。相较于表 1 来说，表 5 新增加了第三行至第六行确定 LDPC 码长的方式，以及第一行和第二行确定 LDPC 码长的方式有所改变。

如前述可知，X1~X3 均为所有编码码率的分母的公倍数。为了使得打孔掉的校验比特占所有校验比特的占比不超过第一阈值，以保证 LDPC 码的差错控制性能，可选取合适的 X1~X3。例如，约定打孔掉的校验比特占所有校验比特的占比约为 0.25，假设新增加的码率为 R=7/8，可选地，X3=912=38×23，X4=1363=61×23；X1=2928=122×23，X2=5832=233×23。又例如，打孔掉的校验比特占所有校验比特的占比相比 0.25 更低，可选地，X1=2928+23×t1，X2=5832+23×t2，X3=912+23×t3，X4=1363+23×t3。

相比表 1，假设新增加的码率为 R=8/9，可选地，X3=936=26×36，X4=1376=31×36；X1=2916=81×36，X2=5832=162×36。又例如，打孔掉的校验比特占所有校验比特的占比相比 0.25 更低，可选地，X1=2916+36×t1，X2=5832+36×t2，X3=936+36×t3，X4=1376+36×t3。

相比表 1，假设增加新码率 R=7/8 和 R=8/9，可选地，X3=936=13×72，X4=1512=21×72；X1=2952=31×72，X2=5832=81×72。又例如，打孔掉的校验比特占所有校验比特的占比相比 0.25 更低，可选地，X1=2952+72×t1，X2=5832+72×t2，X3=936+72×t3，X4=1521+72×t3。

表 6

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+X3×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+X4×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	3888，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1944，otherwise
1944<N_{avbits}	[N_{pld}/3888×R]	3888

表 6 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率除了 1/2、2/3、3/4 和 5/6 之外，还包括其他编码码率的场景。其他编码码率例如包括 7/8 和/或 8/9。相较于表 1 来说，表 6 新增加了第三行至第四行确定 LDPC 码长的方式，以及第一行和第二行确定 LDPC 码长的方式有所改变。

如前述可知，X1、X3 和 X4 均为所有编码码率的分母的公倍数，具体可参考前述表 5 中 X1、X3 和 X4 的取值，此处不再赘述。

表 7

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+X3×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+X4×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	1944
1944<N_{avbits}<=2592	2	1944，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1296，otherwise
2592<N_{avbits}	[N_{pld}/3888×R]	3888

表 6 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率除了 1/2、2/3、3/4 和 5/6 之外，还包括其他编码码率的场景。其他编码码率例如包括 7/8 和/或 8/9。相较于表 1 来说，表 7 新增加了第四行至第五行确定 LDPC 码长的方式，以及第一行和第二行确定 LDPC 码长的方式有所改变。

如前述可知，X1、X3 和 X4 均为所有编码码率的分母的公倍数，具体可参考前述表 5 中 X1、X3 和 X4 的取值，此处不再赘述。

表 8

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+X3×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+X4×(1-R) 1296，otherwise
1296<N_{avbits}<=1944	1	1944
1944<N_{avbits}<=2592	2	1944，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1296，otherwise
2592<N_{avbits}	[N_{pld}/1944×R]	1944

表 8 可应用于系统支持的最长 LDPC 码长为 1944，且系统支持的所有编码码率除了 1/2、2/3、3/4 和 5/6 之外，还包括其他编码码率的场景。其他编码码率例如包括 7/8 和/或 8/9。相较于表 1 来说，表 8 新增加了第四行确定 LDPC 码长的方式，以及第一行和第二行确定 LDPC 码长的方式有所改变。

如前述可知，X1、X3 和 X4 均为所有编码码率的分母的公倍数，具体可参考前述表 5 中 X1、X3 和 X4 的取值，此处不再赘述。

表 9

Range of N_{avbits} (bits)	Number of LDPC code words (N_{CW})	LDPC codeword length L_{LDPC} (bits)
N_{avbits}<=648	1	1296，if $N_{avbits} \geq N_{pld}$+912×(1-R) 648，otherwise
648<N_{avbits}<=1296	1	1944，if $N_{avbits} \geq N_{pld}$+1363× (1-R) 1296，otherwise

1296<N_{avbits}<=1944	1	3888，if $N_{avbits} \geq N_{pld}$+X1×(1-R) 1944，otherwise
1944<N_{avbits}<=3888	1	7776，if $N_{avbits} \geq N_{pld}$+X2×(1-R) 3888，otherwise
3888<N_{avbits}<=7776	1	7776
7776<N_{avbits}<=11163	2 (7776) or 3 (3888)	7776，if $N_{avbits} \geq N_{pld}$+X5×(1-R) 3888，otherwise
11163<N_{avbits}	[N_{pld}/7776×R]	7776

表 9 可应用于系统支持的最长 LDPC 码长为 1944×n，n 为大于或者等于 2 的整数，且系统支持的所有编码码率除了 1/2、2/3、3/4 和 5/6。相较于表 1 来说，表 9 新增加了第三行至第七行确定 LDPC 码长的方式。

如前述可知，X1、X3 和 X3 均为所有编码码率的分母的公倍数。为了使得打孔掉的校验比特占所有校验比特的占比不超过第一阈值，以保证 LDPC 码的差错控制性能，可选取合适的 X1~X2 和 X5。例如，约定打孔掉的校验比特占所有校验比特的占比约为 0.25，可选地，X1=2916=12×233，X2=5832=12×386，X5=11663=12×972。又例如，打孔掉的校验比特占所有校验比特的占比相比 0.25 更低，可选地，X1=2916+12×t1，X2=5832+12×t2，X5=11663+12×t3，其中，t1 和 t2 均为大于或者等于-2，小于或者等于 2 的整数。t1 和 t2 以及 t3 可以相同，也可以不同。

当 7776<N_{avbits}⩽11663 时，若$N_{avbits} \geq N_{pld} + X5 \times (1 - R)$，选择码长 7776 的 LDPC 码，此时 LDPC 码字数目为 2。若$N_{avbits} < N_{pld} + X5 \times (1 - R)$，选择码长 3888 的 LDPC 码，此时 LDPC 码字数目为 3。

S502、第一设备向第二设备发送编码后的信息，相应地，第二设备接收该编码后的信息。

第一设备可根据 LDPC 码字的长度L_{LDPC}和码字数目N_{CW}从已经定义的多个 LDPC 码效验矩阵中选择要使用的校验矩阵，并根据所选择的校验矩阵对待发送信息进行编码。第一设备将编码后的信息发送给第二设备。相应地，第二设备接收该编码后的信息。

S503、第二设备对所接收的编码后的信息进行译码。

第二设备接收编码后的信息之后，对编码后的信息进行译码。第二设备的译码过程实际上是图 4 流程的逆过程。例如，第二设备对编码后的信息进行流解析获得至少一个 LDPC 码字，再根据至少一个 LDPC 码字对编码后的信息进行译码。可以理解的是，第二设备利用每个 LDPC 码字对使用该 LDPC 码字编码的信息进行译码，以获得对应编码信息中的有效载荷。关于第二设备根据 LDPC 码字对使用该 LDPC 码字编码的信息进行译码的具体实现可参考现有技术，此处不再赘述。

上述本申请提供的实施例中，以第一设备和第二设备执行为例对本申请实施例提供的方法进行了介绍。本申请中，各个实施例可以独立实施或者基于某些内在联系结合实施；每个实施例中，不同的实现方式可以结合实施或者独立实施。为了实现上述本申请实施例提供的方法中的各功能，第一设备执行的步骤可以由组成第一设备的不同功能实体来实现。第二设备执行的步骤可以由组成第二设备的不同功能实体来实现。第一设备和第二方面均可以包括硬件结构和/或软件模块，以硬件结构、软件模块、或硬件结构加软件模块的形式来实现上述各功能。上述各功能中的某个功能以硬件结构、软件模块、还是硬件结构加软件模块的方式来执行，取决于技术方案的特定应用和设计约束条件。

基于与方法实施例的同一发明构思，本申请实施例提供一种通信装置。下面结合附图介绍本申请实施例中用来实现上述方法的通信装置。上文中的内容均可以用于后续实施例中，重复的内容不再赘述。

图 6 为本申请实施例提供的通信装置 600 的示意性框图。该通信装置 600 可以是需要编码的设备，例如，该通信装置 600 为上述实施例中的第一设备或为第一设备中的芯片（系统）。该通信装置 600 可以对应实现上述各个方法实施例中由第一设备实现的功能或者步骤。该通信装置 600 可以是需要译码的设备，例如，该通信装置 600 为上述实施例中的第二设备或为第二设备中的芯片（系统）。该通信装置 600 可以对应实现上述各个方法实施例中由第二设备实现的功能或者步骤。该通信装置 600 可以包括处理模块 610 和收发模块 620。可选的，还可以包括存储模块，该存储模块可以用于存储指令（代码或者

程序）和/或数据。该存储模块例如可以是存储器。处理模块 610 和收发模块 620 可以与该存储模块耦合。例如，处理模块 610 可以读取存储模块中的指令（代码或者程序）和/或数据，以实现相应的方法。当通信装置 600 为第一设备或第二设备中的芯片时，该存储模块可为该芯片内的存储模块，如寄存器、缓存等。例如，该存储模块还可以是第一设备或第二设备内的位于该芯片外部的存储模块，如只读存储器（read-only memory，ROM）或可存储静态信息和指令的其他类型的静态存储设备，随机存取存储器（random access memory，RAM）等。上述各个单元可以独立设置，也可以部分或者全部集成。

处理模块 610 可以是处理器或控制器，例如可以是通用中央处理器（central processing unit，CPU），通用处理器，数字信号处理（digital signal processing，DSP），专用集成电路（application specific integrated circuits，ASIC），现场可编程门阵列（field programmable gate array，FPGA）或者其他可编程逻辑器件、晶体管逻辑器件、硬件部件或者其任意组合。其可以实现或执行结合本申请公开内容所描述的各种示例性的逻辑方框，模块和电路。所述处理器也可以是实现计算功能的组合，例如包括一个或多个微处理器组合，DSP 和微处理器的组合等等。收发模块 620 是收发器、接口电路、总线、管脚或者其他可能的通信接口，用于从其它装置接收信号。例如，当该装置以芯片的方式实现时，该收发模块 620 是该芯片用于从其它芯片或装置接收信号的接口电路，或者，是该芯片用于向其它芯片或装置发送信号的接口电路。

一种实现方式中，通信装置 600 能够对应实现上述方法实施例中第一设备的行为和功能。例如，该通信装置 600 可以为第一设备，也可以为应用于第一设备中的部件（例如芯片或者电路），也可以是第一设备中的芯片或芯片组或芯片中用于执行相关方法功能的一部分，也可以是能够实现上述方法中第一设备执行的方法的软件模块，不予限制。具体可参考前述方法实施例的相关内容，此处不再赘述。

例如，处理模块 610 用于确定待编码信息对应的编码比特个数，根据该编码比特个数确定 LDPC 码字的长度。其中，待编码信息包括数据信息和校验信息。LDPC 码字的长度和编码比特个数满足如下条件：当编码比特个数位于第一取值范围，则 LDPC 码字的长度为第一码长；或者，当编码比特个数位于第二取值范围，若编码比特个数N_{avbits}大于或等于待编码信息对应的比特长度N_{pld}与第一取值之和，则 LDPC 码字的长度为第一码长；否则，LDPC 码字的长度为第二码长。第一取值为 X 与(1-R)的乘积，R 为编码码率，X 为系统支持的所有编码码率的分母的公倍数。其中，系统支持的 LDPC 码字的最长长度为 1944×n，n 为大于或者等于 2 的整数，第一码长和第二码长均小于或者等于 1944×n；和/或，X=Y+Zt，Z 为系统支持的所有编码码率的分母的最小公倍数，所有编码码率包括 7/8，t 为大于或者等于-2，且小于或者等于 2 的整数。Y 使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于第一阈值。收发模块 320 可以用于发送对待编码信息进行编码获得的信息。

另一种实现方式中，通信装置 600 能够对应实现上述方法实施例中第二设备的行为和功能。例如，该通信装置 600 可以为第二设备，也可以为应用于第二设备中的部件（例如芯片或者电路），也可以是第二设备中的芯片或芯片组或芯片中用于执行相关方法功能的一部分，也可以是能够实现上述方法中第二设备执行的方法的软件模块，不予限制。具体可参考前述方法实施例的相关内容，此处不再赘述。

例如，收发模块 620 用于接收来自第一设备的信息。处理模块 610 用于对所述信息进行流解析获得至少一个 LDPC 码字，根据该至少一个 LDPC 码字对所接收的信息进行译码。

作为一种可选的实现方式，当系统支持的 LDPC 码字的最长长度为 1944×n，LDPC 码字的数目为 1，第一取值范围和第一码长满足如下关系：第一取值范围为（第三码长，第四码长]，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为排序后的倒数第一个 LDPC 码长。例如，第一取值范围包括（1944×(n-1)，1944×n]，第一码长为 1944×n。

作为一种可选的实现方式，当系统支持的 LDPC 码字的最长长度为 1944×n，LDPC 码字的数目为待编码信息对应的数据比特长度N_{pld}与（1944×n×R）的比值，第一取值范围和第一码长满足如下任意关系：

第一取值范围为（第三码长+第四码长，+∞]，第一码长为第四码长；或者，第一取值范围为（第四码长-第三码长，+∞]，第一码长为第四码长；或者，第一取值范围为（第四码长-第五码长，+∞]，第一码长为第四码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为排序后的倒数第一个 LDPC 码长，第五码长为系统支持的 LDPC 码长中倒数第三个码长。例如，第一取值范围为（1944×(n+1)，+∞]，第一码长为 1944×n；第一取值范围为

（1944×(n-1)，+∞]，第一码长为 1944×n；第一取值范围为（1944×(n+1)-648，+∞]，第一码长为 1944×n；或者，第二取值范围包括（1944×(n+2)，+∞]，第一码长为 1944×n。

作为一种可选的实现方式，当系统支持的 LDPC 码字的最长长度包括 1944×n，且 Z=12，LDPC 码字的数目为 1，第二取值范围和第一码长满足如下关系：第二取值范围为[第五码长，第三码长]，若N_{avbits}大于或等于N_{pld}与第一取值之和，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长。例如，n=2，第二取值范围为[1944×(n+1)-648，1944×(n-1)]，X=2916+12t，第一码长为 1944×n；或者，n=3，第二取值范围为（1944，1944×2]，X=5832+12t，第一码长为 1944×n。

作为一种可选的实现方式，当系统支持的 LDPC 码字的最长长度包括 1944×n，且 Z=12，LDPC 码字的数目为 2，第二取值范围和第一码长满足如下关系：第二取值范围为（第四码长，第四码长+第三码长]，若N_{avbits}大于或等于N_{pld}与第一取值之和，第一码长为系统支持的最长 LDPC 码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为系统支持的 LDPC 码长中倒数第一个码长。例如，n=2，第二取值范围为（1944×n，1944×(n+1)]，X=1944×(n+1)+12t，第一码长为 1944×n；或者，n=3，第二取值范围为（1944×n，1944×(n+2)]，X=1944×(n+2)+12t，第一码长为 1944×n。

作为一种可选的实现方式，当系统支持的 LDPC 码字的最长长度包括 1944×n，且 Z=12i，i 为大于或者等于 2 的整数，LDPC 码字的数目为 1，第二取值范围和第一码长满足如下关系：第二取值范围为（第五码长，第三码长]，若N_{avbits}大于或等于N_{pld}与第一取值之和，且所述 X=Y+12i×t，第一码长为系统支持的最长 LDPC 码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第五码长为系统支持的 LDPC 码长中倒数第三个码长。例如，第二取值范围为（1944×(n+1)-648，1944×(n-1)]，X=Y+12i×t，第一码长为 1944×n；其中，i=2 或 3，Y 包括 2928；i=3，Y 包括 2916；或者，i=3，Y 包括 2952。

作为一种可选的实现方式，第二取值范围和第一码长还满足如下关系：第二取值范围包括[0，648]，X=Y+12i×t，第一码长为 1296；其中，i=2，Y 包括 912；i=3，Y 包括 936；i=6，Y 包括 936；或者，第二取值范围包括（648，1296]，X=Y+12i×t，第一码长为 1944；其中，i=2，Y 包括 1363；i=3，Y 包括 1376；i=6，Y 包括 1512。

作为一种可选的实现方式，当系统支持的 LDPC 码字的最长长度包括 1944×n，且 Z=12i，i 为大于或者等于 2 的整数，LDPC 码字的数目为 2，第二取值范围和所述第一码长满足如下关系：第二取值范围为（第四码长，第四码长+第三码长]，X=Y+12i×t，第一码长为所述第四码长；或者，第二取值范围为（第三码长，第四码长-第三码长]，X=Y+12i×t，第一码长为第三码长。其中，系统支持的所有 LDPC 码长按照从小到大排序，第三码长为排序后的倒数第二个 LDPC 码长，第四码长为系统支持的 LDPC 码长中倒数第一个码长。例如，第二取值范围为[1944×n，1944×(n+1)]，X=Y+12i×t，第一码长为 1944×n；或者，第二取值范围为（1944×n，1944×(n+1)-648]，X=Y+12i×t，第一码长为 1944×(n-1)。

当该通信装置 600 为芯片类的装置或者电路时，收发模块可以是输入输出电路和/或通信接口；处理模块为集成的处理器或者微处理器或者集成电路。

图 7 为本申请实施例提供的通信装置 700 的示意性框图。该通信装置 700 可以为上述实施例中的第一设备或者第一设备中的芯片（系统）。该通信装置 700 也可以为上述实施例中的第二设备或者第二设备中的芯片（系统）。本申请实施例中，芯片系统可以由芯片构成，也可以包含芯片和其他分立器件。具体的功能可以参见上述方法实施例中的说明。

通信装置 700 包括一个或多个处理器 701，用于实现或用于支持通信装置 700 实现本申请实施例提供的方法中第一设备的功能。具体参见方法示例中的详细描述，此处不做赘述。处理器 701 也可以称为处理单元或处理模块，可以实现一定的控制功能。处理器 701 可以是通用处理器或者专用处理器等。例如，包括：基带处理器，中央处理器，应用处理器，调制解调处理器，图形处理器，图像信号处理器，数字信号处理器，视频编解码处理器，控制器，存储器，和/或神经网络处理器等。所述基带处理器可以用于对通信协议以及通信数据进行处理。所述中央处理器可以用于对通信装置 700（例如第一设备）进行控制，执行软件程序和/或处理数据。不同的处理器可以是独立的器件，也可以是集成在一个或多个处理器中，例如，集成在一个或多个专用集成电路上。

在一种设计中，处理器 701 可以包括程序 703（有时也可以称为代码或指令），所述程序 703 可以

在所述处理器 701 上被运行，使得所述通信装置 700 执行下述实施例中描述的方法。在又一种可能的设计中，通信装置 700 包括电路（图 7 未示出），所述电路用于实现上述实施例中的第一设备的功能。

在一种设计中，所述通信装置 700 中可以包括一个或多个存储器 702，其上存有程序 704（有时也可以称为代码或指令），所述程序 704 可在所述处理器 701 上被运行，使得所述通信装置 700 执行上述方法实施例中描述的方法。

在一种设计中，所述处理器 701 和/或存储器 702 中可以包括人工智能（artificial intelligence，AI）模块 707，AI 模块 708，所述 AI 模块用于实现 AI 相关的功能。所述 AI 模块可以是通过软件，硬件，或软硬结合的方式实现。例如，AI 模块可以包括 RAN 智能控制器（RAN intelligent controller，RIC）模块。例如 AI 模块可以是近实时 RIC 或者非实时 RIC。

一种可能的设计中，所述处理器 701 和/或存储器 702 中还可以存储有数据。所述处理器和存储器可以单独设置，也可以集成在一起。

一种可能的设计中，所述通信装置 700 还可以包括收发器 705 和/或天线 706。所述处理器 701 有时也可以称为处理单元，对通信装置 700 进行控制。所述收发器 705 有时也可以称为收发单元、收发机、收发电路、或者收发器等，用于通过天线 706 实现通信装置 700 的收发功能。

一种可能的设计中，通信装置 700 还可以包括以下一个或多个部件：无线通信模块，音频模块，外部存储器接口，内部存储器，通用串行总线（universal serial bus，USB）接口，电源管理模块，天线，扬声器，麦克风，输入输出模块，传感器模块，马达，摄像头，或显示屏等等。可以理解，在一些实施例中，通信装置 700 可以包括更多或更少部件，或者某些部件集成，或者某些部件拆分。这些部件可以是硬件，软件，或者软件和硬件的组合实现。

上述实施例中的通信装置可以是第一设备，也可以是电路，也可以是应用于第一设备中的芯片或者其他具有上述第一设备的组合器件、部件等。当通信装置是第一设备时，收发模块可以是收发器，可以包括天线和射频电路等，处理模块可以是处理器，例如：CPU。当通信装置是芯片系统时，该通信装置可以是 FPGA，可以是专用 ASIC，还可以是系统芯片（system on chip，SoC），还可以是 CPU，还可以是网络处理器（network processor，NP），还可以是 DSP，还可以是微控制器（micro controller unit，MCU），还可以是可编程控制器（programmable logic device，PLD）或其他集成芯片。处理模块可以是芯片系统的处理器。收发模块或通信接口可以是芯片系统的输入输出接口或接口电路。例如，接口电路可以为代码/数据读写接口电路。所述接口电路，可以用于接收代码指令（代码指令存储在存储器中，可以直接从存储器读取，或也可以经过其他器件从存储器读取）并传输至处理器；处理器可以用于运行所述代码指令以执行上述方法实施例中的方法。又例如，接口电路也可以为通信处理器与收发机之间的信号传输接口电路。

本申请实施例还提供一种通信系统，具体的，通信系统包括第一设备和第二设备。所述第一设备为用于实现图 5 所示方法相关功能的设备，第二设备为用于实现图 5 所示方法相关功能的设备。具体请参考上述方法实施例中的相关描述，这里不再赘述。

本申请实施例中还提供一种计算机可读存储介质，包括指令，当其在计算机上运行时，使得计算机执行图 5 所示方法中第一设备或第二设备执行的方法。

本申请实施例中还提供一种计算机程序产品，包括计算机程序代码，当计算机程序代码被执行时，使得计算机执行图 5 所示方法中第一设备或第二设备执行的方法。

本申请实施例提供了一种芯片系统，该芯片系统包括处理器，还可以包括存储器，用于实现前述图 5 所示方法中第一设备或第二设备的功能。该芯片系统可以由芯片构成，也可以包含芯片和其他分立器件。

为了实现上述图 6~图 7 的通信装置的功能，本申请实施例还提供一种芯片，包括处理器，用于支持该通信装置实现上述方法实施例中第一设备或第二设备所涉及的功能。在一种可能的设计中，该芯片与存储器连接或者该芯片包括存储器，该存储器用于保存该通信装置必要的计算机程序或指令和数据。

应理解，在本申请的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本申请实施例的实施过程构成任何限定。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各种说明性逻辑块（illustrative logical block）和步骤（step），能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每

个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统、装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权 利 要 求

1.一种通信方法，其特征在于，包括:

确定待编码信息对应的编码比特个数，所述待编码信息包括数据信息和校验信息;

根据所述编码比特个数确定 LDPC 码字的长度，所述 LDPC 码字的长度和所述编码比特个数满足如下条件:

当所述编码比特个数位于第一取值范围，则所述 LDPC 码字的长度为第一码长;

或者，当所述编码比特个数位于第二取值范围，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，则所述 LDPC 码字的长度为第一码长；否则，所述 LDPC 码字的长度为第二码长，所述第一取值为 X 与(1-R)的乘积，所述 R 为编码码率，所述 X 为系统支持的所有编码码率的分母的公倍数;

其中，系统支持的 LDPC 码字的最长长度为 1944×n，所述 n 为大于或者等于 2 的整数，所述第一码长和所述第二码长均小于或者等于 1944×n；和/或，所述 X=Y+Zt，所述 Z 为系统支持的所有编码码率的分母的最小公倍数，所述所有编码码率包括 7/8，t 为大于或者等于-2，且小于或者等于 2 的整数，所述 Y 使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于第一阈值。

2.如权利要求 1 所述的方法，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，所述 LDPC 码字的数目为 1，所述第一取值范围和所述第一码长满足如下关系:

所述第一取值范围为（第三码长，第四码长]，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为排序后的倒数第一个 LDPC 码长。

3.如权利要求 1 或 2 所述的方法，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，所述 LDPC 码字的数目为所述待编码信息对应的比特长度与（1944×n×R）的比值，所述第一取值范围和所述第一码长满足如下任意关系:

所述第一取值范围为（第三码长+第四码长，+∞]，所述第一码长为所述第四码长；或者，

所述第一取值范围为（第四码长-第三码长，+∞]，所述第一码长为所述第四码长；或者，

所述第一取值范围为（第四码长-第五码长，+∞]，所述第一码长为所述第四码长;

其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为排序后的倒数第一个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长。

4.如权利要求 1-3 中任一项所述的方法，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12，所述 LDPC 码字的数目为 1，所述第二取值范围和所述第一码长满足如下关系:

所述第二取值范围为（第五码长，第三码长]，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长。

5.如权利要求 1-3 中任一项所述的方法，其特征在于，当所述系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12，所述 LDPC 码字的数目为 2，所述第二取值范围和所述第一码长满足如下关系:

所述第二取值范围为（第四码长，第四码长+第三码长]，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为系统支持的 LDPC 码长中倒数第一个码长。

6.如权利要求 1-4 中任一项所述的方法，其特征在于，当所述系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12i，所述 i 为大于或者等于 2 的整数，所述 LDPC 码字的数目为 1，所述第二取值范围和所述第一码长满足如下关系:

所述第二取值范围为（第五码长，第三码长]，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，且所述 X=Y+12i×t，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长；其中，所述 i=2 或 3，所述 Y 包括 2928；所述

i=3，所述 Y 包括 2916；或者，所述 i=3，所述 Y 包括 2942。

7.如权利要求 6 所述的方法，其特征在于，所述第二取值范围和所述第一码长还满足如下关系：

所述第二取值范围为（0，648]，所述 X=Y+12i×t，所述第一码长为 1296；其中，所述 i=2，所述 Y 包括 912；所述 i=3，所述 Y 包括 936；所述 i=6，所述 Y 包括 936；或者，

所述第二取值范围为（648，1296]，所述 X=Y+12i×t，所述第一码长为 1944；其中，所述 i=2，所述 Y 包括 1363；所述 i=3，所述 Y 包括 1376；所述 i=6，所述 Y 包括 1412。

8.如权利要求 1-7 中任一项所述的方法，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12i，所述 i 为大于或者等于 2 的整数，所述 LDPC 码字的数目为 2，所述第二取值范围和所述第一码长满足如下关系：

所述第二取值范围为（第四码长，第四码长+第三码长]，所述 X=Y+12i×t，所述第一码长为所述第四码长；或者，

所述第二取值范围为（第三码长，第四码长-第三码长]，所述 X=Y+12i×t，所述第一码长为所述第三码长；

其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为系统支持的 LDPC 码长中倒数第一个码长。

9.一种通信装置，其特征在于，包括：

处理模块，用于确定待编码信息对应的编码比特个数，根据所述编码比特个数确定 LDPC 码字的长度，所述待编码信息包括数据信息和校验信息，所述 LDPC 码字的长度和所述编码比特个数满足如下条件：当所述编码比特个数位于第一取值范围，则所述 LDPC 码字的长度为第一码长；或者，当所述编码比特个数位于第二取值范围，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，则所述 LDPC 码字的长度为第一码长；否则，所述 LDPC 码字的长度为第二码长，所述第一取值为 X 与(1-R)的乘积，所述 R 为编码码率，所述 X 为系统支持的所有编码码率的分母的公倍数；其中，系统支持的 LDPC 码字的最长长度为 1944×n，所述 n 为大于或者等于 2 的整数，所述第一码长和所述第二码长均小于或者等于 1944×n；和/或，所述 X=Y+Zt，所述 Z 为系统支持的所有编码码率的分母的最小公倍数，所述所有编码码率包括 7/8，t 为大于或者等于-2，且小于或者等于 2 的整数，所述 Y 使得编码过程中被打孔掉的校验比特在所有校验比特中的占比低于第一阈值；

收发模块，用于发送所述待编码信息。

10.如权利要求 9 所述的装置，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，所述 LDPC 码字的数目为 1，所述第一取值范围和所述第一码长满足如下关系：

所述第一取值范围为（第三码长，第四码长]，所述第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为排序后的倒数第一个 LDPC 码长。

11.如权利要求 9 或 10 所述的装置，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，所述 LDPC 码字的数目为所述待编码信息对应的比特长度与（1944×n×R）的比值，所述第一取值范围和所述第一码长满足如下任意关系：

所述第一取值范围为（第三码长+第四码长，+∞]，所述第一码长为所述第四码长；或者，

所述第一取值范围为（第四码长-第三码长，+∞]，所述第一码长为所述第四码长；或者，

所述第一取值范围为（第四码长-第五码长，+∞]，所述第一码长为所述第四码长；

其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为排序后的倒数第一个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长。

12.如权利要求 9-11 中任一项所述的装置，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12，所述 LDPC 码字的数目为 1，所述第二取值范围和所述第一码长满足如下关系：

所述第二取值范围为（第五码长，第三码长]，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长。

13.如权利要求 9-12 中任一项所述的装置，其特征在于，当系统支持的 LDPC 码字的最长长度为

1944×n，且所述 Z=12，所述 LDPC 码字的数目为 2，所述第二取值范围和所述第一码长满足如下关系：

所述第二取值范围为（第四码长，第四码长+第三码长]，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为系统支持的 LDPC 码长中倒数第一个码长。

14.如权利要求 9-13 中任一项所述的装置，其特征在于，当系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12i，所述 i 为大于或者等于 2 的整数，所述 LDPC 码字的数目为 1，所述第二取值范围和所述第一码长满足如下关系：

所述第二取值范围为（第五码长，第三码长]，若所述编码比特个数大于或等于所述待编码信息对应的比特长度与第一取值之和，且所述 X=Y+12i×t，第一码长为系统支持的最长 LDPC 码长，其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第五码长为系统支持的 LDPC 码长中倒数第三个码长；其中，所述 i=2 或 3，所述 Y 包括 2928；所述 i=3，所述 Y 包括 2916；或者，所述 i=3，所述 Y 包括 2942。

15.如权利要求 13 所述的装置，其特征在于，所述第二取值范围和所述第一码长还满足如下关系：

所述第二取值范围为（0，648]，所述 X=Y+12i×t，所述第一码长为 1296；其中，所述 i=2，所述 Y 包括 912；所述 i=3，所述 Y 包括 936；所述 i=6，所述 Y 包括 936；或者，

所述第二取值范围为（648，1296]，所述 X=Y+12i×t，所述第一码长为 1944；其中，所述 i=2，所述 Y 包括 1363；所述 i=3，所述 Y 包括 1376；所述 i=6，所述 Y 包括 1412。

16.如权利要求 9-14 中任一项所述的装置，其特征在于，当所述系统支持的 LDPC 码字的最长长度为 1944×n，且所述 Z=12i，所述 i 为大于或者等于 2 的整数，所述 LDPC 码字的数目为 2，所述第二取值范围和所述第一码长满足如下关系：

所述第二取值范围为（第四码长，第四码长+第三码长]，所述 X=Y+12i×t，所述第一码长为所述第四码长；或者，

所述第二取值范围为（第三码长，第四码长-第三码长]，所述 X=Y+12i×t，所述第一码长为所述第三码长；

其中，系统支持的所有 LDPC 码长按照从小到大排序，所述第三码长为排序后的倒数第二个 LDPC 码长，所述第四码长为系统支持的 LDPC 码长中倒数第一个码长。

17.一种通信装置，其特征在于，所述通信装置包括处理器和存储器，所述存储器用于存储计算机程序，所述处理器用于执行存储在所述存储器上的计算机程序，使得所述通信装置执行如权利要求 1~8 中任一项所述的方法。

18.一种芯片系统，其特征在于，所述芯片系统包括：处理器和接口，所述处理器用于从所述接口调用并运行指令，当所述处理器执行所述指令时，实现如权利要求 1~8 中任一项所述的方法。

19.一种计算机可读存储介质，其特征在于，所述计算机可读存储介质用于存储计算机程序，当所述计算机程序在计算机上运行时，使得所述计算机执行如权利要求 1~8 中任一项所述的方法。

20.一种计算机程序产品，其特征在于，所述计算机程序产品包括计算机程序，当所述计算机程序在计算机上运行时，使得所述计算机执行如权利要求 1~8 中任一项所述的方法。