

说明书

发明名称: 光子集成电路芯片及硅光集成平台

[0001] 本申请要求于2023年9月8日提交中国专利局、申请号为202311155520.5、发明名称为“光子集成电路芯片及硅光集成平台”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及光通信技术领域，特别涉及一种光子集成电路芯片及硅光集成平台。

背景技术

[0003] 近年来，光子集成电路芯片能够有效降低光通信中模块的成本和功耗，是实现光互连的关键技术。典型单模硅光波导的模场是百纳米量级，而需要和光子集成电路芯片（例如硅光芯片）耦合对准的普通单模光纤的模场直径（Mode Field Diameter, MFD）是9-10 μm ，两者之间存在较大模场失配，直接耦合对准容差较小，且有较大的光耦合损耗。

发明内容

[0004] 本发明的目的在于提供一种光子集成电路芯片及硅光集成平台，用以提高光子集成电路芯片与外部光纤的光耦合效率。

[0005] 本发明的目的采用以下技术方案实现：

[0006] 根据本发明的一方面，提供一种光子集成电路芯片，包括：层叠设置的支撑硅、第一氧化硅层以及第二氧化硅层；

[0007] 所述光子集成电路芯片包括设置在所述第一氧化硅层中的光学器件和与所述光学器件光连接的器件波导，所述光子集成电路芯片的侧边具有与外界耦合的外端面；

[0008] 所述第一氧化硅层内还设有至少一个第一金属层，在所述支撑硅的厚度方向上，所述至少一个第一金属层位于所述光学器件和所述支撑硅之间；

- [0009] 所述光子集成电路芯片还包括第一波导，所述第一波导设置在所述第一氧化硅层内或者所述第二氧化硅层内，所述第一波导与所述器件波导光耦合，在垂直所述支撑硅的厚度方向上，所述第一波导从所述光子集成电路芯片的内部向所述外端面延伸，所述第一波导被配置成在远离所述外端面的一侧具有第一模式尺寸，在靠近所述外端面的一侧具有第二模式尺寸，其中，所述第一模式尺寸大于所述第二模式尺寸。
- [0010] 进一步地，在所述支撑硅的厚度方向上，所述第一波导与所述支撑硅之间的间距大于待与所述光子集成电路芯片光耦合的外部光纤的模场直径的一半。
- [0011] 进一步地，从所述光子集成电路芯片的内部指向所述外端面的方向，所述第一波导的一部分呈反向楔形结构。
- [0012] 可选地，所述第一波导的数量为1个或者多个；
- [0013] 当所述第一波导的数量为多个时，多个第一波导位于同一膜层且并排放置，并且多个第一波导中的至少一个朝着所述外端面的方向逐渐变细。
- [0014] 进一步地，在所述第一波导设置在所述第一氧化硅层内的情形下，所述光子集成电路芯片还包括第二波导，所述第二波导位于所述第二氧化硅层内，所述第二波导与所述第一波导光耦合，并与所述第一波导在厚度方向上间隔设置；在垂直于所述支撑硅的厚度方向上，所述第二波导从所述光子集成电路芯片的内部向所述外端面延伸。
- [0015] 进一步地，从所述光子集成电路芯片的内部指向所述外端面的方向，所述第二波导的一部分呈反向楔形结构。
- [0016] 进一步地，在垂直于所述支撑硅的厚度方向上，所述第二波导的延伸长度小于所述第一波导的延伸长度，并且所述第二波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。
- [0017] 进一步地，所述第二波导的数量为多个，所述第一波导的数量为多个；
- [0018] 在靠近所述外端面所在平面的截面位置处，所述多个第二波导和所述多个第一波导的组合呈多行和/或多列排列。
- [0019] 进一步地，在靠近所述外端面所在平面的截面位置处，相邻行和/或列之间，所述多个第二波导和所述多个第一波导呈错位排列或者呈不规则排列。

- [0020] 进一步地，多个第二波导中的至少一个第二波导从所述光子集成电路芯片的内部指向所述外端面具有不变的截面宽度。
- [0021] 进一步地，所述光子集成电路芯片还包括第三波导，所述第三波导位于所述第一氧化硅层内，所述第三波导分别与所述第一波导和所述第二波导光耦合，并且所述第三波导分别与所述第一波导和所述第二波导在厚度方向上间隔设置；在所述支撑硅的厚度方向上，所述第三波导位于所述第一波导和所述第二波导之间；在垂直于所述支撑硅的厚度方向上，所述第三波导从所述光子集成电路芯片的内部向所述外端面延伸。
- [0022] 进一步地，所述第三波导与所述器件波导均位于所述第一氧化硅层中。
- [0023] 进一步地，在垂直于所述支撑硅的厚度方向上，所述第三波导的延伸长度大于所述第一波导的延伸长度，所述第三波导与所述器件波导光连接，并且所述第三波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。
- [0024] 进一步地，在靠近所述外端面的横截面方向上，多个第一波导和多个第二波导环绕在所述第三波导的周边。
- [0025] 进一步地，所述光子集成电路芯片还包括第四波导，所述第四波导位于所述第二氧化硅层内，所述第四波导分别与所述第一波导和所述第二波导光耦合，并且所述第四波导分别与所述第一波导和所述第二波导在厚度方向上间隔设置；在垂直于所述支撑硅的厚度方向上，所述第四波导从所述光子集成电路芯片的内部向所述外端面延伸；在所述支撑硅的厚度方向上，所述第四波导位于所述第二波导背离所述第一波导的一侧。
- [0026] 进一步地，从所述光子集成电路芯片的内部指向所述外端面的方向，所述第四波导的一部分呈反向楔形结构。
- [0027] 进一步地，在垂直于所述支撑硅的厚度方向上，所述第四波导的延伸长度小于所述第一波导的延伸长度，并且所述第四波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。
- [0028] 进一步地，在所述第一波导设置在所述第二氧化硅层内的情形下，所述光子集成电路芯片还包括第五波导，所述第五波导位于所述第二氧化硅层内，所述第五波导与所述第一波导光耦合，并与所述第一波导在厚度方向上间隔设置；在

垂直于所述支撑硅的厚度方向上，所述第五波导从所述光子集成电路芯片的内部向所述外端面延伸；在所述支撑硅的厚度方向上，所述第五波导位于所述第一波导远离所述第一氧化硅层的一侧。

[0029] 进一步地，从所述光子集成电路芯片的内部指向所述外端面的方向，所述第五波导的一部分呈反向楔形结构。

[0030] 进一步地，在垂直于所述支撑硅的厚度方向上，所述第五波导的延伸长度小于所述第一波导的延伸长度，并且所述第五波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。

[0031] 进一步地，所述光子集成电路芯片还包括第六波导，所述第六波导位于所述第一氧化硅层内，所述第六波导与所述第一波导光耦合，并与所述第一波导在厚度方向上间隔设置；

[0032] 在垂直于所述支撑硅的厚度方向上，所述第六波导从所述光子集成电路芯片的内部向所述外端面延伸。

[0033] 进一步地，从所述光子集成电路芯片的内部指向所述外端面的方向，所述第六波导的一部分呈反向楔形结构。

[0034] 进一步地，在垂直于所述支撑硅的厚度方向上，所述第六波导的延伸长度小于所述第一波导的延伸长度，并且所述第六波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。

[0035] 进一步地，所述第二氧化硅层内还设有至少一个第二金属层，所述至少一个第二金属层通过金属通孔与所述至少一个第一金属层电性连接。

[0036] 进一步地，所述光子集成电路芯片还包括第三氧化硅层，

[0037] 其中，在所述支撑硅的厚度方向上，所述第三氧化硅层设置在所述第一氧化硅层与所述支撑硅之间。

[0038] 进一步地，所述光子集成电路芯片还包括保护层，所述保护层覆盖在所述第二氧化硅层远离所述第一氧化硅层的一侧表面；其中，所述保护层的材质为氮化硅。

[0039] 进一步地，所述光学器件包括光电探测器、激光器、调制器和波分复用器中的一种或者组合。

- [0040] 根据本发明的又一方面，还提供一种硅光集成平台，包括前述任一所述的光子集成电路芯片；
- [0041] 光纤，所述光纤包括光纤纤芯和包覆所述光纤纤芯的光纤包层；
- [0042] 其中，所述光纤与所述光子集成电路芯片的所述外端面对准，以进行光耦合。
- [0043] 进一步地，在所述支撑硅靠近所述外端面的截面位置处设置有凹槽，所述光纤置于所述凹槽内。
- [0044] 本发明为光子集成电路芯片与光纤的光互连提供了解决方案，旨在光子集成电路芯片上设置特定的波导结构来实现和普通单模光纤的高效耦合，同时不引入悬空结构，使得整体结构具有较强的机械稳定性，能够通过光子集成电路芯片高温高湿的信赖性测试条件，并且兼容回流焊和硅通孔等工艺。
- [0045] 进一步地，可以优化光子集成电路光互连时的用于耦合的边耦合器结构距离衬底的距离，使得光场不会泄露到衬底中，还可以根据需要灵活布置边耦合器结构内的单层波导、多层波导的位置及关键尺寸等。

附图说明

- [0046] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的实施方式。
- [0047] 图1示出了本申请第一实施例所提供的光子集成电路芯片的结构示意图。
- [0048] 图2示出了图1中所提供的光子集成电路芯片的边耦合器结构于位置1和位置2处的横截面示意图。
- [0049] 图3示出了本申请实施例基于绝缘体上的半导体而制造光子集成电路芯片的结构示意图。
- [0050] 图4示出了本申请第二实施例所提供的光子集成电路芯片的结构示意图。
- [0051] 图5示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例一。
- [0052] 图6示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例二。

- [0053] 图7示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例三。
- [0054] 图8示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例四。
- [0055] 图9示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2处的横截面示意图示例五。
- [0056] 图10示出了本申请第三实施例所提供的光子集成电路芯片的结构示意图。
- [0057] 图11示出了图10中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图。
- [0058] 图12示出了本申请第四实施例所提供的光子集成电路芯片的结构示意图。
- [0059] 图13A示出了图12中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图。
- [0060] 图13B示出了图12中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图。
- [0061] 图14示出了本申请第五实施例所提供的光子集成电路芯片的结构示意图。
- [0062] 图15示出了本申请第六实施例所提供的光子集成电路芯片的结构示意图。
- [0063] 图16示出了本申请第七实施例所提供的光子集成电路芯片的结构示意图。
- [0064] 图17示出了图16中所提供的光子集成电路芯片的边耦合器结构处的另一种于位置1、位置2和位置3处的横截面示意图。
- [0065] 图18示出了本申请第八实施例所提供的光子集成电路芯片的结构示意图。
- [0066] 图19示出了图18中所提供的光子集成电路芯片的边耦合器结构处的另一种于位置1处的横截面示意图。
- [0067] 图20示出了本申请实施例所提供的硅光集成平台的一种结构示意图。
- [0068] 图21示出了本申请实施例所提供的硅光集成平台的一种截面示意图。

具体实施方式

- [0069] 上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，而可依照说明书的内容予以实施，并且为了让本发明的上述和其他目的、特

征和优点能够更明显易懂，以下特举较佳实施例，并配合附图，详细说明如下。

- [0070] 在本发明的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接或可以相互通讯；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通或两个元件的相互作用关系。本文中芯片的含义可以包括裸芯片。在涉及方法步骤时，本文图示的先后顺序代表了一种示例性的方案，但不表示对先后顺序的限定。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。
- [0071] 本文中使用的术语“衬底”可以表示经切割的晶圆的衬底，或者可以表示未经切割的晶圆的衬底。应当理解，术语“薄膜”包括层，除非另有说明，否则不应解释为指示垂直或水平厚度。需要说明的是，图中所示边耦合器结构的各材料层的厚度仅仅只是示意，并不代表实际厚度。
- [0072] 为使本发明的目的、特征和优点能够更加明显易懂，下面结合附图和具体实施方式对本发明作进一步详细的说明。
- [0073] 常用技术中，光子集成电路芯片基于SOI（Silicon On Insulator）结构的顶层硅制作的硅波导，其中，位于底层硅和顶层硅之间氧化硅层（BOX层）的厚度通常在 $0.7\mu\text{m}$ – $3\mu\text{m}$ 之间，硅波导的厚度通常在 150nm – 340nm 之间。为保证硅波导和位于其上侧的SiN波导之间的有效耦合，硅波导和SiN波导之间的间距通常在 500nm 以下。因此，常用技术中SiN波导所在的膜层距底层硅的垂直距离通常小于 $4\mu\text{m}$ 。为保证光子集成电路芯片和普通单模光纤（模场光斑通常在 $9\text{--}10\mu\text{m}$ ）的高效率耦合，边耦合器靠近端面处的光斑的模场直径也需要到 $9\text{--}10\mu\text{m}$ ，因此，光场不可避免的会泄露到底层硅中，引入额外的损耗。
- [0074] 另外，常用技术中，为了提高边耦合器的耦合效率，在有些边耦合器的关键部位对应区域下方的底层硅被部分刻蚀掉，以形成悬空结构，虽然能够消除光场泄露到底层硅中的损耗，但是，该悬空结构的存在会导致其结构的机械稳定性不高，在后续工艺中容易形成塌陷（例如在晶圆划片和芯片封装过程中极易折

断)，难以通过光子集成电路芯片所必须的信赖性测试条件，也无法兼容光子集成电路芯片的回流焊和硅通孔等工艺，使得制造成本变高。

[0075] 有鉴于此，本发明的一方面，提供一种光子集成电路芯片，以用于解决光子集成电路芯片的光场向底层硅泄露的问题。所述光子集成电路芯片包括：层叠设置的支撑硅、第一氧化硅层以及第二氧化硅层；所述光子集成电路芯片包括设置在所述第一氧化硅层中的光学器件和与所述光学器件光连接的器件波导，所述光子集成电路芯片的侧边具有与外界耦合的外端面；所述第一氧化硅层内还设有至少一个第一金属层，在所述支撑硅的厚度方向上，所述至少一个第一金属层位于所述光学器件和所述支撑硅之间；所述光子集成电路芯片还包括第一波导，所述第一波导设置在所述第一氧化硅层内或者所述第二氧化硅层内，所述第一波导与所述器件波导光耦合，在垂直所述支撑硅的厚度方向上，所述第一波导从所述光子集成电路芯片的内部向所述外端面延伸，所述第一波导被配置成在远离所述外端面的一侧具有第一模式尺寸，在靠近所述外端面的一侧具有第二模式尺寸，其中，所述第一模式尺寸大于所述第二模式尺寸。

[0076] 由上可见，本申请旨在通过在光子集成电路芯片（Photonic integrated chip，PIC芯片）上设置特定的波导结构来实现和普通单模光纤的高效耦合，同时不引入悬空结构，使得整体结构具有较强的机械稳定性，能够通过光子集成电路芯片高温高湿的信赖性测试条件，并且兼容回流焊和硅通孔等工艺。

[0077] 实施例一

[0078] 图1示出了本申请第一实施例所提供的光子集成电路芯片的结构示意图，图2示出了图1中所提供的光子集成电路芯片的边耦合器结构于位置1和位置2处的横截面示意图。

[0079] 如图1和图2所示，本申请第一实施例所提供的光子集成电路芯片1000包括：层叠设置的支撑硅100、第一氧化硅层110以及第二氧化硅层120。

[0080] 所述光子集成电路芯片1000包括设置在所述第一氧化硅层110中的光学器件210和与所述光学器件210光连接的器件波导220。沿垂直于所述支撑硅100的厚度方向上，所述光子集成电路芯片1000具有与外界耦合的外端面。也就是，光子集成电路芯片1000的侧面设置有与外界耦合的外端面。

- [0081] 所述第一氧化硅层110内还设有至少一个第一金属层310。在所述支撑硅100的厚度方向上，所述至少一个第一金属层310位于所述光学器件210和所述支撑硅100之间。
- [0082] 所述光子集成电路芯片1000还包括第一波导410，所述第一波导410设置在所述第一氧化硅层110内。所述第一波导410与所述器件波导220光耦合。在垂直于所述支撑硅100的厚度方向上，所述第一波导410从所述光子集成电路芯片的内部向所述外端面延伸。所述第一波导410被配置成在远离所述外端面的一侧具有第一模式尺寸，在靠近所述外端面的一侧具有第二模式尺寸。其中，所述第一模式尺寸大于所述第二模式尺寸。
- [0083] 进一步地，在所述支撑硅100的厚度方向上，所述第一波导410与所述支撑硅100之间的间距大于与所述光子集成电路芯片光耦合的外部光纤的模场直径的一半。
- [0084] 在本发明实施例中，通过将光子集成电路芯片1000中的所述第一波导410与所述支撑硅100之间的间距设计为大于与其光耦合的外部光纤的模场直径的一半，也即，通过本发明实施例提供的技术方案，能够使所述第一波导410与所述支撑硅100之间的间距大于 $4.5\text{--}5\mu\text{m}$ ，从而可以解决光子集成电路芯片上的光场向支撑硅（衬底）泄露的问题，同时不引入悬空结构，使得整体结构具有较强的机械稳定性，有利于该光子集成电路芯片通过高温高湿等信赖性测试，并且兼容回流焊和硅通孔工艺。
- [0085] 在本实施例中，可以基于绝缘体上的半导体而制造光子集成电路芯片中的器件波导220、光学器件210以及第一波导410，绝缘体上的半导体可以是例如SOI（Silicon-On-Insulator）。示例性地，如图3所示，绝缘体上半导体可包括：绝缘层602、形成在绝缘层602上的半导体层603以及位于所述绝缘层602下方的衬底层601。其中，衬底层601又称为背衬底（或背衬底层），半导体层603可以是硅，又称顶层硅。可对半导体层603进行图形化、沉积、掺杂等工艺形成所述光子集成电路芯片1000的一部分。具体地，所述器件波导220基于对所述半导体层603的一部分区域刻蚀形成，所述光学器件210可包括光电探测器、激光器、调制器和波分复用器中的一种或者组合，例如光电探测器包括光吸收层（例如锗

层)。在所述衬底层601的厚度方向上,所述光吸收层设置在器件波导220背离衬底层601一侧。绝缘层602例如是氧化硅埋层。光学器件210包括器件波导220的一部分和光吸收层。

[0086] 示例性地,结合图1-图3所示,在衬底层601(例如SOI结构的底层硅)上分别制作器件波导220、光学器件210、第一氧化硅层110,位于第一氧化硅层110内的至少一个第一金属层310以及第一波导410。完成之后,可在所述第一氧化硅层110的远离所述衬底层601的一侧表面再沉积或者键合一层氧化层130(例如SiO₂膜层),以将所述第一氧化硅层110远离所述衬底层601的一侧表面进行平坦化处理,然后将支撑硅100键合至上述位于所述第一氧化硅层110的远离所述衬底层601的一侧表面的氧化层上,接着将同时具有所述衬底层601和所述支撑硅100的结构整体进行上下翻转,使得所述支撑硅100处于下方,而所述衬底层601处于上方,接着去除所述衬底层601,以得到位于支撑硅100上方的第一氧化硅层110,以及位于第一氧化硅层110内的至少一个第一金属层310、光学器件210、器件波导220以及第一波导410。此时,所述第一波导410与所述支撑硅100之间的间距足够远,通过设计第一氧化硅层110内至少一个第一金属层310的数量或者膜层厚度,可以很容易地将所述第一波导410与所述支撑硅100之间的间距设计为大于与所述光子集成电路芯片光耦合的外部光纤的模场直径(普通单模光纤的模场直径是9-10 μm)的一半,以避免光子集成电路芯片的光场泄漏至所述支撑硅100内。

[0087] 示例性地,在本实施例中,所述器件波导220是硅波导,所述第一波导410是氮化硅波导或者氮氧化硅波导。由于硅材质通常具有较高的折射率,因此,硅波导可以实现的实际模式尺寸约为2-5 μm,而氮化硅或者氮氧化硅材质相较于硅材质具有较低的折射率,故氮化硅波导或者氮氧化硅波导(第一波导)能够实现比硅波导(器件波导)更大的模式尺寸。

[0088] 在一些实施方式中,如图1和图2所示,从所述光子集成电路芯片1000的内部指向所述外端面的方向,所述第一波导410的一部分呈反向楔形结构。

[0089] 可选地,所述第一波导410的数量为1个或者多个;当所述第一波导410的数量为多个时,多个第一波导410位于同一膜层且并排放置。此时,用于模斑转换的

边耦合器结构由多个并行的第一波导410组成，并且上述多个第一波导410中的至少一个朝着所述外端面的方向逐渐变细，使得光场模斑能够从所述光子集成电路芯片1000的内部指向外端面的方向逐渐扩大。

- [0090] 在一些实施方式中，在所述至少一个第一金属层310包括多个第一金属层310时，在支撑硅100的厚度方向上，所述第一氧化硅层110内相邻两个第一金属层310之间还设有金属通孔，多个第一金属层310通过金属通孔实现各第一金属层310之间或者其它器件的电性连接。
- [0091] 进一步地，所述第二氧化硅层120内还设有至少一个第二金属层320，所述至少一个第二金属层320通过金属通孔与所述至少一个第一金属层310电性连接。
- [0092] 实施例二
- [0093] 图4示出了本申请第二实施例所提供的光子集成电路芯片的结构示意图。图5示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例一。
- [0094] 如图4和图5所示，在本申请第二实施例中，在所述第一波导410设置在所述第一氧化硅层110内的情形下，所述光子集成电路芯片1000还包括第二波导420，所述第二波导420位于所述第二氧化硅层120内，所述第二波导420与所述第一波导410光耦合，并与所述第一波导410在厚度方向上间隔设置；在垂直于所述支撑硅100的厚度方向上，所述第二波导420从所述光子集成电路芯片1000的内部向所述外端面延伸。
- [0095] 在实施例二中，相比于实施例一，在设置有单层第一波导410的基础上，额外还设置了与所述第一波导410异层设置的第二波导420，并且在所述支撑硅100的厚度方向上，所述第二波导420与所述第一波导410之间小于或者等于预设的间距（例如500nm），使得所述第二波导420与所述第一波导410光耦合。此时，所述光子集成电路芯片1000具有多层波导。由于单层波导的模场直径通常受该单层波导自身的形貌或者尺寸的影响较为敏感，从而会导致实际靠近光子集成电路芯片外端面的截面位置1处的光场模斑尺寸偏大或者偏小，不利于调节；而采用多层波导，多层波导共同参与光场的模斑转换，则可以在保证耦合效率的基础上，降低单层波导自身的形貌或者尺寸对单层波导的模场直径的敏感程度。

- [0096] 具体地，所述第二波导420位于所述第二氧化硅层120内，也即，所述第二波导420也被SiO₂膜层支撑及包覆。从所述第一波导410耦合的光在经所述第二波导420进行模斑转换后扩展至所述第二波导420周围的氧化硅中，光场模斑的尺寸经由所述第一波导410与所述第二波导420共同调节，最终实现与外部光纤的模场进行匹配。
- [0097] 可选地，所述第二波导420的数量为一个或多个。
- [0098] 可选地，从所述光子集成电路芯片1000的内部指向所述外端面的方向，所述第二波导420的一部分呈反向楔形结构。
- [0099] 进一步地，在垂直于所述支撑硅100的厚度方向上，所述第二波导420的延伸长度小于所述第一波导410的延伸长度，并且所述第二波导420靠近所述外端面的端部与所述第一波导410靠近所述外端面的端部齐平。
- [0100] 在一些实施方式中，第二波导420的数量为多个，第一波导410的数量为多个；在靠近所述外端面所在平面的截面位置处，所述多个第二波导420和所述多个第一波导410的组合呈多行和/或多列排列。在本实施例中，所述第一波导410和第二波导420被配置成用于将从所述器件波导220耦合的光进行模斑转换后（例如扩展光的模斑尺寸）传输至外部光纤内，或者将从外部光纤输入的光进行模斑转换（例如收缩光的模斑尺寸），并将经模斑转换后的光耦合至所述器件波导220。
- [0101] 在一些实施方式中，多个第二波导420中的至少一个第二波导420从所述光子集成电路芯片1000的内部指向所述外端面具有不变的截面宽度。示例性地，如图5所示，在所述光子集成电路芯片1000的远离所述外端面的截面位置2处和在所述光子集成电路芯片1000的靠近所述外端面的截面位置1处，两个第二波导420具有不变的截面宽度。
- [0102] 可选地，所述第二波导420是氮化硅波导或者氮氧化硅波导。
- [0103] 示例性地，如图5所示，在远离光子集成电路芯片1000边缘的截面位置3处，只有下层的一个第一波导410，该第一波导410的截面尺寸较大，光场主要限制在该第一波导410中。在远离光子集成电路芯片1000边缘的截面位置2处，同时存在两个第一波导410和两个第二波导420。其中，位于下层左侧的第一波导410的截面

尺寸相对较大，另外一个第一波导410的截面尺寸相对较小，位于上层的两个第二波导420的截面尺寸也相对较小，光场主要限制在下层左侧的第一波导410中。在所述光子集成电路芯片1000的靠近所述外端面的截面位置1处，位于下层的两个第一波导410和位于上层的两个第二波导420的尺寸都较小，光场由下层的两个第一波导410和上层的两个第二波导420及周围的氧化硅共同限制。上、下两层波导共同参与光场模斑尺寸的调节，在保证耦合效率的基础上，降低了单层波导自身的形貌或者尺寸对单层波导的模场直径的敏感程度。

- [0104] 其中，位于下层左侧的第一波导410从截面位置3到截面位置1的过程中，该第一波导410的截面尺寸可以是线性变化的，也可以是非线性变化的。其中，位于下层右侧的第一波导410以及位于上层的两个第二波导420的截面尺寸可以变化，也可以保持不变。其中，位于上层的两个第二波导420高度可以相同，也可以不同；位于下层的两个第一波导410高度可以相同，也可以不同。
- [0105] 图6示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例二。
- [0106] 如图6所示，相比于图5，在本示例中，从截面位置2到截面位置1处，所述光子集成电路芯片中的位于下层的两个第一波导410均朝着所述外端面的方向逐渐变细，而位于上层的两个第二波导420朝着所述外端面的方向的截面尺寸保持不变。此时，模斑转换同时由位于下层的两个第一波导410的变化实现。
- [0107] 图7示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例三。
- [0108] 如图7所示，相比于图5和图6，示例性地，位于下层的第一波导410的数量大于两个，例如有三个，并且位于上层的第二波导420的数量也大于两个，例如有三个。
- [0109] 示例性地，在所述光子集成电路芯片的远离所述外端面的截面位置3处，只有下层的中间的一个第一波导410。该第一波导410的截面尺寸较大，光场主要限制在第一波导410中，在所述光子集成电路芯片的远离所述外端面的截面位置2处。同时存在三个第一波导410和三个第二波导420。其中，位于下层中间的第一波导410的截面尺寸相对较大，另外两个第一波导410和位于上层的三个第二波导420

的截面尺寸相对较小。光场主要限制在下层中间的第一波导410中。在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的三个第一波导410和位于上层的三个第二波导420的尺寸都相对较小，光场由下层的三个第一波导410和上层的三个第二波导420及周围的氧化硅共同限制。

- [0110] 图8示出了图3中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图示例四。
- [0111] 如图8所示，相比于图5、图6和图7，位于下层的第一波导410的数量有两个，并且位于上层的第二波导420的数量有三个。
- [0112] 示例性地，在所述光子集成电路芯片的远离所述外端面的截面位置3处，只有下层的两个第一波导410。该两个第一波导410的截面尺寸较大，光场主要限制在第一波导410中。在所述光子集成电路芯片的远离所述外端面的截面位置2处，同时存在两个第一波导410和三个第二波导420。其中，位于下层的两个第一波导410的截面尺寸相对较大，另外位于上层的三个第二波导420的截面尺寸相对较小，光场主要限制在下层的两个第一波导410中。在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的两个第一波导410和位于上层的三个第二波导420的尺寸都较小。光场由下层的两个第一波导410和上层的三个第二波导420及周围的氧化硅共同限制。
- [0113] 图9示出了图4中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2处的横截面示意图示例五。
- [0114] 如图9所示，相比于图5、图6、图7和图8，位于下层的第一波导410的数量有一个，并且位于上层的第二波导420的数量有两个。
- [0115] 示例性地，在所述光子集成电路芯片的远离所述外端面的截面位置2处，同时存在一个第一波导410和两个第二波导420。其中，位于下层的第一波导410的截面尺寸相对较大，另外位于上层的两个第二波导420的截面尺寸相对较小，光场主要限制在下层的一个第一波导410中。在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的一个第一波导410和位于上层的两个第二波导420的尺寸都较小。光场由下层的一个第一波导410和上层的两个第二波导420及周围的氧化硅共同限制。

[0116] 实施例三

[0117] 图10示出了本申请第三实施例所提供的光子集成电路芯片的结构示意图。图11示出了图10中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图。

[0118] 如图10和图11所示，在本申请第三实施例中，所述光子集成电路芯片1000还包括第三波导430。所述第三波导430位于所述第一氧化硅层110内。所述第三波导430与所述器件波导220光连接。所述第三波导430是硅波导，所述第三波导430分别与所述第一波导410和所述第二波导420光耦合。并且所述第三波导430分别与所述第一波导410和所述第二波导420在厚度方向上间隔设置。在所述支撑硅100的厚度方向上，所述第三波导430位于所述第一波导410和所述第二波导420之间。在垂直于所述支撑硅100的厚度方向上，所述第三波导430从所述光子集成电路芯片1000的内部向所述外端面延伸。

[0119] 进一步地，在一些实施方式中，所述第三波导430与所述器件波导220均位于所述第一氧化硅层110中。

[0120] 进一步地，在垂直于所述支撑硅100的厚度方向上，所述第三波导430的延伸长度大于所述第一波导410的延伸长度，所述第三波导430与所述器件波导220光连接，使得从所述器件波导220离开的光场能够直接转换到第三波导430上，以避免不必要的光能量的损失。并且所述第三波导430靠近所述外端面的端部与所述第一波导410靠近所述外端面的端部齐平。

[0121] 可选地，所述第三波导430的数量为1个或者多个。

[0122] 进一步地，在靠近所述外端面的横截面方向上，所述多个第一波导410和多个第二波导420环绕在所述第三波导430的周边。

[0123] 示例性地，如图11所示，在所述光子集成电路芯片的远离所述外端面的截面位置3处，只有中间层的一个第三波导430，该第三波导430的截面尺寸较大，光场主要限制在第三波导430中。在所述光子集成电路芯片的远离所述外端面的截面位置2处，同时存在两个第一波导410和两个第二波导420以及一个第三波导430，光场仍然主要限制在位于中间的一个第三波导430中。在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的两个第一波导410、位于上层的两

个第二波导420以及位于中间层的第三波导430的尺寸都较小，光场由下层的两个第一波导410、上层的两个第二波导420、中间层的第三波导430及周围的氧化硅共同限制。

[0124] 实施例四

[0125] 图12示出了本申请第四实施例所提供的光子集成电路芯片的结构示意图。图13A示出了图12中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图。图13B示出了图12中所提供的光子集成电路芯片的边耦合器结构于位置1、位置2和位置3处的横截面示意图。

[0126] 如图12所示，在本申请第四实施例中，所述光子集成电路芯片1000还包括第四波导440。所述第四波导440位于所述第二氧化硅层120内，所述第四波导440分别与所述第一波导410和所述第二波导420光耦合。并且所述第四波导440分别与所述第一波导410和所述第二波导420在厚度方向上间隔设置。在垂直于所述支撑硅100的厚度方向上，所述第四波导440从所述光子集成电路芯片1000的内部向所述外端面延伸。在所述支撑硅100的厚度方向上，所述第四波导440位于所述第二波导420背离所述第一波导410的一侧。

[0127] 可选地，从所述光子集成电路芯片1000的内部指向所述外端面的方向，所述第四波导440的一部分呈反向楔形结构。

[0128] 进一步地，在垂直于所述支撑硅100的厚度方向上，所述第四波导440的延伸长度小于所述第一波导410的延伸长度，并且所述第四波导440靠近所述外端面的端部与所述第一波导410靠近所述外端面的端部齐平。

[0129] 具体地，如图13A和图13B所示，本申请第四实施例涉及三层氮化硅波导或者氮氧化硅波导参与边耦合的过程。其中，位于最下层的第一波导410从截面位置1处一直延伸到截面位置3处。

[0130] 示例性地，如图13A所示，在所述光子集成电路芯片的远离所述外端面的截面位置3处，只有下层的一个第一波导410。该第一波导410的截面尺寸相对较大，光场主要限制在第一波导410中。在所述光子集成电路芯片的远离所述外端面的截面位置2处，同时存在三个第一波导410、三个第二波导420和三个第四波导440。其中，位于下层中间的第一波导410的截面尺寸相对较大，另外位于上层的

三个第四波导440及位于中间层的三个第二波导420的截面尺寸相对较小，光场主要限制在下层中间的一个第一波导410中。在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的两个第一波导410、位于中间层的三个第二波导420及位于上层的三个第四波导440的截面尺寸都较小。光场由下层的三个第一波导410、中间层的三个第二波导420和上层的三个第四波导440及周围的氧化硅共同限制。此时，从光子集成电路芯片1000外部耦合进入的光最终被耦合到最下层的第一个第一波导410中。

[0131] 示例性地，如图13B所示，在所述光子集成电路芯片的远离所述外端面的截面位置3处，只有下层的一个第一波导410。该第一波导410的截面尺寸相对较大，光场主要限制在第一波导410中。在所述光子集成电路芯片的远离所述外端面截面位置2处，同时存在两个第一波导410、一个第二波导420和两个第四波导440。其中，位于下层左侧的第一波导410的截面尺寸相对较大，另外位于上层的两个第四波导440及位于中间层的一个第二波导420的截面尺寸相对较小。光场主要限制在下层左侧的一个第一波导410中。在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的两个第一波导410、位于上层的两个第四波导440以及位于中间层的一个第二波导420的尺寸都相对较小，光场由下层的两个第一波导410、中间层的一个第二波导420和上层的两个第四波导440及周围的氧化硅共同限制。此时，从光子集成电路芯片1000外部耦合进入的光最终被耦合到最下层的第一个第一波导410中。

[0132] 实施例五

[0133] 图14示出了本申请第五实施例所提供的光子集成电路芯片的结构示意图。

[0134] 如图14所示，在本申请第五实施例中，所述第一波导410设置在所述第二氧化硅层120内，此时，可以基于光子集成电路芯片的器件波导220的前端工艺（包括在所述器件波导220上制作对应的至少一个功能层）制作完成之后，在所述器件波导220的背离所述支撑硅100的一侧制作第一波导410，由于所述器件波导220的背面金属层相对较少，因此关于所述第一波导410设置的位置的自由度相对较高。

[0135] 实施例六

- [0136] 图15示出了本申请第六实施例所提供的光子集成电路芯片的结构示意图。
- [0137] 如图15所示，在本申请第六实施例中，在所述第一波导410设置在所述第二氧化硅层120内的情形下，所述光子集成电路芯片1000还包括第五波导450，所述第五波导450位于所述第二氧化硅层120内，所述第五波导450与所述第一波导410光耦合，并与所述第一波导410在厚度方向上间隔设置；在垂直于所述支撑硅100的厚度方向上，所述第五波导450从所述光子集成电路芯片1000的内部向所述外端面延伸；在所述支撑硅100的厚度方向上，所述第五波导450位于所述第一波导410远离所述第一氧化硅层110的一侧。
- [0138] 可选地，所述第五波导450的数量为1个或者多个。
- [0139] 进一步地，从所述光子集成电路芯片1000的内部指向所述外端面的方向，所述第五波导450的一部分呈反向楔形结构。
- [0140] 进一步地，在垂直于所述支撑硅100的厚度方向上，所述第五波导450的延伸长度小于所述第一波导410的延伸长度，并且所述第五波导450靠近所述外端面的端部与所述第一波导410靠近所述外端面的端部齐平。
- [0141] 实施例七
- [0142] 图16示出了本申请第七实施例所提供的光子集成电路芯片的结构示意图。图17示出了图16中所提供的光子集成电路芯片的边耦合器结构处的另一种处于位置1、位置2和位置3处的横截面示意图。
- [0143] 如图16-图17所示，在本申请第七实施例中，在实施例六的基础上，所述光子集成电路芯片1000还包括第六波导460，所述第六波导460位于所述第一氧化硅层110内，所述第六波导460与所述第一波导410光耦合，并与所述第一波导410在厚度方向上间隔设置；在垂直于所述支撑硅100的厚度方向上，所述第六波导460从所述光子集成电路芯片1000的内部向所述外端面延伸。
- [0144] 可选地，所述第六波导460的数量为1个或者多个。
- [0145] 进一步地，从所述光子集成电路芯片1000的内部指向所述外端面的方向，所述第六波导460的一部分呈反向楔形结构。
- [0146] 示例性地，如图17所示，在所述光子集成电路芯片的远离所述外端面的截面位置3处，只有中间层的一个第一波导410，该第一波导410的截面尺寸相对较大，

光场主要限制在第一波导410中，在所述光子集成电路芯片的远离所述外端面的截面位置2处，同时存在一个第一波导410、两个第五波导450和两个第六波导460，其中，位于中间层的第一波导410的截面尺寸相对较大，另外位于上层的两个第五波导450及位于下层的一个第六波导460的截面尺寸相对较小，光场主要限制在中间层的一个第一波导410中；在所述光子集成电路芯片的靠近所述外端面的截面位置1处，位于下层的两个第六波导460、位于中间层的一个第一波导410以及位于上层的第五波导450的尺寸都较小，光场由下层的两个第六波导460、中间层的一个第一波导410和上层的两个第五波导450及周围的氧化硅共同限制。此时，从光子集成电路芯片1000外部耦合进入的光最终被耦合到最中间层的第一波导410中。

[0147] 实施例八

[0148] 图18示出了本申请第八实施例所提供的光子集成电路芯片的结构示意图。图19示出了图18中所提供的光子集成电路芯片的边耦合器结构处的另一种处于位置1处的横截面示意图。

[0149] 如图18和图19所示，在本申请第七实施例中，相比于实施例二，为了防止长期使用过程中水汽进入所述光子集成电路芯片的上侧氧化硅中，从而引起边波导的性能下降，同时为了防止光子集成电路芯片的表面在bump，TSV等工艺工程中易受各种脏污的影响，所述光子集成电路芯片还包括保护层500。所述保护层500覆盖在所述第二氧化硅层120远离所述第一氧化硅层110的一侧表面。其中，所述保护层500的材质为氮化硅。

[0150] 进一步地，所述保护层还有利于提高所述光子集成电路芯片的表面耐刮擦性。

[0151] 根据本发明的另一方面，还提供一种硅光集成平台，包括前述任一实施例所述的光子集成电路芯片；光纤，所述光纤包括光纤纤芯和包覆所述光纤纤芯的光纤包层；其中，所述光纤与所述光子集成电路芯片的所述外端面对准，以进行光耦合。

[0152] 图20示出了本申请实施例所提供的硅光集成平台的一种结构示意图。

[0153] 示例性地，如图20所示，光纤与光子集成电路芯片采用有源对准的方式进行耦合对准后，通过胶水与光子集成电路芯片的边耦合器结构的外端进行固定。

- [0154] 图21示出了本申请实施例所提供的硅光集成平台的一种截面示意图。
- [0155] 示例性地，如图21所示，为了限制光纤的位置移动，在所述支撑硅靠近所述外端面的截面位置处设置有凹槽101。所述光纤置于所述凹槽101内。
- [0156] 示例性地，所述凹槽101为V型槽，使得光纤纤芯及光纤包层恰好放置在所述V型槽内，接着再使用胶水固定光纤。
- [0157] 需要说明的是，本文中的“第一”、“第二”、“第三”、“第四”、“第五”及“第六”旨在区分不同的对象，而非意在对对象进行排序和限制对象的数量。
- [0158] 本发明的实施例为光子集成电路芯片与光纤的光互连提供了解决方案，旨在光子集成电路芯片上设置特定的波导结构来实现和普通单模光纤的高效耦合，同时不引入悬空结构，使得整体结构具有较强的机械稳定性，能够通过光子集成电路芯片高温高湿的信赖性测试条件，并且兼容回流焊和硅通孔等工艺。
- [0159] 进一步地，可以优化光子集成电路光互连时的用于耦合的边耦合器结构距离衬底的距离，使得光场不会泄露到衬底中，还可以根据需要灵活布置边耦合器结构内的单层波导、多层波导的位置及关键尺寸等。
- [0160] 上文仅为本发明的较佳实施例而已，并非用来限定本发明实施的范围，凡依本发明权利要求范围所述的形状、构造、特征及精神所为的均等变化与修饰，均应包括于本发明的权利要求范围。

权利要求书

- [权利要求 1] 一种光子集成电路芯片，其特征在于，包括：层叠设置的支撑硅、第一氧化硅层以及第二氧化硅层；
- 所述光子集成电路芯片包括设置在所述第一氧化硅层中的光学器件和与所述光学器件光连接的器件波导，所述光子集成电路芯片的侧边具有与外界耦合的外端面；
- 所述第一氧化硅层内还设有至少一个第一金属层，在所述支撑硅的厚度方向上，所述至少一个第一金属层位于所述光学器件和所述支撑硅之间；
- 所述光子集成电路芯片还包括第一波导，所述第一波导设置在所述第一氧化硅层内或者所述第二氧化硅层内，所述第一波导与所述器件波导光耦合，在垂直所述支撑硅的厚度方向上，所述第一波导从所述光子集成电路芯片的内部向所述外端面延伸，所述第一波导被配置成在远离所述外端面的一侧具有第一模式尺寸，在靠近所述外端面的一侧具有第二模式尺寸，其中，所述第一模式尺寸大于所述第二模式尺寸。
- [权利要求 2] 如权利要求1所述的光子集成电路芯片，其特征在于，
- 在所述支撑硅的厚度方向上，所述第一波导与所述支撑硅之间的间距大于待与所述光子集成电路芯片光耦合的外部光纤的模场直径的一半。
- [权利要求 3] 如权利要求2所述的光子集成电路芯片，其特征在于，
- 从所述光子集成电路芯片的内部指向所述外端面的方向，所述第一波导的一部分呈反向楔形结构。
- [权利要求 4] 如权利要求2所述的光子集成电路芯片，其特征在于，
- 所述第一波导的数量为1个或者多个；
- 当所述第一波导的数量为多个时，多个第一波导位于同一膜层且并排放置，并且多个第一波导中的至少一个朝着所述外端面的方向逐渐变细。

- [权利要求 5] 如权利要求2所述的光子集成电路芯片，其特征在于，
在所述第一波导设置在所述第一氧化硅层内的情形下，所述光子集成电路芯片还包括第二波导，所述第二波导位于所述第二氧化硅层内，所述第二波导与所述第一波导光耦合，并与所述第一波导在厚度方向上间隔设置；
在垂直于所述支撑硅的厚度方向上，所述第二波导从所述光子集成电路芯片的内部向所述外端面延伸。
- [权利要求 6] 如权利要求5所述的光子集成电路芯片，其特征在于，
从所述光子集成电路芯片的内部指向所述外端面的方向，所述第二波导的一部分呈反向楔形结构。
- [权利要求 7] 如权利要求5所述的光子集成电路芯片，其特征在于，
在垂直于所述支撑硅的厚度方向上，所述第二波导的延伸长度小于所述第一波导的延伸长度，并且所述第二波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。
- [权利要求 8] 如权利要求7所述的光子集成电路芯片，其特征在于，
所述第二波导的数量为多个，所述第一波导的数量为多个；
在靠近所述外端面所在平面的截面位置处，所述多个第二波导和所述多个第一波导的组合呈多行和/或多列排列。
- [权利要求 9] 如权利要求8所述的光子集成电路芯片，其特征在于，
在靠近所述外端面所在平面的截面位置处，相邻行和/或列之间，所述多个第二波导和所述多个第一波导呈错位排列或者呈不规则排列。
- [权利要求 10] 如权利要求7所述的光子集成电路芯片，其特征在于，
多个第二波导中的至少一个第二波导从所述光子集成电路芯片的内部指向所述外端面具有不变的截面宽度。
- [权利要求 11] 如权利要求5所述的光子集成电路芯片，其特征在于，
所述光子集成电路芯片还包括第三波导，所述第三波导位于所述第一氧化硅层内，所述第三波导分别与所述第一波导和所述第二波导

光耦合，并且所述第三波导分别与所述第一波导和所述第二波导在厚度方向上间隔设置；

在所述支撑硅的厚度方向上，所述第三波导位于所述第一波导和所述第二波导之间；

在垂直于所述支撑硅的厚度方向上，所述第三波导从所述光子集成电路芯片的内部向所述外端面延伸。

[权利要求 12] 如权利要求11所述的光子集成电路芯片，其特征在于，
所述第三波导与所述器件波导均位于所述第一氧化硅层中。

[权利要求 13] 如权利要求11所述的光子集成电路芯片，其特征在于，
在垂直于所述支撑硅的厚度方向上，所述第三波导的延伸长度大于所述第一波导的延伸长度，所述第三波导与所述器件波导光连接，
并且所述第三波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。

[权利要求 14] 如权利要求13所述的光子集成电路芯片，其特征在于，
在靠近所述外端面的横截面方向上，多个第一波导和多个第二波导环绕在所述第三波导的周边。

[权利要求 15] 如权利要求5所述的光子集成电路芯片，其特征在于，
所述光子集成电路芯片还包括第四波导，所述第四波导位于所述第二氧化硅层内，所述第四波导分别与所述第一波导和所述第二波导光耦合，并且所述第四波导分别与所述第一波导和所述第二波导在厚度方向上间隔设置；
在垂直于所述支撑硅的厚度方向上，所述第四波导从所述光子集成电路芯片的内部向所述外端面延伸；
在所述支撑硅的厚度方向上，所述第四波导位于所述第二波导背离所述第一波导的一侧。

[权利要求 16] 如权利要求15所述的光子集成电路芯片，其特征在于，
从所述光子集成电路芯片的内部指向所述外端面的方向，所述第四波导的一部分呈反向楔形结构。

- [权利要求 17] 如权利要求16所述的光子集成电路芯片，其特征在于，
在垂直于所述支撑硅的厚度方向上，所述第四波导的延伸长度小于所述第一波导的延伸长度，并且所述第四波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。
- [权利要求 18] 如权利要求1所述的光子集成电路芯片，其特征在于，
在所述第一波导设置在所述第二氧化硅层内的情形下，所述光子集成电路芯片还包括第五波导，所述第五波导位于所述第二氧化硅层内，所述第五波导与所述第一波导光耦合，并与所述第一波导在厚度方向上间隔设置；
在垂直于所述支撑硅的厚度方向上，所述第五波导从所述光子集成电路芯片的内部向所述外端面延伸；
在所述支撑硅的厚度方向上，所述第五波导位于所述第一波导远离所述第一氧化硅层的一侧。
- [权利要求 19] 如权利要求18所述的光子集成电路芯片，其特征在于，
从所述光子集成电路芯片的内部指向所述外端面的方向，所述第五波导的一部分呈反向楔形结构。
- [权利要求 20] 如权利要求19所述的光子集成电路芯片，其特征在于，
在垂直于所述支撑硅的厚度方向上，所述第五波导的延伸长度小于所述第一波导的延伸长度，并且所述第五波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。
- [权利要求 21] 如权利要求18所述的光子集成电路芯片，其特征在于，
所述光子集成电路芯片还包括第六波导，所述第六波导位于所述第一氧化硅层内，所述第六波导与所述第一波导光耦合，并与所述第一波导在厚度方向上间隔设置；
在垂直于所述支撑硅的厚度方向上，所述第六波导从所述光子集成电路芯片的内部向所述外端面延伸。
- [权利要求 22] 如权利要求21所述的光子集成电路芯片，其特征在于，

从所述光子集成电路芯片的内部指向所述外端面的方向，所述第六波导的一部分呈反向楔形结构。

[权利要求 23] 如权利要求22所述的光子集成电路芯片，其特征在于，
在垂直于所述支撑硅的厚度方向上，所述第六波导的延伸长度小于所述第一波导的延伸长度，并且所述第六波导靠近所述外端面的端部与所述第一波导靠近所述外端面的端部齐平。

[权利要求 24] 如权利要求1所述的光子集成电路芯片，其特征在于，
所述第二氧化硅层内还设有至少一个第二金属层，所述至少一个第二金属层通过金属通孔与所述至少一个第一金属层电性连接。

[权利要求 25] 如权利要求1所述的光子集成电路芯片，其特征在于，
所述光子集成电路芯片还包括第三氧化硅层，
其中，在所述支撑硅的厚度方向上，所述第三氧化硅层设置在所述第一氧化硅层与所述支撑硅之间。

[权利要求 26] 如权利要求1所述的光子集成电路芯片，其特征在于，
所述光子集成电路芯片还包括保护层，所述保护层覆盖在所述第二氧化硅层远离所述第一氧化硅层的一侧表面；
其中，所述保护层的材质为氮化硅。

[权利要求 27] 如权利要求1所述的光子集成电路芯片，其特征在于，
所述光学器件包括光电探测器、激光器、调制器和波分复用器中的一种或者组合。

[权利要求 28] 一种硅光集成平台，其特征在于，包括如权利要求1至27中任意一项所述的光子集成电路芯片；
光纤，所述光纤包括光纤纤芯和包覆所述光纤纤芯的光纤包层；
其中，所述光纤与所述光子集成电路芯片的所述外端面对准，以进行光耦合。

[权利要求 29] 如权利要求28所述的硅光集成平台，其特征在于，
在所述支撑硅靠近所述外端面的截面位置处设置有凹槽，所述光纤置于所述凹槽内。