

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012523 A1

- (51) 国际专利分类号:
H01L 23/66 (2006.01) *H01Q 1/22* (2006.01)
- (21) 国际申请号: PCT/CN2021/105999
- (22) 国际申请日: 2021 年 7 月 13 日 (13.07.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010670975.0 2020 年 7 月 13 日 (13.07.2020) CN
- (71) 申请人: 矽磐微电子(重庆)有限公司 (SIPLP MICROELECTRONICS (CHONGQING) CO., LTD.) [CN/CN]; 中国重庆市沙坪坝区西永大道 25 号 C 栋, Chongqing 401331 (CN)。
- (72) 发明人: 周辉星 (CHEW, Jimmy); 中国重庆市沙坪坝区西永大道 25 号 C 栋, Chongqing 401331 (CN)。
- (74) 代理人: 北京博思佳知识产权代理有限公司 (BEIJING BESTIPR INTELLECTUAL PROPERTY LAW CORPORATION); 中国北京市海淀区上地三街 9 号嘉华大厦 B 座 409, Beijing 100085 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR PACKAGING METHOD AND SEMICONDUCTOR PACKAGING STRUCTURE

(54) 发明名称: 半导体封装方法及半导体封装结构

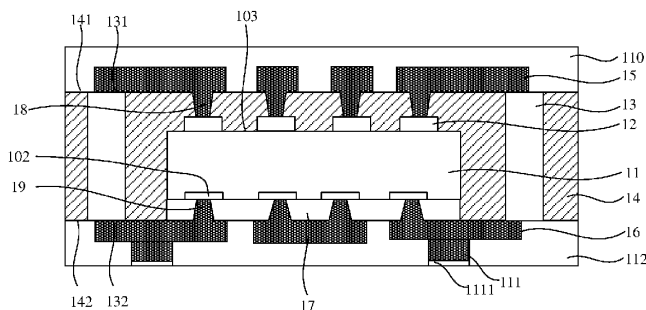


图 1

(57) Abstract: A semiconductor packaging method, comprising: fixing a die and conductive columns onto a carrier plate, the die comprising a solder pad arranged on the front surface and an inductive element arranged on the back surface, the die being arranged so that the front surface faces the carrier plate, and the conductive columns being positioned on the peripheral side of the die; forming a plastic packaging layer on the carrier plate, the plastic packaging layer packaging the die, the inductive element, and the conductive columns, at least part of the inductive element and the surface of a first end of the conductive columns respectively being exposed from the plastic packaging layer; forming a first conductive trace on the surface of the plastic packaging layer next to the back surface of the die, the first conductive trace connecting a first electrical connection point of the inductive element and the first end of the conductive columns; removing the carrier plate; and forming a second conductive trace on the surface of the plastic packaging layer next to the front surface of the die, the second conductive trace connecting the solder pad of the die and a second end of the conductive columns. Also disclosed is a semiconductor packaging structure.

[见续页]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种半导体封装方法, 包括: 将裸片和导电柱固定于载板上, 所述裸片包括设置在正面的焊垫以及设置在背面的电感元件, 所述裸片设置得正面面向所述载板, 所述导电柱位于所述裸片的周侧; 在所述载板上形成塑封层, 所述塑封层包裹所述裸片、所述电感元件和所述导电柱, 所述电感元件的至少部分以及所述导电柱的第一端的表面分别从所述塑封层中露出; 在所述塑封层靠近所述裸片的背面的表面上形成第一导电迹线, 所述第一导电迹线连接所述电感元件的第一电连接点与所述导电柱的第一端; 去除所述载板; 以及在所述塑封层靠近所述裸片的正面的表面上形成第二导电迹线, 所述第二导电迹线连接所述裸片的焊垫与所述导电柱的第二端。还公开了一种半导体封装结构。