

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明の実施形態は、半導体記憶装置に関する。

背景技術

[0002] 基板上に、絶縁層を介して電極層を複数積層した積層体に、メモリホールを形成し、そのメモリホール内に電荷蓄積膜を介してチャネルとなるシリコンボディが設けられた３次元構造の半導体記憶装置が提案されている。また、この３次元構造のメモリセルアレイの制御回路をメモリセルアレイの直下又は直上に設ける技術が提案されている。

[0003] しかしながら、この例では、面積当たりのメモリ密度を十分に向上することができていない。

先行技術文献

特許文献

[0004] 特許文献１：特開２０１１－２０４８２９号公報

特許文献２：特開２０１６－６２９０１号公報

発明の概要

発明が解決しようとする課題

[0005] 小型で高性能な半導体記憶装置を提供する。

課題を解決するための手段

[0006] 実施形態によれば、第１面及び前記第１面と反対側の第２面を持ち、基板を含まないメモリセルアレイ層であって、メモリセルアレイ領域に３次元配置された複数のメモリセルと、第１面または／及び第２面に埋め込まれた表面配線層とを含むメモリセルアレイ層を複数有し、

それぞれの前記メモリセルアレイ層の前記表面配線層は、前記第１面に垂直な方向から見て重なるように設けられ、前記表面配線層同士が互いに接合されることによって、複数の前記メモリセルアレイ層が積層されていること

を特徴とする半導体記憶装置が提供される。

図面の簡単な説明

- [0007] [図1]第1の実施形態に係る半導体記憶装置を示す模式断面図
[図2]第1の実施形態に係る半導体記憶装置を示す模式斜視図
[図3]第1の実施形態に係る半導体記憶装置を示す模式断面図
[図4]第1の実施形態に係る半導体記憶装置の一部を拡大した模式断面図
[図5]第1の実施形態に係る半導体記憶装置を示す模式斜視図
[図6]第1の実施形態に係る半導体記憶装置の製造方法を示す模式断面図
[図7]第1の実施形態に係る半導体記憶装置の製造方法を示す模式断面図
[図8]第1の実施形態に係る半導体記憶装置の製造方法を示す模式断面図
[図9]第1の実施形態に係る半導体記憶装置の製造方法を示す模式断面図
[図10]第1の実施形態の第1の変形例に係る半導体記憶装置の模式断面図
[図11]第1の実施形態の第2の変形例に係る半導体記憶装置の模式断面図
[図12]第2の実施形態に係る半導体記憶装置を示す模式断面図
[図13]第2の実施形態に係る半導体記憶装置の回路図
[図14]第2の実施形態に係る半導体記憶装置のシステムの構成を示すブロック図

発明を実施するための形態

- [0008] 以下、図面を参照し、実施の形態について説明する。なお、各図面中同じ要素には同じ符号を付している。

- [0009] (第1の実施形態)

図1は、第1の実施形態に係る半導体記憶装置の模式断面図である。第1の実施形態の半導体記憶装置は、メモリセルに対するデータの書き込み、消去、読み出しを制御する制御回路を含む周辺回路層100と、3次元配置された複数の第1のメモリセルを含む第1のメモリセルアレイ層200とが、向かい合うように接合して積層され、貼り合される構造を有している。また、第1のメモリセルアレイ層200と、3次元配置された複数の第2のメモリセルを含む第2のメモリセルアレイ層300とが、向かい合うように接合

して積層され、貼り合される構造を有している。

- [0010] まず、第1のメモリセルアレイ層200について説明する。第1のメモリセルアレイ層200は、図1における第1面（下面）S a 1と第1面と反対側の第2面（上面）S a 2を持ち、3次元構造の第1のメモリセルアレイ10aを有する。図2は、第1の実施形態に係る半導体記憶装置の模式斜視図であり、第1のメモリセルアレイ10aの模式斜視図である。なお、図2においては、電極間絶縁層などの一部の絶縁層の図示について省略している。また、図2は、図1と上下が逆となっており、図2における上側が第1面側であり、下側が第2面側である。
- [0011] 図2において、相互に直交する2方向をX方向及びY方向とし、これらX方向及びY方向（XY面）に対して直交し、複数層の電極層WLが積層された方向をZ方向（積層方向）とする。
- [0012] 第1のメモリセルアレイ10aは、電極層WLと絶縁層11とがそれぞれ1層ずつ交互に複数層積層された第1の積層体12aを有する。この第1の積層体12a内には、Z方向に延びる第1の柱状部13aが複数設けられている。第1の柱状部13aは例えば、円柱状もしくは楕円柱状に設けられる。複数の第1の柱状部13aは、例えば、XY面において、千鳥格子、もしくは、正方格子に配列されている。電極層WLはY方向に複数のブロックに分離され、X方向に延びている。
- [0013] 電極層WLは、例えば、シリコンを主成分として含む層である。さらに、電極層WLは、シリコン層に導電性を持たせるための不純物として、ボロンを含んでいる。また、電極層WLは、金属シリサイドを含んでいてもよい。
- [0014] 絶縁層11は、例えばシリコンと酸素を主に含んでおり、シリコン酸化膜（SiO）、シリコン酸窒化膜（SiON）、炭素含有シリコン酸化膜（SiOC）などである。
- [0015] 第1の柱状部13aの第1面S a 1側である上部にはドレイン側選択ゲートSGD、第2面S a 2側である下部にはソース側選択ゲートSGSが設けられている。ドレイン側選択ゲートSGDは最上層の電極層WL上に絶縁層

11を介して設けられている。ソース側選択ゲートSGSは最下層の電極層WL下に絶縁層11を介して設けられている。ここで、例えば、ドレイン側選択ゲートSGD及びソース側選択ゲートSGSは、1層の電極層WLよりも厚く形成することができる。

[0016] 第1の柱状部13aの第1面Sa1側である上端部には、第1のビット線16aが接続されている。第1のビット線16aは複数設けられ、金属が用いられている。複数の第1のビット線16aは、X方向に離間して、Y方向に延びている。第1のビット線16aは、ドレイン側選択ゲートSGD上に絶縁層11及び層間絶縁層14を介して設けられている。

[0017] 第1の柱状部13aの第2面Sa2側である下端部には、第1のソース線17aが接続されている。第1のソース線17aは、ソース側選択ゲートSGS下に層間絶縁層15を介して設けられている。また、第1の柱状部13aの下端部であって、第1のソース線17aのさらに下側には、層間絶縁層18内に第1のソース側配線層19aが設けられている。層間絶縁層18は積層された層であってもよい。

[0018] 図3は、第1の実施形態に係る半導体記憶装置の模式断面図であり、第1の柱状部近傍の模式断面図である。図4は、図3の第1の柱状部近傍の一部であるA部を拡大した模式断面図である。図3及び図4は、図2におけるYZ面に平行な断面を表している。

[0019] 図3に示すように、第1の柱状部13aは、複数の電極層WL、複数の絶縁層11を含む第1の積層体12a内に形成されるI字状のメモリホール内に形成される。そのメモリホール内には、半導体チャネルとしてのチャネルボディ20が設けられている。チャネルボディ20は、例えばシリコン膜である。チャネルボディ20の不純物濃度は、電極層WLの不純物濃度よりも低い。

[0020] 図4に示すように、メモリセルMCはメモリホールの内壁とチャネルボディ20との間には、メモリ膜21が設けられている。メモリ膜21は、例えば、ブロック絶縁膜22と電荷蓄積膜23とトンネル絶縁膜24とを有する

。電極層WLとチャネルボディ20との間に、電極層WL側から順にブロック絶縁膜22、電荷蓄積膜23、及びトンネル絶縁膜24が設けられている。

[0021] チャネルボディ20は積層体の積層方向に延びる筒状に設けられ、そのチャネルボディ20の外周面を囲むようにメモリ膜21が積層体の積層方向に延びつつ筒状に設けられている。電極層WLはメモリ膜21を介してチャネルボディ20の周囲を囲んでいる。また、チャネルボディ20の内側には、コア絶縁膜25が設けられている。コア絶縁膜25は、例えばシリコン酸化膜である。

[0022] ブロック絶縁膜22は電極層WLに接し、トンネル絶縁膜24はチャネルボディ20に接し、ブロック絶縁膜22とトンネル絶縁膜24との間に電荷蓄積膜23が設けられている。

[0023] チャネルボディ20はメモリセルMCにおけるチャネルとして機能し、電極層WLはメモリセルのコントロールゲートとして機能する。電荷蓄積膜23はチャネルボディ20から注入される電荷を蓄積するデータ記憶層として機能する。すなわち、チャネルボディ20と各電極層WLとの交差部分に、チャネルの周囲をコントロールゲートが囲んだ構造のメモリセルMCが形成されている。

[0024] 第1の実施形態の半導体記憶装置は、データの消去・書き込みを電氣的に自由に行うことができ、電源を切っても記憶内容を保持することができる不揮発性半導体記憶装置となっている。

[0025] メモリセルMCは、例えばチャージトラップ型のメモリセルである。電荷蓄積膜23は、電荷を捕獲するトラップサイトを多数有し、例えば、シリコン窒化膜である。浮遊ゲート型のメモリセルであってもかまわない。

[0026] トンネル絶縁膜24は、電荷蓄積膜23にチャネルボディ20から電荷が注入される際、または電荷蓄積膜23に蓄積された電荷がチャネルボディ20へ拡散する際に電位障壁となる。トンネル絶縁膜24は、例えばシリコン酸化膜である。

- [0027] あるいは、トンネル絶縁膜として、一対のシリコン酸化膜でシリコン窒化膜を挟んだ構造の積層膜（ONO膜）を用いてもよい。トンネル絶縁膜としてONO膜を用いると、シリコン酸化膜の単層に比べて、低電界で消去動作を行うことができる。
- [0028] ブロック絶縁膜22は、電荷蓄積膜23に蓄積された電荷が、電極層WLへ拡散するのを防止する。ブロック絶縁膜22は、例えば、電極層WLに接して設けられたシリコン窒化膜221とシリコン窒化膜221と電荷蓄積膜23との間に設けられたシリコン酸化膜222とを有する。
- [0029] シリコン酸化膜222よりも誘電率の高い膜であるシリコン窒化膜221を電極層WLに接して設けることで、消去時に電極層WLから注入されるバックトンネル電子を抑制することができる。すなわち、ブロック絶縁膜35として、シリコン酸化膜とシリコン窒化膜との積層膜を使うことで、電荷ブロッキング性を高めることができる。
- [0030] 図2及び図3に示すように、第1の柱状部13aの上部にはドレイン側選択トランジスタSTDが設けられ、他方の下部にはソース側選択トランジスタSTSが設けられている。
- [0031] メモリセルMC、ドレイン側選択トランジスタSTD及びソース側選択トランジスタSTSは、積層体の積層方向（Z方向）に電流が流れる縦型トランジスタである。
- [0032] ドレイン側選択ゲートSGDは、ドレイン側選択トランジスタSTDのゲート電極（コントロールゲート）として機能する。ドレイン側選択ゲートSGDとチャンネルボディ20との間には、ドレイン側選択トランジスタSTDのゲート絶縁膜として機能する絶縁膜26（図3）が設けられている。第1の柱状部13aに設けられた、ドレイン側選択トランジスタSTDのチャンネルボディ20は、ドレイン側選択ゲートSGDの上方で、ビット線BLと接続されている。
- [0033] ソース側選択ゲートSGSは、ソース側選択トランジスタSTSのゲート電極（コントロールゲート）として機能する。ソース側選択ゲートSGSと

チャンネルボディ 20 との間には、ソース側選択トランジスタ STS のゲート絶縁膜として機能する絶縁膜 27 (図 3) が設けられている。第 1 の柱状部 13a に設けられた、ソース側選択トランジスタ STS のチャンネルボディ 20 は、ソース側選択ゲート SGS の下方で、ソース線 SL と接続されている。

[0034] ソース線 SL のさらに下方には、層間絶縁層 18 内に第 1 のソース側配線層 19a が設けられている。

[0035] これら複数のメモリセル MC、ドレイン側選択トランジスタ STD、ソース側選択トランジスタ STS は、チャンネルボディ 20 を通じて直列接続され、I 字状の 1 つのメモリストリング MS を構成する。このメモリストリング MS が X 方向及び Y 方向に複数配列されていることにより、複数のメモリセル MC が X 方向、Y 方向及び Z 方向に 3 次的に配置されている。

[0036] 図 1 は、前記した第 1 のメモリセルアレイ 10a における X 方向の端部の領域を示す。複数のメモリセル MC が配置された第 1 のメモリセルアレイ領域 28a の端部には、X 方向に延びる電極層 WL の階段構造部 29 が形成されている。階段構造部 29 において、各層の電極層 WL の X 方向の端部は階段状に形成されている。階段構造部 29 には、階段状に形成された各層の電極層 WL と接続された複数のコンタクトプラグ 30 が設けられている。コンタクトプラグ 30 は、層間絶縁層 31 を貫通して階段状の各層の電極層 WL に接続している。

[0037] また、階段構造部 29 において、選択ゲート SG (ドレイン側選択ゲート SGD、ソース側選択ゲート SGS) はコンタクトプラグ 32 に接続している。

[0038] 電極層 WL と接続されたコンタクトプラグ 30 は、ワード配線層 33 に接続されている。選択ゲート SG と接続されたコンタクトプラグ 32 は、選択ゲート配線層 34 に接続されている。ワード配線層 33 と選択ゲート配線層 34 は同じレイヤーに設けられている。

[0039] 第 1 のメモリセルアレイ層 200 は基板を含んでいない。また、第 1 のソ

ース線S Lより第2面側にさらに第1のソース側配線層19aが設けられている。

ワード配線層33及び選択ゲート配線層34の少なくとも一部は、他の配線層やプラグによって、第1面に垂直な方向から見て第1のメモリセルアレイ領域28aの外側に、ワード線引出部35及び選択ゲート線引出部36として引き出される。第1のメモリセルアレイ領域28aの外側に引き出されたワード線引出部35及び選択ゲート線引出部36は、第1のメモリセルアレイ領域28aの外側に設けられた第1の信号線引出電極37aに接続されている。

[0040] また、第1の柱状部13aのチャネルボディ20と第1のビット線B L及び第1のソース線S Lは電氣的に接続されている。さらに、第1のビット線B L及び第1のソース線S Lの少なくとも一部も同様に、他の配線層やプラグによって、第1面に垂直な方向から見て第1のメモリセルアレイ領域28aの外側に、第1のビット線引出部及び第1のソース線引出部として引き出される（図示しない）。第1のメモリセルアレイ領域28aの外側に引き出された第1のビット線引出部及び第1のソース線引出部は、第1のメモリセルアレイ領域28aの外側に設けられた第1の信号線引出電極37aに接続されている。

[0041] 第1のメモリセルアレイ層200の第1面S a 1及び第2面S a 2には、第1の表面配線層38a及び第2の表面配線層39aが設けられている。第1の表面配線層38a及び第2の表面配線層39aは、それぞれ第1面S a 1及び第2面S a 2に埋め込まれており、図示しない層間絶縁層から表面が露出している。ここで、例えば、第1の信号線引出電極37aは第1のメモリセルアレイ層200の第1面S a 1及び第2面S a 2にそれぞれ設けられた第1の表面配線層38a及び第2の表面配線層39aに電氣的に接続されている。第1の信号線引出電極37a、第1の表面配線層38a及び第2の表面配線層39aは第1のメモリセルアレイ層200を貫通している。

[0042] また、第1のメモリセルアレイ領域28aの外側に、第1の外部接続電極

40aが設けられている。すなわち、第1の外部接続電極40aは、メモリセルアレイにおける階段構造部よりもさらに外側の領域に設けられている。第1の外部接続電極40aは、第1のメモリセルアレイ層200の第1面Sa1及び第2面Sa2にそれぞれ設けられた第1の表面配線層38a及び第2の表面配線層39aに電氣的に接続されている。第1の表面配線層38a及び第2の表面配線層39aは、それぞれ第1面Sa1及び第2面Sa2に埋め込まれており、図示しない層間絶縁層から表面が露出している。第1の外部接続電極40a、第1の表面配線層38a及び第2の表面配線層39aは第1のメモリセルアレイ層200を貫通している。

[0043] 周辺回路層100は回路用基板1を含む。周辺回路層100の回路用基板1は、例えばシリコン基板である。周辺回路層の回路用基板1の回路形成面には、制御回路が形成されている。制御回路としては、トランジスタを含む集積回路として形成されている。トランジスタとしては、ゲート電極、ソース／ドレイン領域などを有するMOSFET構造を有する。MOSFETのソース／ドレイン領域は、他の配線層やプラグによって、回路側接続電極41に接続されている。回路側接続電極41は、周辺回路層100の回路形成面に設けられた回路側配線層42に電氣的に接続されている。回路側配線層42は、回路形成面に埋め込まれており、図示しない層間絶縁層から表面が露出している。

[0044] 第2のメモリセルアレイ層300は、図1乃至図4に示した第1のメモリセルアレイ層200と同様の構成となっている。すなわち、第2のメモリセルアレイ層300は、図1における第3面（下面）Sb1と第3面と反対側の第4面（上面）Sb2を持ち、3次元構造の第2のメモリセルアレイ10bを有する。その他、同様の構成については記載を省略する。

[0045] 第2のメモリセルアレイ層300は基板を含んでいない。また、第2のソース線SLより第4面側にさらに第2のソース側配線層19bが設けられている。

第1のメモリセルアレイ層200と同様に、ワード配線層33及び選択ゲ

ート配線層 34 の少なくとも一部は他の配線層やプラグによって、第 3 面に垂直な方向から見て第 2 のメモリセルアレイ領域 28 b の外側に、ワード線引出部 35 及び選択ゲート線引出部 36 として引き出される。第 2 のメモリセルアレイ領域 28 b の外側に引き出されたワード線引出部 35 及び選択ゲート線引出部 36 は、第 2 のメモリセルアレイ領域 28 b の外側に設けられた第 2 の信号線引出電極 37 b に接続されている。

[0046] また、第 2 の柱状部 13 b のチャンネルボディ 20 と第 2 のビット線 BL 及び第 2 のソース線 SL は電氣的に接続されている。さらに、第 2 のビット線 BL 及び第 2 のソース線 SL の少なくとも一部は、他の配線層やプラグによって、第 3 面に垂直な方向から見て第 2 のメモリセルアレイ領域 28 b の外側に、第 2 のビット線引出部及び第 2 のソース線引出部として引き出される。第 1 のメモリセルアレイ領域 28 b の外側に引き出された第 2 のビット線引出部及び第 2 のソース線引出部は、第 2 のメモリセルアレイ領域 28 b の外側に設けられた第 2 の信号線引出電極 37 b に接続されている。なお、第 2 のメモリセルアレイ領域 28 b 内の構成は、第 1 のメモリセルアレイ層 200 と同じであるので符号の記載を省略する。

[0047] 第 2 のメモリセルアレイ層 300 の第 3 面 Sb1 及び第 4 面 Sb2 には、第 3 の表面配線層 38 b 及び第 4 の表面配線層 39 b が設けられている。第 3 の表面配線層 38 b 及び第 4 の表面配線層 39 b は、それぞれ第 3 面 Sb1 及び第 4 面 Sb2 に埋め込まれており、図示しない層間絶縁層から表面が露出している。ここで、例えば、第 2 の信号線引出電極 37 b は第 2 のメモリセルアレイ層 300 の第 3 面及び第 4 面にそれぞれ設けられた第 3 の表面配線層 38 b 及び第 4 の表面配線層 39 b に電氣的に接続されている。第 2 の信号線引出電極、第 3 及び第 4 の表面配線層は、第 2 のメモリセルアレイ層 300 を貫通している。

[0048] また、第 2 のメモリセルアレイ領域 28 b の外側に、第 2 の外部接続電極 40 b が設けられている。すなわち、第 2 の外部接続電極 40 b は、メモリセルアレイにおける階段構造部よりもさらに外側の領域に設けられている。

第2の外部接続電極40bは、第2のメモリセルアレイ層300の第3面Sb1及び第4面Sb2にそれぞれ設けられた第3の表面配線層38b及び第4の表面配線層39bに電氣的に接続されている。第3の表面配線層38b及び第4の表面配線層39bは、それぞれ第3面Sb1及び第4面Sb2に埋め込まれており、図示しない層間絶縁層から表面が露出している。第2の外部接続電極40b、第3の表面配線層38b及び第4の表面配線層39bは第2のメモリセルアレイ層300を貫通している。第4の表面配線層39bのうち、第2の外部接続電極40bに電氣的に接続された表面配線層上に、外部接続パッド52が設けられる。

[0049] 図1に示すように、第1面Sa1に設けられた第1の表面配線層38aは、回路形成面に設けられた回路側配線層42と貼り合され、接合されている。第1の表面配線層38a及び回路側配線層42は、例えば銅または銅を主成分とする銅合金である。第1の表面配線層38a及び回路側配線層42の周囲には絶縁膜（図示せず）が設けられている。絶縁膜は、例えば無機膜、樹脂膜などである。第1のメモリセルアレイ層200と周辺回路層100は第1の表面配線層38a及び回路側配線層42を介して、電氣的に接続されている。

[0050] また、図1に示すように、第2面Sa2に設けられた第2の表面配線層39aは、第3面Sb1に設けられた第3の表面配線層38bと貼り合され、接合されている。第2の表面配線層39a及び第3の表面配線層38bは、例えば銅または銅を主成分とする銅合金である。第2面に設けられた第2の表面配線層39a及び第3面Sb1に設けられた第3の表面配線層38bの周囲には絶縁膜（図示せず）が設けられている。絶縁膜は、例えば無機膜であり、シリコン窒化膜を含む。第1のメモリセルアレイ層と第2のメモリセルアレイ層は、第2の表面配線層39a及び第3の表面配線層38bを介して、電氣的に接続されている。

[0051] なお、配線層の周囲の絶縁膜が無機膜の場合、接合面において配線層同士の接合を行うとともに、無機膜同士の水素接合を利用した接合を行うことが

できる。よって、絶縁膜として無機膜を用いると、接合面の隙間が生じにくいため、樹脂膜を用いたアンダーフィルを行う必要がなくなるという点で好ましい。

[0052] 図5は、第1の実施形態に係る半導体記憶装置の模式斜視図であり、周辺回路層、第1のメモリセルアレイ層及び第2のメモリセルアレイ層の電気的な接続状態に関する模式斜視図である。

[0053] 図5に示すように、周辺回路層100、第1のメモリセルアレイ層200及び第2のメモリセルアレイ層300は第1の信号線引出電極、第2の信号線引出電極、第1外部接続電極及び第2外部接続電極（図示しない）によって、電気的に接続されている。メモリセルアレイ領域28a、28bの外側に信号線引出電極を設け、メモリセルアレイ領域の外側であって、メモリセルアレイにおける階段構造部よりもさらに外側の領域に外部接続電極が設けられている。メモリセルアレイ層の信号線引出電極及び外部接続電極は、第1面Sa1に垂直な方向から見て、それぞれ、重なる領域に設けられている。信号線引出電極は表面配線層39a、39bに電気的に接続され、最上層となる第2のメモリセルアレイ層300の外部接続電極は外部接続パッド52に電気的に接続されている。なお、図5において、第1の信号線引出電極、第2の信号線引出電極、第1外部接続電極及び第2外部接続電極などの電気的な接続状態を一部のみ示し、それ以外は、図示を省略している。

[0054] 図6乃至図9を用いて、第1の実施形態に係る半導体記憶装置の製造方法について説明する。図6乃至図9は第1の実施形態に係る半導体記憶装置の製造方法に係り、半導体記憶装置の一断面図である。

[0055] 図6に示すように、回路用基板1上にトランジスタなどを含む制御回路を形成し、絶縁膜（図示せず）から表面が露出する回路側配線層42を有する周辺回路層100を形成する。また、他の基板2下にバッファ層として、第1の絶縁層50、例えばシリコン酸化膜が形成され、第1の絶縁層50下に第1のソース線側配線層19a及び第1のソース線17aが形成され、第1のソース線17a下に第1の選択ゲートSG、複数の電極層WLなどが形成

される。次にメモリストリングMS、階段構造部29などが形成される。さらに第1の外部接続電極40a、第1の信号線引出電極37a及び絶縁膜（図示せず）から表面が露出する第1の表面配線層38aが形成され、第1のメモリセルアレイ層200が形成される。続いて、周辺回路層100の回路側配線層42及び第1のメモリセルアレイ層200の第1の表面配線層38aが向かい合うように積層される。

[0056] 次に、図7に示すように、周辺回路層100及び第1のメモリセルアレイ層200が積層される。このとき、回路側配線層42及び第1の表面配線層38aは接合される。その接合方法としては、例えば機械的圧力をかけて接合され、拡散接合される。あるいは接合面に不活性プラズマ処理を行い、接合面にOH基を形成することで生じる水素結合を利用して接合される。あるいは有機接着剤等を用いて接合される。その後、例えばKOHなどの薬液により、基板2を除去する。この時、各配線層の周囲の絶縁膜同士も接合されることができる。

[0057] メモリセルアレイ層は基板を有していないため、メモリセルアレイ層にかかる応力によって変形しやすく、積層された半導体記憶装置が反ってしまうことが考えられる。そこで、第2の絶縁層51を形成する。第2の絶縁層51は、基板を除去した後に生じる反りとは逆方向の応力を有する層であり、応力調整膜として形成される。第2の絶縁層51としては、例えばシリコン窒化膜を形成する。このようにすることによって、半導体記憶装置に生じる応力を緩和させることができ、半導体記憶装置の反りを抑制することができる。

[0058] 次に、第1の外部接続電極40a及び第1の信号線引出電極37aの上面が露出するように、第1の絶縁層50及び第2の絶縁層51を除去し、溝を形成する。図8に示すように、その溝に接合金属となる第2の表面配線層39aを形成し、第2の表面配線層39aの上面を露出させる。

[0059] 次に、図8に続いて、図6に示す周辺回路層100に代えて第1のメモリセルアレイ層200とし、図6に示す第1のメモリセルアレイ層200に代

えて第2のメモリセルアレイ層300として、図6乃至図8と同様の工程を繰り返す。図9に示すように、上面に露出した第4の表面配線層39bのうち、第2の外部接続電極40bに電氣的に接続する表面配線層上に、外部接続パッド52を形成する。このようにして、周辺回路層100、第1のメモリセルアレイ層200及び第2のメモリセルアレイ層300が積層された半導体記憶装置を形成することができる。

[0060] 第1の実施形態では、第1のメモリセルアレイ層200上に第2のメモリセルアレイ層300を積層したが、さらに、第2のメモリセルアレイ層300上に一層または多層の他のメモリセルアレイ層を積層してもよい。このとき、一層または多層の他のメモリセルアレイ層の少なくとも一部の層が基板を含んでいてもよい。その場合、積層された半導体記憶装置の反りを低減することができる。

[0061] また、周辺回路層100を積層せず、メモリセルアレイ層の積層体のみを形成してもかまわない。

[0062] (第1の変形例)

図10は、第1の実施形態の第1の変形例に係る半導体記憶装置の模式断面図である。第1のメモリセルアレイ層200のメモリストリングMS1と第2のメモリセルアレイ層300のメモリストリングMS2とを接続する配線層61が設けられている。配線層61はメモリセルアレイ領域の内側に設けられており、第1のメモリセルアレイ層200の第1ソース側配線層19a及び第2メモリセルアレイ層300の第2のビット線16bと接続している。第1のメモリセルアレイ層と第2のメモリセルアレイ層とは、メモリセルアレイ領域の外側に設けられた信号線引出電極を介さずに接続されている。

[0063] 第1の変形例では、第1のメモリセルアレイ層と第2のメモリセルアレイ層とが、メモリセルアレイ領域の外側に設けられた信号線引出電極に加えて、メモリセルアレイ領域の内側に設けられた配線層を用いて接続されている。

[0064] このように形成することによって、メモリセルアレイ層の接続に必要な電極面積を低減することができ、チップ面積を低減することができる。

[0065] (第2の変形例)

図11は、第1の実施形態の第2の変形例に係る半導体記憶装置の模式断面図である。外部接続電極の記載は省略する。

[0066] 第1のメモリセルアレイ層200のワード配線層及び選択ゲート配線層の少なくとも一部は、他の配線層やプラグによって、ワード線引出部35及び選択ゲート線引出部36として引き出され、第1面Sa1に垂直な方向から見て第1のメモリセルアレイ領域28aの内側に折り返される。第1のメモリセルアレイ領域28aの内側に引き出されたワード線引出部35及び選択ゲート線引出部36は、第1のメモリセルアレイ領域28aの内側に設けられた第1の信号線引出電極37aに接続されている。

[0067] また、第1のビット線BL及び第1のソース線SLの少なくとも一部も同様に、他の配線層やプラグによって、第1のビット線引出部及び第1のソース線引出部として引き出され、第1面Sa1に垂直な方向から見て第1のメモリセルアレイ領域28aの内側に折り返される(図示しない)。第1のメモリセルアレイ領域28aの内側に引き出された第1のビット線引出部及び第1のソース線引出部は、第1のメモリセルアレイ領域28aの内側に設けられた第1の信号線引出電極37aに接続されている。

[0068] また、第2面Sa2側の第1のソース側配線層19aは、第1のメモリセルアレイ領域28aの内側に設けられた第1の信号線引出電極37aに接続されている。ここで、第1の信号線引出電極37aの一部は第1のメモリセルアレイ領域28aの外側に設けられていてもよい。

[0069] 第1のメモリセルアレイ層200の第1面Sa1及び第2面Sa2には、メモリセルアレイ領域の内側に、それぞれ、第1の表面配線層38a及び第2の表面配線層39aが設けられている。メモリセルアレイ領域の内側に設けられた第1の表面配線層38a及び第2の表面配線層39aは、第1の信号線引出電極37aに電氣的に接続されている。

[0070] 第2のメモリセルアレイ層300は、第1のメモリセルアレイ層200と同様に、ワード配線層及び選択ゲート配線層の少なくとも一部は他の配線層やプラグによって、ワード線引出部35及び選択ゲート線引出部36として引き出され、第3面Sb1に垂直な方向から見て第2のメモリセルアレイ領域28bの内側に折り返される。第2のメモリセルアレイ領域28bの内側に引き出されたワード線引出部35及び選択ゲート線引出部36は、第2のメモリセルアレイ領域28bの内側に設けられた第2の信号線引出電極37bに接続されている。

[0071] また、第2のビット線BL及び第2のソース線SLの少なくとも一部は、他の配線層やプラグによって、第2のビット線引出部及び第2のソース線引出部として引き出され、第3面に垂直な方向から見て第2のメモリセルアレイ領域28bの内側に折り返される（図示しない）。第2のメモリセルアレイ領域28bの内側に引き出された第2のビット線引出部及び第2のソース線引出部は、第2のメモリセルアレイ領域28bの内側に設けられた第2の信号線引出電極37bに接続されている。ここで、第2の信号線引出電極37bの一部は第2のメモリセルアレイ領域28bの外側に設けられていてもよい。

[0072] 第2のメモリセルアレイ層300の第3面Sb1には、メモリセルアレイ領域の内側に、第3の表面配線層38bが設けられている。メモリセルアレイ領域の内側に設けられた第3の表面配線層38は、第2の信号線引出電極37bに電氣的に接続されている。ここで、第2のメモリセルアレイ層300の第4面Sb2にも、メモリセルアレイ領域の内側に、第4の表面配線層（図示しない）が設けられていてもよい。この場合、メモリセルアレイ領域の内側に設けられた第4の表面配線層は、第2の信号線引出電極37bに電氣的に接続されている。

[0073] したがって、各メモリセルアレイ層の信号線引出電極は、メモリセルアレイ領域の内側に設けられた表面配線層に接続され、各メモリアレイ層の表面配線層は、第1面に垂直な方向から見て、それぞれ重なる領域に設けること

ができる。よって、複数のメモリセルアレイ層を積層した場合、チップ面積をさらに小さくするとともに、配線長を抑えることができ、動作遅延を抑制することができる。

[0074] 第2の変形例によれば、メモリセルアレイ領域の内側に少なくとも一部のビット線やワード線などを折り返している。ビット線引出部及びワード線引出部などを介して接続された信号線引出電極をメモリセルアレイ領域の内側に設けている。また、各メモリセルアレイ層の信号線引出電極は、メモリセルアレイ領域の内側に設けられた表面配線層に接続され、各メモリアレイ層の表面配線層は、第1面に垂直な方向から見て、それぞれ重なる領域に設けることができる。よって、複数のメモリセルアレイ層を積層した場合、チップ面積をさらに小さくするとともに、配線長を抑えることができ、動作遅延を抑制することができる。

[0075] 第1の実施形態によれば、第1のメモリセルアレイ層200及び第2のメモリセルアレイ層300は基板（例えば、シリコン基板）を有していない。したがって、第1のメモリセルアレイ層200と第2のメモリセルアレイ層300を積層させ、電氣的に接続させるにあたって、TSV (Through Silicon Via) を形成することなく、接続することが可能となる。よって、コストや処理時間がかかる基板のエッチング工程や、基板とビアとの短絡を防止するための絶縁膜の形成を行う必要がなく、コストの削減、スループットの向上を図ることができる。

[0076] また、メモリセルアレイ層と周辺回路層とを異なるウェハプロセスで形成するため、メモリセルアレイ層を形成する際に高温の熱処理が必要である場合であっても、周辺回路層のトランジスタの不純物拡散や金属の配線層の劣化などの悪影響を抑制することができる。

[0077] また、メモリセルアレイ層は、第1面が周辺回路層と向かい合うように積層されている。メモリセルアレイ層の第1面側にビット線やワード線を引出し、ビット線やワード線を信号線引出電極に接続している。メモリセルアレイ層は、第1面が周辺回路層と向かい合うように積層されているため、電極

層の引き回し距離を低減することができ、動作速度への悪影響を抑制することができる。

[0078] さらに、第1の実施形態によれば、周辺回路層上に複数層のメモリセルアレイ層を積層している。よって、1つのメモリセルアレイ層の積層体が48層の場合、例えば2つのメモリセルアレイ層を積層することによって、48層のプロセス技術を用いて、48層の2倍の96層のメモリセルアレイを実現することができる。したがって、容易にメモリ密度を向上させることが可能となる。

[0079] さらに、メモリセルアレイ領域の外側に少なくとも一部のビット線やワード線などを引出し、ビット線引出部及びワード線引出部などを介して接続された信号線引出電極を、メモリセルアレイ領域の外側に設けている。また、メモリセルアレイ領域の外側であって、メモリセルアレイにおける階段構造部よりもさらに外側の領域に外部接続電極を設けている。各メモリセルアレイ層の信号線引出電極及び外部接続電極は、第1面に垂直な方向から見て、それぞれ重なる領域に設けられている。よって、複数のメモリセルアレイ層を積層した場合、配線長を抑えることができ、動作遅延を抑制することができる。

[0080] あるいは、メモリセルアレイ領域の内側に少なくとも一部のビット線やワード線などを折り返している。ビット線引出部及びワード線引出部などを介して接続された信号線引出電極をメモリセルアレイ領域の内側に設けている。また、各メモリセルアレイ層の信号線引出電極は、メモリセルアレイ領域の内側に設けられた表面配線層に接続され、各メモリセルアレイ層の表面配線層は、第1面に垂直な方向から見て、それぞれ重なる領域に設けられている。よって、複数のメモリセルアレイ層を積層した場合、チップ面積をさらに小さくするとともに、配線長を抑えることができ、動作遅延を抑制することができる。

[0081] また、外部接続電極、及び外部接続電極に接続された表面配線層は、メモリセルアレイ層または／及び周辺回路層によって上下を挟まれた層（ここで

は第1のメモリセルアレイ層)を少なくとも貫通するように設けられている。また、信号線引出電極、及び信号線引出電極に接続された表面配線層は、メモリセルアレイ層または／及び周辺回路層によって上下を挟まれた層(ここでは第1のメモリセルアレイ層)を少なくとも貫通するように設けられている。したがって、複数のメモリセルアレイ層を積層した場合、配線長をより抑えることができ、動作遅延をより抑制することができ、信頼性を向上することができる。

[0082] さらに、外部接続電極は、メモリセルに接続されないようなレイアウトが可能となり、外部接続パッドからメモリセルを介さずに周辺回路層に外部信号を入力することができる。このようにすることによって、動作遅延などの悪影響をさらに抑制することができる。また、信号線引出電極は、メモリセルに接続されないルートでも各メモリセルアレイ層に電氣的に接続されるため、メモリセルを介さずに各層の信号線が接続されることになる。このようにすることによって、動作遅延などの悪影響をさらに抑制することができる。

[0083] また、メモリセルアレイ層は基板を有しておらず、TSV等のシリコン貫通電極を形成する必要がない。メモリセルアレイ層の第2面側(第4面側)には基板が設けられる代わりに、ソース側配線層が設けられている。よって、積層されたメモリセルアレイ層を任意に接続することができるとともに、チップ面積を増加させることなく、配線領域を増加させることができる。

[0084] さらに、第1のソース線SLの第1のソース引出部として、第1のソース側配線層を用いることができる。第2のソース線SLの第2のソース線引出部として、第2のソース側配線層を用いることができる。このように、柱状部がI字状となっているメモリセルストリングを有するメモリセルアレイにおいて、ソース線の第2面側(第4面側)にソース側配線層を設けることによって、ソース線から信号線引出電極までの配線長を効率的に抑えることができる。

また、第2のメモリセルアレイ層の信号線引出電極及び表面配線層につい

ても、第1のメモリセルアレイ層と同様に、第2のメモリセルアレイ層を貫通するように形成してもよい。この場合、第1のメモリセルアレイ層及び第2のメモリセルアレイ層におけるデバイス構造を共通化することができ、メモリセルアレイ層に生じる応力などの特性をそろえることができるという点で好ましい。加えて、第1のメモリセルアレイ層及び第2のメモリセルアレイ層におけるプロセスを共通化することができ、メモリセルアレイ層を効率よく製造することができるという点で好ましい。

[0085] また、第1のメモリセルアレイ層または第2のメモリセルアレイ層では、第1面側または第3面側にビット線やワード線が引出され、ビット線やワード線は信号線引出電極に接続されている。第1のメモリセルアレイ層は、第1面が周辺回路層と向かい合うように積層され、第2のメモリセルアレイ層は、第3面が第1のメモリセルアレイ層と向かい合うように積層されている。つまり、第1のメモリセルアレイ層及び第2のメモリセルアレイ層は、同じ方向に信号線が引き出され、第1のメモリセルアレイ層及び第2のメモリセルアレイ層の向きが揃うように積層されている。このように、周辺回路層が設けられた側（図1において下側）にビット線やワード線を引出して周辺回路層上に積層しているため、電極層の引き回し距離を低減することができ、動作速度への悪影響を抑制することができる。

[0086] また、仮に、第1のメモリセルアレイ層及び第2のメモリセルアレイ層の向きを揃えずに向かい合わせて積層する場合、一方のメモリセルアレイ層について、例えばテープ上などに配置し、テープ上で基板を除去してから、基板が除去された面が周辺回路または他方のメモリセルアレイ層と向かい合うように積層する必要がある。第1のメモリセルアレイ層及び第2のメモリセルアレイ層の向きを揃えて積層すると、テープなどを用いる必要がなくなる。つまり、基板上に形成されたメモリセルアレイ層を、そのまま基板表面が上になるように周辺回路層上に積層し、基板を除去することで形成することができる。よって、メモリセルアレイ層及び第2のメモリセルアレイ層の向きを揃えて積層することは、テープなどに用いずに容易に形成することが可

能となるという点でも好ましい。

[0087] (第2の実施形態)

次に、第2の実施形態に係る半導体記憶装置について説明する。なお、基本的な構成は第1の実施形態と同様であるため、第1の実施形態で説明した事項の説明は省略する。

[0088] 図12は、第2の実施形態に係る半導体記憶装置の模式断面図である。図12では、図1の半導体記憶装置に対して、さらにもう1つのメモリセルアレイ層を積層しており、下から順に周辺回路層100、第1のメモリセルアレイ層200、第2のメモリセルアレイ層300、第3のメモリセルアレイ層400が設けられている。

[0089] ここで、図12に示すように、積層された第2のメモリセルアレイ層300は、第3面Sb1に設けられた第3の表面配線層38bと、第4面Sb2に設けられた第4の表面配線層39bとの間に、メモリストリングMS3に接続される配線層71が設けられている。すなわち、第2のメモリセルアレイ層300は、メモリストリングMS3を介して、配線層71によって、上下のメモリセルアレイ層に接続されている。

[0090] 図13は、第2の実施形態に係る半導体記憶装置の回路図である。図13では、配線層71に接続されたメモリストリングMS3の回路の一部を示す。メモリセルは複数設けられており、一部の図示を省略している。複数のメモリセルにはドレイン側選択トランジスタSTD及びソース側選択トランジスタSTSが設けられ、メモリセルアレイ層ごとに設けられているアレイ層IDが記憶されている。メモリストリングMS3の回路は、アレイ層を選択するアレイ層のセレクト回路の一部として機能する。

[0091] 図14は、第2の実施形態に係る半導体記憶装置のシステムの構成を示すブロック図である。図14では、配線層71に接続されたメモリストリングMS3に設けられたアレイ層セレクト回路を含む半導体記憶装置のシステムの構成を示している。

[0092] 各メモリセルアレイ層には、信号線として、アドレス線及びアレイ層セレ

クト信号線が入力される。メモリセルアレイ層では、アレイ層セレクト信号線と記憶されているアレイ層IDによって、そのメモリセルアレイ層が選択されているか判断して、メモリセルアレイにアドレス線が入力される。

[0093] このように形成することによって、各信号線を用いて個別にメモリセルアレイを選択することなく、メモリストリングMS 3内のトランジスタ及びメモリセルを用いて、メモリセルアレイ層を選択することができるようになり、複数積層されたメモリセルアレイ層を有する半導体記憶装置であっても、配線数を大幅に低減することができる。

[0094] また、この場合、第2のメモリセルアレイ層のメモリエリアあるいはメモリブロックごとに、それぞれが、配線層71を用いて、上下のメモリセルアレイ層に接続されていてもよい。このように形成することによって、各メモリストリングMS内の各トランジスタ及び各メモリセルを用いて、メモリエリアあるいはメモリブロックを選択することができるようになり、複数積層されたメモリセルアレイ層を有する半導体記憶装置であっても、配線数を大幅に低減することができる。

[0095] 以上、図面を参照しつつ、実施の形態について説明した。しかしながら本発明はこれらに限定されない。

[0096] 本発明では回路用基板を含有した例を記載したが、メモリセルアレイ層のみを積層した場合であっても、本発明の範囲に包含される。

[0097] 本発明を構成するメモリセルアレイの構成などに関して当業者が各種の設計変更を行ったものであっても、本発明の主旨を逸脱しない限り本発明の範囲に包含される。

[0098] また、さらに他の一態様によれば、他の構成の3次元メモリセルアレイを備えたことを特徴とする半導体記憶装置が提供される。

[0099] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが

できる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

[請求項1] 第1面及び前記第1面と反対側の第2面を持ち、基板を含まないメモリセルアレイ層であって、メモリセルアレイ領域に3次元配置された複数のメモリセルと、第1面または／及び第2面に埋め込まれた表面配線層とを含むメモリセルアレイ層を複数有し、

それぞれの前記メモリセルアレイ層の前記表面配線層は、前記第1面に垂直な方向から見て重なるように設けられ、前記表面配線層同士が互いに接合されることによって、複数の前記メモリセルアレイ層が積層されていることを特徴とする半導体記憶装置。

[請求項2] 回路用基板と、前記回路用基板の回路形成面に設けられた制御回路と、前記回路用基板の前記回路形成面上に設けられ前記制御回路と電気的に接続された回路側配線層とを有した周辺回路層と、

第1面及び前記第1面と反対側の第2面を持ち、第1の基板を含まない第1のメモリセルアレイ層であって、

メモリセルアレイ領域に3次元配置された複数の第1のメモリセルと、第1の信号線引出電極と、前記第1面に垂直な方向から見て前記メモリセルアレイ領域の外側に設けられた第1の外部接続電極と、前記第1の信号線引出電極及び前記第1の外部接続電極に接続され、かつ前記第1面及び前記第2面にそれぞれ設けられた第1の表面配線層及び第2の表面配線層とを有し、前記第1面が前記周辺回路層に向かい合うように積層され、前記回路側配線層と前記第1の表面配線層が接合されている第1のメモリセルアレイ層と、

第3面及び前記第3面と反対側の第4面を持ち、第2の基板を含まない第2のメモリセルアレイ層であって、

前記メモリセルアレイ領域に3次元配置された複数の第2のメモリセルと、第2の信号線引出電極と、前記第3面に垂直な方向から見て前記メモリセルアレイ領域の外側に設けられた第2の外部接続電極と、前記第2の信号線引出電極及び前記第2の外部接続電極に接続され

、かつ前記第3面及び前記第4面にそれぞれ設けられた第3の表面配線層及び第4の表面配線層とを有し、前記第3面が前記第1のメモリセルアレイ層に向かい合うように積層され、前記第2の表面配線層と前記第3の表面配線層が接合されている第2のメモリセルアレイ層と、を備えた半導体記憶装置。

[請求項3] 前記回路側配線層と前記第1の表面配線層、及び、前記第2の表面配線層と前記第3の表面配線層は、直接接合されていることを特徴とする請求項2に記載の半導体記憶装置。

[請求項4] 前記複数の第1のメモリセルは、複数の絶縁層と複数の電極層が交互に積層された第1の積層体と、前記第1の積層体の積層方向に延びる第1の柱状部を有し、前記第1の柱状部の前記第1面側に第1のビット線が電氣的に接続され、前記第1の柱状部の前記第2面側に第1のソース線が電氣的に接続されており、前記第1のソース線よりも前記第2面側に第1のソース側配線層が設けられたことを特徴とする請求項2に記載の半導体記憶装置。

[請求項5] 前記複数の第2のメモリセルは、複数の絶縁層と複数の電極層が交互に積層された第2の積層体と、前記第2の積層体の積層方向に延びる第2の柱状部を有し、前記第2の柱状部の前記第3面側に第2のビット線が電氣的に接続され、前記第2の柱状部の前記第4面側に第2のソース線が電氣的に接続されており、前記第2のソース線よりも前記第4面側に第2のソース側配線層が設けられている請求項2に記載の半導体記憶装置。

[請求項6] 前記複数の第1のメモリセルは、複数の絶縁層と複数の電極層が交互に積層された第1の積層体と、前記第1の積層体の積層方向に延びる第1の柱状部を有し、前記第1の柱状部の前記第1面側に第1のビット線が電氣的に接続され、前記第1の柱状部の前記第2面側に第1のソース線が電氣的に接続されており、前記第1のソース線よりも前記第2面側に第1のソース側配線層が設けられており、

前記複数の第2のメモリセルは、複数の絶縁層と複数の電極層が交互に積層された第2の積層体と、前記第2の積層体の積層方向に延びる第2の柱状部を有し、前記第2の柱状部の前記第3面側に第2のビット線が電氣的に接続され、前記第2の柱状部の前記第4面側に第2のソース線が電氣的に接続されており、前記第2のソース線よりも前記第4面側に第2のソース側配線層が設けられており、

前記第1のメモリセルアレイ層の前記第1のソース側配線層は、前記第2のメモリセルアレイ層の前記第2のビット線と、前記第1面に垂直な方向から見て前記メモリセルアレイ領域の内側で接続されていることを特徴とする請求項2に記載の半導体記憶装置。

[請求項7] 前記第1の信号線引出電極と前記第2の信号線引出電極にそれぞれ接続された前記第2の表面配線層及び前記第3の表面配線層は、前記メモリセルアレイ領域の内側に設けられていることを特徴とする請求項2に記載の半導体記憶装置。

[請求項8] さらに前記第2のメモリセルアレイ層に向かい合うように積層された少なくとも一層の他のメモリセルアレイ層を有し、三層以上の複数のメモリセルアレイ層を有していることを特徴とする請求項2に記載の半導体記憶装置。

[請求項9] 前記第1のメモリセルアレイ層または前記第2のメモリセルアレイ層は、アレイ層セレクト回路の一部として、前記第1のメモリセルアレイ層または前記第2のメモリセルアレイ層を選択するトランジスタ及びアレイ層IDを記憶するメモリセルを有するメモリストリングが設けられ、前記メモリストリングは、前記第1のメモリセルアレイ層の前記第1の信号線引出電極、または、前記第2のメモリセルアレイ層の前記第2の信号線引出電極と電氣的に接続されることを特徴とする請求項2に記載の半導体記憶装置。

[請求項10] 前記複数のメモリセルアレイ層のうち、少なくとも一層のメモリセルアレイ層には、アレイ層セレクト回路の一部として、メモリセルア

レイ層を選択するトランジスタ及びアレイ層IDを記憶するメモリセルを有するメモリストリングが設けられることを特徴とする請求項1または請求項8に記載の半導体記憶装置。

[請求項11] 前記複数のメモリセルアレイ層は、少なくとも3層のメモリセルアレイ層であり、前記アレイ層セレクト回路の一部は、前記した複数の前記メモリセルアレイ層のうち上下を他のメモリセルアレイ層にはさまれた1のメモリセルアレイ層に設けられていることを特徴とする請求項10に記載の半導体記憶装置。

[請求項12] 前記アレイ層セレクト回路の一部は、前記少なくとも一層のメモリセルアレイ層のメモリエリアあるいはメモリブロックごとに設けられていることを特徴とする請求項10に記載の半導体記憶装置。