

数据传输电路及方法、存储装置

本申请要求于 2021 年 3 月 29 日提交中国专利局，申请号为 2021103366255，申请名称为“数据传输电路及方法、存储装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及但不限于一种数据传输电路及方法、存储装置。

背景技术

半导体存储装置通常包括存储阵列区和外围电路区，其中，存储阵列区设置有包括多个存储单元的存储单元阵列；外围电路区设置有控制读写的控制电路和用于存储模式寄存器数据的模式寄存器。存储在模式寄存器中的模式寄存器数据可以通过发出模式寄存器读命令读出。

如果在满足特定类型的半导体存储装置的工作参数需求的前提下，设置响应模式寄存器读命令读出模式寄存器数据的时间，与响应阵列区数据读命令读出阵列区数据的时间匹配，实现响应模式寄存器读命令读出模式寄存器数据的传输路径，与响应阵列区数据读命令读出阵列区数据的传输路径时序相同。

发明内容

本申请的第一方面提供了一种数据传输电路，包括模式寄存器数据存储单元及阵列区数据存储单元，模式寄存器数据存储单元用于响应第一时钟信号而输出模式寄存器数据；阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点，阵列区数据存储单元用于响应第一指针信号接收阵列区数据，以及还用于响应第二指针信号输出所述阵列区数据。

于上述实施例中的数据传输电路中，通过设置模式寄存器数据存储单元响应第一时钟信号而输出模式寄存器数据，并设置阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点，用于响应第一指针信号接收阵列区数据并响应第二指针信号输出所述阵列区数据，实现对模式寄存器数据存储单元及阵列区数据存储单元的区别控制，使得响应模式寄存器读命令读出模式寄存器数据的时间，与响应阵列区数据读命令读出阵列区数据的时间匹配，以精准控制模式寄存器数据、阵列区数据依次经由各自输出通道输出。

本申请的第二方面提供了一种数据传输电路，包括可控延迟模块、模式寄存器数据处理单元、阵列区数据存储单元及模式寄存器数据存储单元，可控延迟模块用于响应模式寄存器读命令而生成预设读延迟信号；模式寄存器数据处理单元与所述可控延迟模块连接，用于响应所述模式寄存器读命令从模式寄存器读出模式寄存器数据，以及还用于响应所述预设读延迟信号而向模式寄存器数据存储单元输出所述模式寄存器数据；阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点，用于响应第一指针信号接收阵列区数据，以及还用于响应第二指针信号输出所述阵列区数据；所述模式寄存器数据存储单元用于响应第一时钟信号而输出所述模式寄存器数据。

于上述实施例中的数据传输电路中，通过设置可控延迟模块响应模式寄存器读命令而生成预设读延迟信号，使得模式寄存器数据处理单元响应模式寄存器读命令从模式寄存器读出模式寄存器数据，并响应所述预设读延迟信号而向模式寄存器数据存储单元输出所述模式寄存器数据；并设置模式寄存器数据存储单元响应第一时钟信号而输出模式寄存器数据，阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点，阵列区数据存储单元能够响应第一指针信号接收阵列区数据并响应第二指针信号输出所述阵列区数据，实现对模式寄存器数据存储单元及阵列区数据存储单元的区别控制，使得响应模式寄存器读命令读出

模式寄存器数据的时间，与响应阵列区数据读命令读出阵列区数据的时间匹配，以精准控制模式寄存器数据、阵列区数据依次经由各自输出通道输出。本申请中的可控延迟模块的操作延迟一旦确定，受工作环境变化的影响很小，能够有效避免因工作环境影响导致数据传输通路出现控制错误；并且，可控延迟模块的操作延迟可以控制调整，能够满足不同类型半导体存储装置的工作参数需求。

本申请的第三方面提供了一种数据传输电路，包括延迟模块、模式寄存器数据处理单元、阵列区数据存储单元及模式寄存器数据存储单元，延迟模块用于自接收模式寄存器读命令时刻起，延迟第一预设时间后，生成预设读延迟信号；模式寄存器数据处理单元与所述延迟模块连接，用于响应所述模式寄存器读命令从模式寄存器读出模式寄存器数据，以及还用于响应所述预设读延迟信号而向模式寄存器数据存储单元输出所述模式寄存器数据；阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点，用于响应第一指针信号接收阵列区数据，以及还用于响应第二指针信号输出所述阵列区数据；其中，所述模式寄存器数据存储单元用于响应第一时钟信号而输出模式寄存器数据。

于上述实施例中的数据传输电路中，通过设置延迟模块自接收模式寄存器读命令时刻起，延迟第一预设时间后，生成预设读延迟信号，使得模式寄存器数据处理单元响应模式寄存器读命令从模式寄存器读出模式寄存器数据，并响应所述预设读延迟信号而向模式寄存器数据存储单元输出所述模式寄存器数据；并设置模式寄存器数据存储单元响应第一时钟信号而输出模式寄存器数据，阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点，阵列区数据存储单元能够响应第一指针信号接收阵列区数据并响应第二指针信号输出所述阵列区数据，实现对模式寄存器数据存储单元及阵列区数据存储单元的区别控制，使得响应模式寄存器读命令读出模式寄存器数据的时间，与响应阵列区数据读命令读出阵列区数据的时间匹配，并精准控制模式寄存器数据、阵列区数据依次经由各自输出通道输出。

本申请的第四方面提供了一种存储装置，包括存储单元阵列、模式寄存器及任一本申请实施例中所所述的数据传输电路；其中，存储单元阵列用于存储阵列区数据，模式寄存器用于存储模式寄存器数据。本实施例使得响应模式寄存器读命令读出模式寄存器数据的时间，与响应阵列区数据读命令读出阵列区数据的时间匹配，实现响应模式寄存器读命令读出模式寄存器数据的传输路径，与响应阵列区数据读命令读出阵列区数据的传输路径时序相同。

本申请的第五方面提供了一种数据传输方法，包括：

基于模式寄存器数据存储单元响应第一时钟信号，输出模式寄存器数据；

基于阵列区数据存储单元响应第一指针信号接收阵列区数据，并响应第二指针信号输出所述阵列区数据，其中，所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点。

本申请的第六方面提供了一种数据传输方法，包括：

基于可控延迟模块响应模式寄存器读命令，生成预设读延迟信号；

基于模式寄存器数据处理单元响应所述模式寄存器读命令，从模式寄存器读出模式寄存器数据，并响应所述预设读延迟信号，向模式寄存器数据存储单元输出所述模式寄存器数据；

基于所述模式寄存器数据存储单元响应第一时钟信号，输出模式寄存器数据；以及

基于阵列区数据存储单元响应第一指针信号接收阵列区数据，并响应第二指针信号输出所述阵列区数据，其中，所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点。

本申请的第七方面提供了一种数据传输方法，包括：

自接收模式寄存器读命令时刻起，延迟模块延迟第一预设时间后，生成预设读延迟信号；

基于模式寄存器数据处理单元响应所述模式寄存器读命令，从模式寄存器读出模式寄存器数据，并响应所述预设读延迟信号，向模式寄存器数据存储单元输出所述模式寄存器数据；

基于所述模式寄存器数据存储单元响应第一时钟信号，输出模式寄存器数据；以及

基于阵列区数据存储单元响应第一指针信号接收阵列区数据，并响应第二指针信号输出所述阵列区数据，其中，所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请第一实施例中提供一种数据传输电路的结构框图；

图 2 为本申请第二实施例中提供一种数据传输电路的结构框图；

图 3 为本申请第三实施例中提供一种数据传输电路的结构框图；

图 4 为本申请第四实施例中提供一种数据传输电路的结构框图；

图 5a 为本申请第五实施例中提供一种数据传输电路的结构框图；

图 5b 为本申请第六实施例中提供一种数据传输电路的结构框图；

图 6 为本申请一实施例中提供一种数据传输电路中先入先出数据处理单元的结构框图；

图 7 为本申请另一实施例中提供一种数据传输电路中先入先出数据处理单元的结构框图；

图 8a 为本申请第七实施例中提供一种数据传输电路的结构框图；

图 8b 为本申请第八实施例中提供一种数据传输电路的结构框图；

图 8c 为本申请第九实施例中提供一种数据传输电路的结构框图；

图 8d 为本申请一实施例中提供一种数据传输电路中阵列区数据存储单元的结构框图；

图 8e 为本申请第十实施例中提供一种数据传输电路的结构框图；

图 8f 为本申请第十一实施例中提供一种数据传输电路的结构框图；

图 8g 为图 8f 的一种实施方式示意图；

图 9a 为本申请第十二实施例中提供一种数据传输电路的结构框图；

图 9b 为本申请第十三实施例中提供一种数据传输电路的结构框图；

图 9c 为本申请第十四实施例中提供一种数据传输电路的结构框图；

图 9d 为本申请第十五实施例中提供一种数据传输电路的结构框图；

图 9e 为本申请第十六实施例中提供一种数据传输电路的结构框图；

图 9f 为图 9e 的一种实施方式示意图；

图 10a 为本申请一实施例中提供一种数据传输电路对读命令的响应时序示意图；

图 10b 为本申请一实施例中提供一种数据传输电路的工作时序示意图；

图 11a 为一种用于响应模式寄存器读命令的延迟电路的结构框图；

图 11b 为图 11a 的工作时序示意图；

图 11c 为另一种用于响应模式寄存器读命令的延迟电路的结构框图；

图 12 为本申请一实施例中提供一种数据传输方法的流程示意图；

图 13 为本申请另一实施例中提供一种数据传输方法的流程示意图；

图 14 为本申请又一实施例中提供一种数据传输方法的流程示意图。

附图标记说明：

100、数据传输电；1、模式寄存器数据存储单元；3、阵列区数据存储单元；4、延迟模块；31、第一存储单元；10、可控延迟模块；20、模式寄存器数据处理单元；200、模式寄存器；11、基准延迟单元；12、可控延迟单元；121、延迟单元；122、第一可控开关单元；41、第一延迟单元；42、第二延迟单元；43、第三延迟单元；431、第一子延迟单元；432、第二子延迟单元；1101、第一读操作延迟单元；1201、列选择控制模块；1301、第三读操作延迟单元；21、先入先出指针处理单元；22、先入先出数据处理单元；23、模式寄存器读命令处理单元；221、第二

存储单元；2211、存储子单元；2212、驱动器；30、命令解码电路；40、阵列区数据处理单元；300、存储单元阵列；50、第一选择器；51、先入先出存储单元；52、选择模块；511、第三存储单元；60、先入先出存储器；70、串并行转换电路；80、数据驱动模块；90、数据终端；501、第一触发器；502、第二触发器；503、第三触发器；504、第四触发器；400、延迟链；1000、存储装置；2000、延迟电路。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

另外，贯穿说明书和跟随的权利要求中所使用的某些术语指代特定元件。本领域的技术人员会理解为，制造商可以用不同的名字指代元件。本文件不想要区分名字不同但是功能相同的元件。在以下的描述和实施例中，术语“包含”和“包括”都是开放式使用的，因此应该解读为“包含，但不限于……”。同样，术语“连接”想要表达间接或直接的电气连接。相应地，如果一个设备被连接到另一个设备上，连接可以通过直接的电气连接完成，或者通过其他设备和连接件的间接电气连接完成。

应当理解，尽管本文可以使用术语“第一”、“第二”等来描述各种元件，但是这些元件不应受这些术语的限制。这些术语仅用于将一个元件和另一个元件区分开。例如，在不脱离本申请的范围的情况下，第一元件可以被称为第二元件，并且类似地，第二元件可以被称为第一元件。

请参考图 1，在本申请的一个实施例中，提供了一种数据传输电路 100，包括模式寄存器数据存储单元 1 及阵列区数据存储单元 3，模式寄存器数据存储单元 1 用于响应第一时钟信号 `MrrClk` 而输出模式寄存器数据 `MrrData2`；阵列区数据存储单元 3 的输出端与模式寄存器数据存储单元 1 的输出端均连接于第一节点 A，阵列区数据存储单元 3 用于响应第一指针信号 `FifoIn_array` 接收阵列区数据 `ArrayData`，以及还用于响应第二指针信号 `FifoOut_array` 输出阵列区数据 `ArrayData`。

作为示例，请继续参考图 1，通过设置模式寄存器数据存储单元 1 响应第一时钟信号 `MrrClk` 而输出模式寄存器数据 `MrrData2`，其中，模式寄存器数据存储单元 1 在响应第一时钟信号 `MrrClk` 而输出模式寄存器数据 `MrrData2` 之前，从前级数据线读取模式寄存器数据 `MrrData1`；然后设置阵列区数据存储单元 3 的输出端与模式寄存器数据存储单元 1 的输出端均连接于第一节点 A，用于响应第一指针信号 `FifoIn_array` 接收阵列区数据 `ArrayData` 并响应第二指针信号 `FifoOut_array` 输出阵列区数据 `ArrayData`，实现对模式寄存器数据存储单元 1 及阵列区数据存储单元 3 的区别控制，使得响应模式寄存器读命令读出模式寄存器数据 `MrrData2` 的时间，与响应阵列区数据读命令读出阵列区数据 `ArrayData` 的时间匹配，并精准控制模式寄存器数据 `MrrData`、阵列区数据 `ArrayData` 依次经由各自输出通道输出。这里的 `MrrData1` 和 `MrrData2` 可以相同，也可以匹配一种预设算法。

进一步地，请参考图 2，在本申请的一个实施例中，阵列区数据存储单元 3 包括 8 个第一存储单元 31，各第一存储单元 31 的输出端均连接于第一节点 A，各第一存储单元 31 的输入端均连接于第一数据信号线 `ArrayDataL`，第一数据信号线 `ArrayDataL` 用于传输阵列区数据 `ArrayData`，以便于实现对阵列区数据 `ArrayData` 传输的精准控制。

进一步地，请继续参考图 2，在本申请的一个实施例中，第一指针信号 `FifoIn_array` 与第二指针信号 `FifoOut_array` 的驱动时钟频率相同，以便于设置阵列区数据存储单元 3 的输入数据与输出数据保持一致的传输速率，实现数据的边进边出。

进一步地, 请参考图 3, 在本申请的一个实施例中, 数据传输电路 100 还包括串并行转换电路 70 及数据驱动模块 80, 串并行转换电路 70 的输入端连接于第一节点 A; 数据驱动模块 80 与串并行转换电路 70 的输出端连接, 用于输出模式寄存器数据 *MrrData2* 或阵列区数据 *ArrayData*。通过利用串并行转换电路 70 将接收数据转换为串行数据后提供给数据驱动模块 80 输出, 便于提高数据传输的效率。

进一步地, 请参考图 4, 在本申请的一个实施例中, 数据传输电路 100 还包括模式寄存器数据处理单元 20, 模式寄存器数据处理单元 20 包括先入先出指针处理单元 21、先入先出数据处理单元 22 及模式寄存器读命令处理单元 23; 先入先出指针处理单元 21 用于响应模式寄存器读命令 *MrrCmd*, 生成第三指针信号 *MrFifoIn* 及第四指针信号 *MrFifoOut*; 先入先出数据处理单元 22 与先入先出指针处理单元 21 及模式寄存器数据存储单元 1 均连接, 用于响应第三指针信号 *MrFifoIn* 从模式寄存器 200 读出模式寄存器数据 *MrrData0*, 以及还用于响应第四指针信号 *MrFifoOut* 向模式寄存器数据存储单元 1 输出模式寄存器数据 *MrrData1*; 模式寄存器读命令处理单元 23 用于根据接收的模式寄存器读命令 *MrrCmd*、第二时钟信号 *Clk* 及预设读延迟信号 *Read Latency* 生成第一时钟信号 *MrrClk*。通过根据模式寄存器读命令 *MrrCmd*、第二时钟信号 *Clk* 及预设读延迟信号 *Read Latency* 控制模式寄存器数据 *MrrData1* 经由模式寄存器数据存储单元 1 输出的时间, 实现精准控制模式寄存器数据 *MrrData0*、阵列区数据 *ArrayData* 依次经由各自的数据输出通道输出。这里的 *MrrData0* 和 *MrrData1* 可以相同, 也可以匹配一种预设算法。

作为示例, 请继续参考图 4, 在本申请的一个实施例中, 第三指针信号 *MrFifoIn* 与第四指针信号 *MrFifoOut* 的驱动时钟频率相同, 以便于实现对先入先出数据处理单元 22 读取数据与输出数据之间时间差的精准控制。

进一步地, 请参考图 5a 及图 5b, 在本申请的一个实施例中, 数据传输电路 100 还包括命令解码电路 30 及阵列区数据处理单元, 命令解码电路 30 的第一输出端与模式寄存器读命令处理单元 23 的输入端及先入先出指针处理单元 21 的输入端均连接, 用于接收读命令 *Read*, 对读命令 *Read* 解码并判断读命令是否为模式寄存器读命令 *MrrCmd*, 若是, 则输出模式寄存器读命令 *MrrCmd*, 反之, 则生成阵列区数据读命令 *ReadCmd*; 阵列区数据处理单元 40 的输入端与命令解码电路 30 的第二输出端连接, 用于响应阵列区数据读命令 *ReadCmd*, 从存储单元阵列 300 中读出阵列区数据 *ArrayData*, 以提供给阵列区数据存储单元 3。本实施例实现经由一数据传输电路 100 读出模式寄存器数据 *MrrData2* 及阵列区数据 *ArrayData*, 相对于采用不同的数据传输通路读出模式寄存器数据 *MrrData* 及阵列区数据 *ArrayData*。

作为示例, 请参考图 5b, 在本申请的一个实施例中, 通过设置选择模块 52 接收模式寄存器数据 *MrrData1*、阵列区数据 *ArrayData*, 并设置选择模块 52 的输出端与先入先出存储单元 51 连接, 先入先出存储单元 51 包括并联的 *j* 个第三存储单元 511, *j* 为正整数, 可以设置 *j* 等于阵列区数据 *ArrayData* 的位宽。通过控制选择模块 52 切换来实现模式寄存器数据 *MrrData1*、阵列区数据 *ArrayData* 依次经由先入先出存储单元 51、串并行转换电路 70、数据驱动模块 80 及数据终端 90 输出。同时参考图 5a 和图 5b, 图 5a 中模式寄存器数据 *MrrData0* 和阵列区数据 *ArrayData* 分别经过不同 FIFO (先入先出寄存器) 传输到并串行转换电路 70, 图 5b 中模式寄存器数据 *MrrData0* 和阵列区数据 *ArrayData* 经过相同 FIFO 传输到并串行转换电路 70, 图 5a 的技术方案对数据传输电路的时序控制更灵活, 图 5b 的技术方案可以将数据传输电路的面积做的更小。

作为示例, 请参考图 6, 在本申请的一个实施例中, 先入先出数据处理单元 22 包括第二存储单元 221, 多个第二存储单元 221 的输出端均连接于第二节点 O; 第二存储单元 221 包括存储子单元 2211 和驱动器 2212, 驱动器 2212 的输入端连接于存储子单元 2211 的输出端, 存储子单元 2211 在第三指针信号 *MrFifoIn* 驱动下接收模式寄存器数据 *MrrData0*, 驱动器 2212 在第四指针信号 *MrFifoOut* 驱动下输出模式寄存器数据 *MrrData1*, 使得先入先出数据处理单元 22 配合先入先出指针处理单元 21, 实现对响应模式寄存器读命令 *MrrCmd* 读出模式寄存器数据

MrrData1 的时间的精准控制,从而能够精准控制响应模式寄存器读命令 MrrCmd 读出模式寄存器数据 MrrData1 的时间,与响应阵列区数据读命令 ReadCmd 读出阵列区数据 ArrayData 的时间匹配。

作为示例,请参考图 7,在本申请的一个实施例中,各存储子单元 2211 的数据输入端均连接于模式寄存器 200,以便于各存储子单元 2211 响应第三指针信号 MrFifoIn 从模式寄存器 200 读出模式寄存器数据 MrrData0,各驱动器 2212 响应第四指针信号 MrFifoOut 输出模式寄存器数据 MrrData1。

作为示例,请参考图 7,在本申请的一个实施例中,所述第三指针信号 MrFifoIn 与所述第四指针信号 MrFifoOut 的驱动时钟频率相同,以便于实现对先入先出数据处理单元 22 读取数据与输出数据之间时间差的精准控制。

请参考图 8a,在本申请的一个实施例中,提供了一种数据传输电路 100,包括可控延迟模块 10、模式寄存器数据处理单元 20、阵列区数据存储单元 3 及模式寄存器数据存储单元 1,可控延迟模块 10 用于响应模式寄存器读命令 MrrCmd 而生成预设读延迟信号 Read Latency;模式寄存器数据处理单元 20 与可控延迟模块连接,用于响应模式寄存器读命令 MrrCmd 从模式寄存器 200 读出模式寄存器数据 MrrData0,以及还用于响应预设读延迟信号 Read Latency 而向模式寄存器数据存储单元 1 输出模式寄存器数据 MrrData1;阵列区数据存储单元 3 的输出端与模式寄存器数据存储单元 1 的输出端均连接于第一节点 A,用于响应第一指针信号 FifoIn_array 接收阵列区数据 ArrayData,以及还用于响应第二指针信号 FifoOut_array 输出阵列区数据 ArrayData;模式寄存器数据存储单元 1 用于响应第一时钟信号 MrrClk 而输出模式寄存器数据 MrrData2。

作为示例,请继续参考图 8a,通过设置可控延迟模块 10 响应模式寄存器读命令 MrrCmd 而生成预设读延迟信号 Read Latency,使得模式寄存器数据处理单元 20 响应模式寄存器读命令 MrrCmd 从模式寄存器 200 读出模式寄存器数据 MrrData0,并响应预设读延迟信号 Read Latency 而向模式寄存器数据存储单元 1 输出模式寄存器数据 MrrData1;并设置模式寄存器数据存储单元 1 响应第一时钟信号 MrrClk 而输出模式寄存器数据 MrrData2,阵列区数据存储单元 3 的输出端与模式寄存器数据存储单元 1 的输出端均连接于第一节点 A,阵列区数据存储单元 3 能够响应第一指针信号 FifoIn_array 接收阵列区数据 ArrayData,并响应第二指针信号 FifoOut_array 输出阵列区数据 ArrayData,实现对模式寄存器数据存储单元 1 及阵列区数据存储单元 3 的区别控制,使得响应模式寄存器读命令 MrrCmd 读出模式寄存器数据 MrrData2 的时间,与响应阵列区数据读命令 ReadCmd 读出阵列区数据 ArrayData 的时间匹配,精准控制模式寄存器数据 MrrData2、阵列区数据 ArrayData 依次经由各自输出通道输出。本申请中的可控延迟模块 10 的操作延迟一旦确定,受工作环境变化的影响很小,能够有效避免因工作环境因素影响导致数据传输通路出现控制错误;并且,可控延迟模块 10 的操作延迟可以控制调整,能够满足不同类型半导体存储装置的工作参数需求。

作为示例,请继续参考图 8a,在本申请的一个实施例中,模式寄存器数据处理单元 20 输出模式寄存器数据 MrrData1 的起始时刻,与可控延迟模块 10 接收模式寄存器读命令 MrrCmd 的时刻之间的时间差为第一预设阈值,使得响应模式寄存器读命令 MrrCmd 读出模式寄存器数据 MrrData1 的时间,与响应阵列区数据读命令 ReadCmd 读出阵列区数据 ArrayData 的时间匹配。

进一步地,请参考图 8b,在本申请的一个实施例中,可控延迟模块 10 包括基准延迟单元 11 及可控延迟单元 12,基准延迟单元 11 用于响应模式寄存器读命令 MrrCmd 而生成初始预设读延迟信号 Read Latency;可控延迟单元 12 与基准延迟单元 11 的输出端及模式寄存器数据处理单元 20 的输入端均连接,用于自接收初始预设读延迟信号 Read Latency 时刻起,延迟预设延迟时间后,生成预设读延迟信号 Read Latency;其中,可控延迟单元 12 的操作延迟,与基准延迟单元 11 的操作延迟之和等于第一预设阈值。通过设置基准延迟单元 11 的操作延迟与可控延迟单元 12 的操作延迟之和等于第一预设阈值,使得可控延迟单元 12 的操作延迟范围缩小,以

提高调控可控延迟模块 10 的操作延迟为第一预设阈值的效率及精度。

进一步地, 请参考图 8c, 在本申请的一个实施例中, 可控延迟单元 10 包括三个串联的延迟单元 121; 其中, 两个延迟单元 121 与一第一可控开关单元 122 并联; 其中, 通过控制各第一可控开关单元 122 的通断, 改变可控延迟单元 12 中串联在基准延迟单元 11 与模式寄存器数据处理单元 20 之间的延迟单元 121 的数量, 以调整可控延迟单元 12 的操作延迟, 实现对可控延迟单元 12 的操作延迟的梯度控制, 以提高调控可控延迟模块 10 的操作延迟为第一预设阈值的效率及精度。

作为示例, 请参考图 8d, 在本申请的一个实施例中, 阵列区数据存储单元 3 包括多个第一存储单元 31, 各第一存储单元 31 的输出端均连接于第一节点 A, 各第一存储单元 31 的输入端均连接于第一数据信号线 ArrayDataL, 第一数据信号线 ArrayDataL 用于传输阵列区数据 ArrayData, 以便于实现对阵列区数据 ArrayData 传输的精准控制。

作为示例, 请继续参考图 8d, 在本申请的一个实施例中, 第一指针信号 FifoIn_array 与第二指针信号 FifoOut_array 的驱动时钟频率相同, 以便于设置阵列区数据存储单元 3 的输入数据与输出数据保持一致的传输速率, 实现数据的边进边出。

进一步地, 请参考图 8e, 在本申请的一个实施例中, 模式寄存器数据处理单元 20 包括模式先入先出指针处理单元 21、先入先出数据处理单元 22 及寄存器读命令处理单元 23, 模式寄存器读命令处理单元 23 用于根据接收的模式寄存器读命令 MrrCmd、第二时钟信号 Clk 及预设读延迟信号 Read Latency 生成第一时钟信号 MrrClk; 先入先出指针处理单元 21 用于响应模式寄存器读命令 MrrCmd 生成第三指针信号 MrFifoIn 及第四指针信号 MrFifoOut; 先入先出数据处理单元 22 与先入先出指针处理单元 21 及模式寄存器数据存储单元 1 均连接, 用于响应第三指针信号 MrFifoIn 从模式寄存器 200 读出模式寄存器数据 MrrData0, 以及还用于响应第四指针信号 MrFifoOut 向模式寄存器数据存储单元 1 输出模式寄存器数据 MrrData1。

作为示例, 请继续参考图 8e, 在本申请的一个实施例中, 第三指针信号 MrFifoIn 与第四指针信号 MrFifoOut 的驱动时钟频率相同, 以便于实现对先入先出数据处理单元 22 读取数据与输出数据之间时间差的精准控制。

进一步地, 请参考图 8f, 在本申请的一个实施例中, 数据传输电路 100 还包括命令解码电路 30 及阵列区数据处理单元 40, 命令解码电路 30 的第一输出端与模式寄存器读命令处理单元 23 的输入端及先入先出指针处理单元 21 的输入端均连接, 用于接收读命令, 对读命令 Read 解码并判断读命令 Read 是否为模式寄存器读命令 MrrCmd, 若是, 则输出模式寄存器读命令 MrrCmd, 反之, 则生成阵列区数据读命令 ReadCmd; 阵列区数据处理单元 40 的输入端与命令解码电路 30 的第二输出端连接, 用于响应阵列区数据读命令 ReadCmd, 从存储单元阵列 300 中读出阵列区数据 ArrayData, 以提供给阵列区数据存储单元 3。

作为示例, 请参考图 8g, 可以设置基准延迟单元 11 中包括若干个串联的子延迟单元, 其中子延迟单元可以用于复制阵列区数据处理单元 40 响应阵列区数据读命令并读出阵列区数据通路中延迟时间固定的功能单元的操作延迟, 设置可控延迟单元的操作延迟与阵列区数据处理单元 40 响应阵列区数据读命令并读出阵列区数据通路中延迟时间可变的功能单元的延迟时间匹配, 实现对可控延迟单元的操作延迟的梯度控制, 以提高调控可控延迟模块的操作延迟为第一预设阈值的效率及精度。

请参考图 9a, 在本申请的一个实施例中, 提供了一种数据传输电路 100, 包括延迟模块 4、模式寄存器数据处理单元 20、阵列区数据存储单元 3 及模式寄存器数据存储单元 1, 延迟模块 4 用于自接收模式寄存器读命令 MrrCmd 时刻起, 延迟第一预设时间后, 生成预设读延迟信号 Read Latency; 模式寄存器数据处理单元 20 与延迟模块 4 及模式寄存器数据存储单元 1 均连接, 用于响应模式寄存器读命令 MrrCmd 从模式寄存器 200 读出模式寄存器数据 MrrData0, 以及还用于响应预设读延迟信号 Read Latency 而向模式寄存器数据存储单元 1 输出模式寄存器数据 MrrData1; 阵列区数据存储单元 3 的输出端与模式寄存器数据存储单元 1 的输出端均连接于第

一节点 A，用于响应第一指针信号 `FifoIn_array` 接收阵列区数据 `ArrayData`，以及还用于响应第二指针信号 `FifoOut_array` 输出阵列区数据 `ArrayData`；其中，模式寄存器数据存储单元 1 用于响应第一时钟信号 `MrrClk` 而输出模式寄存器数据 `MrrData2`。

作为示例，请参考图 9a，通过设置延迟模块 4 自接收模式寄存器读命令 `MrrCmd` 时刻起，延迟第一预设时间后，生成预设读延迟信号 `Read Latency`，使得模式寄存器数据处理单元 20 响应模式寄存器读命令 `MrrCmd` 从模式寄存器 200 读出模式寄存器数据 `MrrData0`，并响应预设读延迟信号 `Read Latency` 而向模式寄存器数据存储单元 1 输出模式寄存器数据 `MrrData1`；并设置模式寄存器数据存储单元 1 响应第一时钟信号 `MrrClk` 而输出模式寄存器数据 `MrrData2`，阵列区数据存储单元 3 的输出端与模式寄存器数据存储单元 1 的输出端均连接于第一节点，阵列区数据存储单元 3 能够响应第一指针信号 `FifoIn_array` 接收阵列区数据 `ArrayData` 并响应第二指针信号 `FifoOut_array` 输出阵列区数据 `ArrayData`，实现对模式寄存器数据存储单元 1 及阵列区数据存储单元 3 的区别控制，使得响应模式寄存器读命令 `MrrCmd` 读出模式寄存器数据 `MrrData2` 的时间，与响应阵列区数据读命令 `ReadCmd` 读出阵列区数据 `ArrayData` 的时间匹配，精准控制模式寄存器数据 `MrrData2`、阵列区数据 `ArrayData` 依次经由各自输出通道输出。

进一步地，请参考图 9b，在本申请的一个实施例中，延迟模块 4 包括第一延迟单元 41、第二延迟单元 42 及第三延迟单元 43，第一延迟单元 41 用于自接收模式寄存器读命令 `MrrCmd` 时刻起，延迟第二预设时间后，生成第一预设读延迟信号；第二延迟单元 42 与第一延迟单元 41 的输出端连接，用于自接收第一预设读延迟信号时刻起，延迟第三预设时间后，生成第二预设读延迟信号，第三预设时间与列选择控制模块（未图示）的操作延迟相等；第三延迟单元 43 与第二延迟单元 42 的输出端及模式寄存器数据处理单元 20 的输入端均连接，用于自接收第二预设读延迟信号时刻起，延迟第四预设时间后，生成预设读延迟信号 `Read Latency`；其中，第二预设时间、第三预设时间及第四预设时间之和，与第一预设时间相等。本实施例能够避免特定类型半导体存储装置中列选择控制模块的操作延迟对传输电路的影响。

进一步地，请参考图 9c，在本申请的一个实施例中，第三延迟单元 43 包括第一子延迟单元 431 及第二子延迟单元 432，第一子延迟单元 431 与第二延迟单元 42 的输出端连接，用于自接收第二预设读延迟信号时刻起，延迟第五预设时间后，生成第三预设读延迟信号，第五预设时间与读写放大器的操作延迟相等；第二子延迟单元 432 与第一子延迟单元 431 的输出端及模式寄存器数据处理单元 20 的输入端均连接，用于自接收第三预设读延迟信号时刻起，延迟第六预设时间后，生成预设读延迟信号 `Read Latency`；其中，第五预设时间与第六预设时间之和，与第四预设时间相等。本实施例能够避免特定类型半导体存储装置中读写放大器的操作延迟对传输电路的影响。

作为示例，请继续参考图 9c，在本申请的一个实施例中，阵列区数据存储单元 3 包括多个第一存储单元 31（图 9c 未示出），各第一存储单元 31 的输出端均连接于第一节点 A，各第一存储单元 31 的输入端均连接于第一数据信号线，第一数据信号线用于传输阵列区数据 `ArrayData`。

作为示例，请继续参考图 9c，在本申请的一个实施例中，第一指针信号 `FifoIn_array` 与第二指针信号 `FifoOut_array` 的驱动时钟频率相同。

进一步地，请参考图 9d，在本申请的一个实施例中，模式寄存器数据处理单元 20 包括先入先出指针处理单元 21、先入先出数据处理单元 22 及模式寄存器读命令处理单元 23，模式寄存器读命令处理单元 23 用于根据接收的模式寄存器读命令 `MrrCmd`、第二时钟信号 `Clk` 及预设读延迟信号 `Read Latency` 生成第一时钟信号 `MrrClk`；先入先出指针处理单元 21 用于响应模式寄存器读命令 `MrrCmd` 生成第三指针信号 `MrFifoIn` 及第四指针信号 `MrFifoOut`；先入先出数据处理单元 22 与先入先出指针处理单元 21 及模式寄存器数据存储单元 1 均连接，用于响应第三指针信号 `MrFifoIn` 从模式寄存器 200 读出模式寄存器数据 `MrrData0`，以及还用于响应第四指针信号 `MrFifoOut` 向模式寄存器数据存储单元 1 输出模式寄存器数据 `MrrData1`。在本申请的一个

实施例中，第三指针信号 **MrFifoIn** 与第四指针信号 **MrFifoOut** 的驱动时钟频率相同。

进一步地，请参考图 9e 及图 9f，在本申请的一个实施例中，数据传输电路 100 还包括命令解码电路 30 及阵列区数据处理单元 40，命令解码电路 30 的第一输出端与模式寄存器读命令处理单元 23 的输入端及先入先出指针处理单元 21 的输入端均连接，用于接收读命令，对读命令 **Read** 解码并判断读命令 **Read** 是否为模式寄存器读命令 **MrrCmd**，若是，则输出模式寄存器读命令 **MrrCmd**，反之，则生成阵列区数据读命令 **ReadCmd**；阵列区数据处理单元的输入端与命令解码电路 30 的第二输出端连接，用于响应阵列区数据读命令 **ReadCmd**，从存储单元阵列 300 中读出阵列区数据 **ArrayData**，以提供给阵列区数据存储单元 3。

作为示例，请继续参考图 9f，可以将阵列区数据处理单元 40 响应阵列区数据读命令并读出阵列区数据的延迟时间等效为第一读操作延迟单元 1101 的延迟时间与列选择控制模块 1201 的操作延迟、第三读操作延迟单元 1301 的延迟时间之和，通过设置第二延迟单元 12 复制列选择控制模块 1201 的操作延迟，设置第一延迟单元 11 的延迟时间与第一读操作延迟单元 1101 的延迟时间匹配，并设置第三延迟单元 13 的延迟时间与第三读操作延迟单元 1301 的延迟时间匹配，使得响应模式寄存器读命令 **MrrCmd** 读出设置参数 **MrrData2** 的时间，与响应阵列区数据读命令读出阵列区数据的时间匹配。

进一步地，请继续参考图 7，在本申请的一个实施例中，可以设置阵列区数据处理单元 40 的操作延迟与所述第一预设时间的差值为预设阈值，以满足特定类型半导体存储装置例如动态随机存取存储器（**Dynamic Random Access Memory, DRAM**）的工作参数需求。

作为示例，请参考图 10a 和图 10b，在本申请的一个实施例中，可以设置第三指针信号 **MrFifoIn** 与模式寄存器读命令 **MrrCmd** 的频率相同，并设置第四指针信号 **MrFifoOut** 与预设读延迟信号 **Read Latency** 的频率相同，设置预设读延迟信号 **Read Latency** 的驱动时间与模式寄存器读命令 **MrrCmd** 的驱动时间的时间差为第一预设时间 **Td**，设置阵列区数据处理单元 40 的操作延迟与所述第一预设时间的差值为预设阈值，使得响应模式寄存器读命令 **MrrCmd** 读出设置参数 **MrrData2** 的时间，与响应阵列区数据读命令 **ReadCmd** 读出阵列区数据 **ArrayData** 的时间匹配。

作为示例，在本申请的一个实施例中，可以设置预设阈值为列刷新周期的整数倍，以满足特定类型半导体存储装置例如 **LPDDR4** 的工作参数的需求。

图 11a 为一种数据传输电路中为响应模式寄存器读命令 **MrrCmd** 从模式寄存器 200 读出设置参数 **MrrData0** 设置的延迟电路 2000，图 11b 为图 11a 的工作时序示意图。延迟电路 2000 包括第一触发器 501、第二触发器 502、第三触发器 503、第四触发器 504 及延迟链 400，延迟链 400 用于响应模式寄存器读命令 **MrrCmd** 生成第一时钟信号 **Clk1**、第二时钟信号 **Clk2**、第三时钟信号 **Clk3**、第四时钟信号 **Clk4** 及预设读延迟信号 **Read Latency**，其中，第一触发器 501 用于响应第一时钟信号 **Clk1** 接收设置参数 **MrrData0**，第二触发器 502 用于响应第二时钟信号 **Clk2** 接收第一触发器 501 提供的数据，第三触发器 503 用于响应第三时钟信号 **Clk3** 接收第二触发器 502 提供的数据，第四触发器 504 用于响应第四时钟信号 **Clk4** 接收第三触发器 503 提供的数据并输出设置参数 **MrrData1**。通过控制延迟链 400 生成的第一时钟信号 **Clk1**、第二时钟信号 **Clk2**、第三时钟信号 **Clk3**、第四时钟信号 **Clk4** 及预设读延迟信号 **Read Latency** 的驱动时间，来控制响应模式寄存器读命令 **MrrCmd** 读出设置参数 **MrrData2** 的时间，与响应阵列区数据读命令 **ReadCmd** 读出阵列区数据 **ArrayData** 的时间匹配。

同时参考图 11a 和图 11c，图 11a 的每一个时钟（**Clk1**、**Clk2**、**Clk3**、**Clk4**）都需要调配，才能保证 **MrrData1** 到 **MrrData2** 的时序正确，相比较而言，图 11c 只需要调配 **MrrCmd** 到 **Read Latency** 的时序，图 11c 的技术方案更容易调配。

在本申请的一个实施例中，提供了一种存储装置，包括存储单元阵列 300、模式寄存器 200 及任一本申请实施例中的数据传输电路；其中，存储单元阵列 300 用于存储阵列区数据 **ArrayData**，模式寄存器 200 用于存储模式寄存器数据 **MrrData0**。本实施例实现对模式寄存器数

据存储单元 1 及阵列区数据存储单元 3 的区别控制,使得响应模式寄存器读命令读出模式寄存器数据 MrrData2 的时间,与响应阵列区数据读命令读出阵列区数据 ArrayData 的时间匹配,并精准控制模式寄存器数据 MrrData2、阵列区数据 ArrayData 依次经由各自输出通道输出。

请参考图 12,在本申请的一个实施例中,提供了一种数据传输方法,包括:

步骤 502,基于模式寄存器数据存储单元响应第一时钟信号,输出模式寄存器数据;

步骤 504,基于阵列区数据存储单元响应第一指针信号接收阵列区数据,并响应第二指针信号输出所述阵列区数据,其中,所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点。

作为示例,请继续参考图 12,通过基于模式寄存器数据存储单元响应第一时钟信号而输出模式寄存器数据,并基于阵列区数据存储单元响应第一指针信号接收阵列区数据并响应第二指针信号输出所述阵列区数据,其中,所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点,实现对模式寄存器数据存储单元及阵列区数据存储单元的区别控制,使得响应模式寄存器读命令读出模式寄存器数据的时间,与响应阵列区数据读命令读出阵列区数据的时间匹配,以精准控制模式寄存器数据、阵列区数据依次经由各自输出通道输出。

请参考图 13,在本申请的一个实施例中,提供了一种数据传输方法,包括:

步骤 602,基于可控延迟模块响应模式寄存器读命令,生成预设读延迟信号;

步骤 604,基于模式寄存器数据处理单元响应所述模式寄存器读命令,从模式寄存器读出模式寄存器数据,并响应所述预设读延迟信号,向模式寄存器数据存储单元输出所述模式寄存器数据;

步骤 606,基于所述模式寄存器数据存储单元响应第一时钟信号,输出模式寄存器数据;

步骤 608,基于阵列区数据存储单元响应第一指针信号接收阵列区数据,并响应第二指针信号输出所述阵列区数据,其中,所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点。

作为示例,请继续参考图 13,基于可控延迟模块响应模式寄存器读命令,生成预设读延迟信号,使得模式寄存器数据处理单元响应所述模式寄存器读命令,从模式寄存器读出模式寄存器数据,并响应所述预设读延迟信号,向模式寄存器数据存储单元输出所述模式寄存器数据;基于模式寄存器数据存储单元响应第一时钟信号而输出模式寄存器数据,并基于阵列区数据存储单元能够响应第一指针信号接收阵列区数据并响应第二指针信号输出所述阵列区数据,其中,阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点,实现对模式寄存器数据存储单元及阵列区数据存储单元的区别控制,使得响应模式寄存器读命令读出模式寄存器数据的时间,与响应阵列区数据读命令读出阵列区数据的时间匹配,以精准控制模式寄存器数据、阵列区数据依次经由各自输出通道输出。本申请中的可控延迟模块的操作延迟一旦确定,受工作环境变化的影响很小,能够有效避免因工作环境变化导致数据传输通路出现控制错误;并且,可控延迟模块的操作延迟可以控制调整,能够满足不同类型半导体存储装置的工作参数需求。由于可控延迟模块的操作延迟一旦确定,受工作环境变化的影响很小,能够有效避免因工作环境变化导致数据传输通路出现控制错误;并且,可控延迟模块的操作延迟可以控制调整,能够满足不同类型半导体存储装置的工作参数需求。

请参考图 14,在本申请的一个实施例中,提供了一种数据传输方法,包括:

步骤 702,自接收模式寄存器读命令时刻起,延迟模块延迟第一预设时间后,生成预设读延迟信号;

步骤 704,基于模式寄存器数据处理单元响应所述模式寄存器读命令,从模式寄存器读出模式寄存器数据,并响应所述预设读延迟信号,向模式寄存器数据存储单元输出所述模式寄存器数据;

步骤 706,基于所述模式寄存器数据存储单元响应第一时钟信号,输出模式寄存器数据;

步骤 708, 基于阵列区数据存储单元响应第一指针信号接收阵列区数据, 并响应第二指针信号输出所述阵列区数据, 其中, 所述阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点。

作为示例, 请继续参考图 14, 基于延迟模块自接收模式寄存器读命令时刻起, 延迟模块延迟第一预设时间后, 生成预设读延迟信号; 使得模式寄存器数据处理单元响应模式寄存器读命令从模式寄存器读出模式寄存器数据, 并响应预设读延迟信号向模式寄存器数据存储单元输出所述模式寄存器数据; 基于阵列区数据存储单元响应第一指针信号接收阵列区数据, 并响应第二指针信号输出所述阵列区数据; 并基于模式寄存器数据存储单元响应第一时钟信号而输出模式寄存器数据; 其中, 阵列区数据存储单元的输出端与所述模式寄存器数据存储单元的输出端均连接于第一节点, 实现对模式寄存器数据存储单元及阵列区数据存储单元的区别控制, 使得响应模式寄存器读命令读出模式寄存器数据的时间, 与响应阵列区数据读命令读出阵列区数据的时间匹配, 以精准控制模式寄存器数据、阵列区数据依次经由各自输出通道输出。

关于上述实施例中的数据传输方法的具体限定可以参见上文中对于数据传输电路的限定, 在此不再赘述。

应该理解的是, 虽然图 12-图 14 的流程图中的各个步骤按照箭头的指示依次显示, 但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明, 这些步骤的执行并没有严格的顺序限制, 这些步骤可以以其它的顺序执行。而且, 图 12-图 14 中的至少一部分步骤可以包括多个步骤或者多个阶段, 这些步骤或者阶段并不必然是在同一时刻执行完成, 而是可以在不同的时刻执行, 这些步骤或者阶段的执行顺序也不必然是依次进行, 而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程, 是可以通过计算机程序来指令相关的硬件来完成, 所述的计算机程序可存储于一非易失性计算机可读取存储介质中, 该计算机程序在执行时, 可包括如上述各方法的实施例的流程。其中, 本申请所提供的各实施例中所使用的对存储器、存储、数据库或其它介质的任何引用, 均可包括非易失性和/或易失性存储器。非易失性存储器可包括只读存储器 (ROM)、可编程 ROM (PROM)、电可编程 ROM (EPROM)、电可擦除可编程 ROM (EEPROM) 或闪存。易失性存储器可包括随机存取存储器 (RAM) 或者外部高速缓冲存储器。作为说明而非局限, RAM 以多种形式可得, 诸如静态 RAM (SRAM)、动态 RAM (DRAM)、同步 DRAM (SDRAM)、双数据率 SDRAM (DDRSDRAM)、增强型 SDRAM (ESDRAM)、同步链路 (Synchlink) DRAM (SLDRAM)、直接存储器总线动态 RAM (DRDRAM)、以及存储器总线动态 RAM (RDRAM) 等。

请注意, 上述实施例仅出于说明性目的而不意味对本发明的限制。

上所述实施例的各技术特征可以进行任意的组合, 为使描述简洁, 未对上述实施例各个技术特征所有可能的组合都进行描述, 然而, 只要这些技术特征的组合不存在矛盾, 都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对申请专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本申请构思的前提下, 还可以做出若干变形和改进, 这些都属于本申请的保护范围。因此, 本申请专利的保护范围应以所附权利要求为准。