

存储器及其制作方法

本公开要求于 2022 年 03 月 23 日提交中国专利局、申请号为 202210289745.9、
申请名称为“存储器及其制作方法”的中国专利申请的优先权，其全部内容通过引用
5 结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种存储器及其制作方法。

10 背景技术

随着半导体技术的发展，存储器，尤其是动态随机存储器(Dynamic Random Access Memory，简称 DRAM) 因其具有较高的存储密度以及较快的读写速度被广泛地应用
在各种电子设备中。

动态随机存储器通常包括多个存储单元，每个存储单元包括晶体管和电容器，晶
15 体管的栅极与动态随机存储器的字线(Word Line，简称 WL) 电连接，通过字线上的
电压控制晶体管的开启和关闭；晶体管的源极和漏极中的一极与位线(Bit Line，简称
BL) 电连接，源极和漏极中的另一极与电容器电连接，通过位线对数据信息进行存储
或者输出。

为了进一步减小存储器的尺寸，提高其存储密度，通常将电容器水平放置，以便
20 于制作具有更大长细比的电容器，然而，与其适配的字线制作困难。

发明内容

鉴于上述问题，本公开实施例提供一种存储器及其制作方法，用于降低字线的制
作难度。

25 根据一些实施例，本公开第一方面提供一种存储器的制作方法，其包括：
提供衬底；

在所述衬底上形成叠层结构，所述叠层结构包括沿第一方向交替堆叠设置的牺牲
层和有源层；

去除位于第一区域的部分所述叠层结构，形成多条间隔设置且沿第二方向延伸的
30 第一沟槽，所述第一沟槽暴露所述衬底，以将位于所述第一区域的所述有源层分隔成
多个间隔设置的有源柱；

利用所述第一沟槽，去除位于所述第一区域和第二区域的所述牺牲层，以使位于
所述第一区域的所述有源柱和所述第二区域的所述有源层均沿所述第一方向间隔设
置，其中，所述第二区域与所述第一区域相邻；

去除位于所述第二区域的部分所述有源层，以在所述第二区域远离所述第一区域的一端形成呈台阶状的多个连接层；

形成栅极材料层包覆所述连接层和所述有源柱，且位于同一层的所述连接层和所述有源柱上形成的所述栅极材料层相互连通，位于不同层的所述连接层和所述有源柱上形成的所述栅极材料层相互隔离。

5

本公开实施例提供的存储器的制作方法至少具有如下优点：

本公开实施例提供的存储器的制作方法中，在衬底上形成叠层结构，叠层结构包括沿第一方向交替堆叠设置的牺牲层和有源层；去除牺牲层以及部分有源层，使得位于第一区域的有源层形成多个间隔设置的有源柱，并使得位于第二区域的有源层形成呈台阶状的多个连接层；再在连接层和有源柱上形成栅极材料层，位于同一层的连接层和有源柱上形成的栅极材料层相互连通，位于不同层的连接层和有源柱上形成的栅极材料层相互隔离。栅极材料层用作字线，通过设置连接层，便于制作字线，并将字线引出。此外，由于多个连接层远离第一区域的一端形成呈台阶状，从而使得覆盖在有源柱和连接层上的栅极材料层远离第一区域的一端也形成呈台阶状，即字线呈台阶状，便于在字线上制作其他结构，以实现字线与外围电路的电性连接。

10

15

根据一些实施例，本公开第二方面提供一种存储器，所述存储器具有相邻的第一区域和第二区域，所述存储器包括：位于所述第二区域且沿第一方向间隔设置的多个连接层，且多个所述连接层远离所述第一区域的一端形成呈台阶状；位于所述第一区域且沿所述第一方向间隔设置的多个有源柱层，每个所述有源柱层与一个所述连接层同层设置；每个所述有源柱层具有多个间隔设置的有源柱，且各所述有源柱沿第二方向延伸；位于所述连接层上和所述有源柱上的栅极材料层，且位于同一层的所述连接层和所述有源柱上形成的所述栅极材料层相互连通，位于不同层的所述连接层和所述有源柱上形成的所述栅极材料层相互隔离。

20

本公开实施例提供的存储器至少具有如下优点：

本公开实施例提供的存储器，通过在连接层上和有源柱上设置栅极材料层，且位于同一层的连接层和有源柱上形成的栅极材料层相互连通，位于不同层的连接层和有源柱上形成的栅极材料层相互隔离。栅极材料层用作字线，通过设置连接层，便于制作字线，并将字线引出。此外，由于多个连接层远离第一区域的一端形成呈台阶状，从而使得覆盖在有源柱和连接层上的栅极材料层远离第一区域的一端也形成呈台阶状，即字线呈台阶状，便于在字线上制作其他结构，以实现字线与外围电路的电性连接。

25

30

附图说明

图1为本公开一实施例中的存储器的架构图；

35

图2为本公开一实施例中的存储器的制作方法的流程图；

图3为本公开一实施例中的形成叠层结构后的第一区域和第二区域的示意图；

图4为本公开一实施例中的形成第一沟槽后的第一区域和第二区域的一种示意图；

图5为本公开一实施例中的形成第一沟槽后的第一区域和第二区域的另一种示意图

图；

图 6 为本公开一实施例中的形成保护层后的第一区域和第二区域的一种示意图；

图 7 为本公开一实施例中的形成第一掩膜层后的第一区域和第二区域的一种示意图；

5 图 8 为本公开一实施例中的去除牺牲层后的第一区域和第二区域的一种示意图；

图 9 为本公开一实施例中的形成连接层后的第一区域和第二区域的一种示意图；

图 10 为本公开一实施例中的形成栅极材料层后的第一区域和第二区域的一种示意图；

10 图 11 为本公开一实施例中的形成接触插塞后的第一区域和第二区域的一种示意图；

图 12 为本公开一实施例中的形成叠层结构后的第三区域的一种示意图；

图 13 为本公开一实施例中的形成保护层后的第三区域的一种示意图；

图 14 为本公开一实施例中的形成第一掩膜层后的第三区域的一种示意图。

15 具体实施方式

在相关技术中，为了进一步增加存储器的存储容量，通常将电容器水平放置，即电容器的延伸方向与衬底平行，以便于电容器的制作。当电容器水平放置时，与之相适应的字线需要重新布局，字线的制作难度较大。

20 鉴于此，本公开实施例提供一种存储器及其制作方法，通过形成连接层和有源柱，且连接层远离有源柱的一端形成呈台阶状，并在连接层和有源柱的栅极材料层上形成栅极材料层，位于同一层的连接层和有源柱上形成的栅极材料层相互连通，位于不同层的连接层和有源柱上形成的栅极材料层相互隔离。栅极材料层用作字线，便于制作和出，且字线呈台阶状，便于在字线上制作其他结构，以实现字线与外围电路的电性连接。

25 为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

30 本公开实施例第一方面提供一种存储器的制作方法，该存储器包括动态随机存取存储器 (Dynamic Random Access Memory, 简称 DRAM)、静态随机存取存储器 (Static Random Access Memory, 简称 SRAM)、快闪存储器、电可擦可编程只读存储器 (Electrically Erasable Programmable Read-Only Memory, 简称 EEPROM)、相变随机存取存储器 (Phase Change Random Access Memory, 简称 PRAM) 或者磁阻随机存取存储器 (Magnetoresistive Random Access Memory, 简称 MRAM) 等。本公开实施例以动态随机存取存储器为例进行说明。

35 参阅图 1，该存储器包括字线 4、位线 1、晶体管 2 和电容器 3，其中，晶体管 2 的栅极与字线 4 电性连接，晶体管 2 的源极和漏极中的一者与位线 1 电性连接，另一

者与电容器 3 电性连接。字线 4 用于控制晶体管 2 的打开或关闭，位线 1 用于将数据信息写入电容器 3，或者读取电容器 3 中的数据信息。如图 1 所示，晶体管 2 和电容器 3 均沿第二方向延伸（图 1 所示 Z 方向），该方向与衬底平行，即晶体管 2 和电容器 3 均平行于衬底设置，以便于制作较大长细比的电容器 3，从而提高存储器的存储容量。

参阅图 2，图 2 为本公开一实施例的存储器的制作方法的流程图，该制作方法可以包括：

步骤 S10：提供衬底。

参阅图 3，衬底 10 可以为衬底 10 上的结构层提供支撑基础，衬底 10 的材质可以为半导体，例如，衬底 10 的材质可以为单晶硅、多晶硅、无定型硅、锗、碳化硅、锗硅（Silicon Germanium, SiGe）、绝缘体上锗（Germanium on Insulator，简称 GOI）或者绝缘体上硅（Silicon on Insulator，简称 SOI）等。

在一些可能的实施例中，衬底 10 包括第一区域和第二区域，第一区域如图 3 中 B 处所示，第二区域如图 3 中 A 处所示，第一区域与第二区域相邻，例如，第一区域与第二区域相邻且连接。其中，第一区域上可以设置有半导体器件，例如晶体管 2，第二区域上可以设置有连接结构，例如连接层 60（参阅图*）。通过第二区域上的结构将第一区域上的半导体器件引出，以使半导体器件与外围电路电性连接。位于第一区域的衬底 10 和位于第二区域的衬底 10 为一个整体，以便于提供衬底 10。

步骤 S20：在衬底上形成叠层结构，叠层结构包括沿第一方向交替堆叠设置的牺牲层和有源层。

参阅图 3，叠层结构 20 包括多个牺牲层 21 和多个有源层 22，多个牺牲层 21 和多个有源层 22 沿第一方向交替堆叠设置。其中，第一方向为垂直于衬底 10 的方向，如图 3 所示 Y 方向。沿第一方向，相邻两个牺牲层 21 之间设置有有源层 22，或者相邻两个有源层 22 之间设置有牺牲层 21，以使得牺牲层 21 和有源层 22 依次交替设置。如此排布，通过牺牲层 21 可以将相邻两个有源层 22 隔离开来，以便于使有源层 22 沿第一方向电性隔离。

具体的，在衬底 10 上形成叠层结构 20，包括：在衬底 10 上依次交替重复形成一层牺牲层 21 和一层有源层 22，直至形成叠层结构 20，且叠层结构 20 靠近衬底 10 的最内层为牺牲层 21，叠层结构 20 远离衬底 10 的最外层为有源层 22。具体的，形成叠层结构 20 时，在衬底 10 上形成一层牺牲层 21，再在牺牲层 21 上形成一层有源层 22，再在有源层 22 上形成一层牺牲层 21，重复有源层 22 和牺牲层 21 的形成过程，直至形成所需层数的牺牲层 21 和有源层 22。

如图 3 所示，叠层结构 20 靠近衬底 10 的最内层为牺牲层 21，使得该牺牲层 21 上的有源层 22 与衬底 10 之间间隔开来，每层有源层 22 后续都可以形成晶体管 2，增加了晶体管 2 的数量，从而提高半导体结构的存储容量。叠层结构 20 远离衬底 10 的最外层为有源层 22，如此设置，当叠层结构 20 具有相同层数的有源层 22 时，叠层结构 20 的高度降低，以便于后续刻蚀叠层结构 20。

在一些可能的实现方式中，在衬底 10 上通过沉积工艺形成牺牲层 21 和形成有源层 22，沉积工艺可以包括化学气相沉积（Chemical Vapor Deposition，简称 CVD）、

物理气相沉积 (Physical Vapor Deposition, 简称 PVD) 或者原子层沉积 (Atomic Layer Deposition, 简称 ALD) 等。

在另一些可能的实现方式中, 由衬底 10 通过外延生长工艺 (Epitaxy, 简称 EPI) 形成牺牲层 21 和有源层 22。具体的, 衬底 10、有源层 22 和牺牲层 21 具体同样的元素, 例如硅元素, 以在衬底 10 上外延生长牺牲层 21, 在牺牲层 21 上外延生长有源层 22, 并在有源层 22 上外延生长牺牲层 21。示例性的, 衬底 10 的材质包括硅, 有源层 22 的材质包括硅, 牺牲层 21 的材质包括锗硅。一方面便于外延生长形成有源层 22 和牺牲层 21, 另一方面牺牲层 21 与有源层 22 具有较大的选择比, 后续可以单独去除牺牲层 21, 减少去除牺牲层 21 时对有源层 22 的损伤。优选的, 有源层 22 的材质包括有掺杂的硅, 例如, 有源层 22 的材质包括 N 型掺杂的硅, 以提高有源层 22 的电学性能。

步骤 S30: 去除位于第一区域的部分叠层结构, 形成多条间隔设置且沿第二方向延伸的第一沟槽, 第一沟槽暴露衬底, 以将位于第一区域的有源层分隔成多个间隔设置的有源柱。

参阅图 4, 在位于第一区域的叠层结构 20 中形成多条第一沟槽 51, 多条第一沟槽 51 间隔设置且沿第二方向延伸, 第二方向为图 1 所示水平方向 (Z 方向), 其平行于衬底 10, 与第一方向相垂直。第一沟槽 51 贯穿位于第一区域的叠层结构 20, 以暴露衬底 10。

在一些可能的实施例中, 参阅图 5, 第一沟槽 51 可以延伸至衬底 10 中, 即第一沟槽 51 的槽底位于衬底 10 中。如此设置, 可以保证第一沟槽 51 将叠层结构 20 分隔成多个分体, 从而使得叠层结构 20 中的各有源层 22 均分隔成多个间隔设置的有源柱 50, 以提高有源柱 50 的数量, 增加半导体结构的存储容量。

如图 4 和图 5 所示, 多个有源柱 50 呈阵列排布, 多个有源柱 50 沿第二方向延伸。多个有源柱 50 沿第一方向间隔排布, 且沿第三方向间隔排布, 第三方向与第一方向互相交叉, 且均与第二方向垂直。其中, 第三方向为平行于衬底 10 的方向, 示例性的, 第三方向为图 4 和图 5 所示水平方向 (X 方向), 第一方向、第二方向和第三方向两两垂直。这种排布方式, 可以使有源柱 50 的排布更紧凑, 最大程度提高有源柱 50 的排布数量。有源柱 50 包括源极、漏极, 以及位于源极和漏极之间的沟道。有源柱 50 的形状可以是圆柱体、棱柱体、长方体或其他形状, 本公开实施例中对此不是限定的。

具体的, 去除位于第一区域的部分叠层结构 20, 形成多条间隔设置且沿第二方向延伸的第一沟槽 51, 包括: 刻蚀位于第一区域的叠层结构 20, 形成第一沟槽 51, 第一沟槽 51 贯穿叠层结构 20。

参阅图 4 至图 7, 在一些可能的实现方式中, 刻蚀位于第一区域的叠层结构 20, 形成第一沟槽 51, 第一沟槽 51 贯穿叠层结构 20, 包括:

在叠层结构 20 上形成第一掩膜层 40, 位于第一区域的第一掩膜层 40 具有第一图案。第一掩膜层 40 形成在叠层结构 20 上, 位于第一区域和位于第二区域的叠层结构 20 上均覆盖有第一掩膜层 40, 位于第一区域的第一掩膜层 40 具有第一图案, 以暴露部分位于第一区域的叠层结构 20, 位于第二区域的叠层结构 20 未暴露。

以第一掩膜层 40 为掩膜，刻蚀位于第一区域的叠层结构 20，形成第一沟槽 51。通过以第一掩膜层 40 为掩膜刻蚀叠层结构 20，从而将第一图案转移到位于第一区域的叠层结构 20 中，以在叠层结构 20 中形成第一沟槽 51。

在另一些可能的实现方式中，在叠层结构 20 上形成第一掩膜层 40，包括：在叠层结构 20 上形成保护层 30，在保护层 30 上形成第一掩膜层 40。参阅图 4 和图 6，叠层结构 20 上覆盖有保护层 30，保护层 30 可以是氧化硅层，以减少或者避免有源层 22 氧化。参阅图 6 和图 7，保护层 30 上覆盖有第一掩膜层 40，位于第一区域的第一掩膜层 40 具有第一图案。

相应的，参阅图 7 和图 5，以第一掩膜层 40 为掩膜，刻蚀位于第一区域的叠层结构 20，包括：以第一掩膜层 40 为掩膜，刻蚀位于第一区域的保护层 30，以将第一图案转移至保护层 30 中；去除第一掩膜层 40，以图形化的保护层 30 继续刻蚀叠层结构 20。也就是说，先将第一掩膜层 40 的第一图案转移到位于第一区域的保护层 30 中；再去除第一掩膜层 40，以使保护层 30 暴露；并以图形化的保护层 30 为掩膜，继续刻蚀叠层结构 20，以在叠层结构 20 中形成第一沟槽 51。

步骤 S40：利用第一沟槽，去除位于第一区域和第二区域的牺牲层，以使位于第一区域的有源柱和第二区域的有源层均沿第一方向间隔设置，其中，第二区域与第一区域相邻。

参阅图 5 和图 8，第一区域和第二区域的牺牲层 21 完全去除，位于第一区域的有源柱 50 沿第一方向间隔设置，位于第二区域的有源层 22 沿第一方向间隔排布。在一些可能的实现方式中，利用第一沟槽 51，去除位于第一区域和第二区域的牺牲层 21，包括：利用第一沟槽 51 暴露出牺牲层 21 的侧壁，通过湿法刻蚀工艺去除位于第一区域和第二区域的牺牲层 21。湿法刻蚀工艺具有较好的选择比，利用湿法刻蚀去除牺牲层 21 时，可以避免损伤暴露出来的有源层 22、有源柱 50 以及衬底 10。

步骤 S50：去除位于第二区域的部分有源层，以在第二区域远离第一区域的一端形成呈台阶状的多个连接层。

参阅图 9，去除位于第二区域的部分有源层 22，位于第二区域剩余的有源层 22 形成连接层 60，沿远离衬底 10 的方向，多个连接层 60 的长度依次减小，以使多个连接层 60 远离第一区域的一端形成呈台阶状。如图 9 所示，该台阶状沿第一方向向上，且沿第三方向向上，第一方向为垂直于衬底 10 的方向，如图 9 所示 Y 方向，第三方向为平行于衬底 10 的方向，如图 9 所示 X 方向。每一层的连接层 60 的部分表面暴露，以便于在连接层 60 上形成其他结构。具体的，每一层的连接层 60 背离衬底 10 的表面上，远离第一区域的部分表面暴露出来，即每一层的连接层 60 的上表面中的左端暴露。

在一些可能的实施例中，去除位于第二区域的部分有源层 22，以在第二区域远离第一区域的一端形成呈台阶状的多个连接层 60，包括：在有源层 22 上形成第二掩膜层，位于第二区域的第二掩膜层具有第二图案；以第二掩膜层为掩膜，刻蚀位于第二区域的有源层 22，以在第二区域远离第一区域的一端形成呈台阶状的多个连接层 60；去除第二掩膜层。

在上述实施例中，每层有源层 22 对应不同尺寸的第二掩膜层，通过逐次限缩第

二掩膜层并刻蚀至对应的有源层 22，以形成所需连接层 60。具体的，先在有源层 22 上形成第二掩膜层，以其为掩膜，刻蚀至最下层的有源层 22，以使最下层的有源层 22 形成连接层 60；再去除远离第一区域的部分第二掩膜层，以去除后的第二掩膜层为掩膜，刻蚀至倒数第二层的有源层 22，以使倒数第二层的有源层 22 形成连接层 60；……；以此类推，直至最上层的有源层 22 形成连接层 60。其中，最下层是指有源层 22 中最靠近衬底 10 的一层，最上层是指有源层 22 中最远离衬底 10 的一层。

步骤 S60：形成栅极材料层包覆连接层和有源柱，且位于同一层的连接层和有源柱上形成的栅极材料层相互连通，位于不同层的连接层和有源柱上形成的栅极材料层相互隔离。

10 参阅图 10，形成栅极材料层 70 后，同层设置的连接层 60 和有源柱 50 上的栅极材料层 70 互相连通，异层设置的连接层 60 和有源柱 50 上的栅极材料层 70 相互隔离，以使栅极材料层 70 沿第一方向电性隔离。多个栅极材料层 70 呈台阶状，其长度呈阶梯变化，具体的，沿远离衬底 10 的方向，栅极材料层 70 的长度逐渐减小。

其中，栅极材料层 70 包括栅介质层和栅导电层，栅介质层覆盖有源柱 50 的外周面，栅导电层覆盖栅介质层的外周面且沿第二方向形成一体，该部分栅导电层可以用于晶体管 2 的栅极。如图 10 所示，栅导电层还延伸至连接层 60，其至少覆盖连接层 60 沿第一方向相对的两个表面。栅导电层与连接层 60 之间也可以设置栅介质层，以使连接层 60 和有源柱 50 上的栅介质层一同形成，便于栅介质层的制作。栅介质层的材质可以为氧化硅，栅导电层的材质可以为氮化钛。栅导电层用作字线 4，字线 4 易于制作且易于引出。

20 在一些可能的实施例中，形成栅极材料层 70 包覆连接层 60 和有源柱 50，包括：形成栅介质层覆盖连接层 60 和有源柱 50 的表面，各连接层 60 和各有源柱 50 表面上的栅介质层之间具有间隙。示例性的，在连接层 60 和有源柱 50 的表面沉积栅介质层，栅介质层覆盖有源柱 50 的外周面，且至少覆盖连接层 60 沿第一方向相对的两个表面，以及朝向有源柱 50 的表面。在有源柱 50 包括源极、沟道和漏极的实施例中，栅介质层与沟道相对。

沉积栅导电层覆盖栅介质层的表面。同层设置的栅介质层上的栅导电层相互连通，异层设置的栅介质层上的栅导电层相互隔离。即栅导电层形成多层，多层栅导电层沿第一方向间隔设置，每层栅导电层覆盖同层设置的栅介质层的表面且填充在各栅介质层之间。栅导电层形成字线 4，位于第一区域的栅导电层用作栅极，栅极为字线 4 的一部分，位于第二区域的栅导电层作为栅极的引出端，以连接外围电路。

需要说明的是，在形成栅极材料层 70 包覆连接层 60 和有源柱 50 同时，还包括：在位于第一区域和第二区域的衬底 10 上形成栅极材料层 70，衬底 10 上的栅极材料层 70 与有源柱 50 上的栅极材料层 70、连接层 60 上的栅极材料层 70 之间均相互隔离。如图 10 所示，位于第一区域的有源柱 50 与衬底 10 之间具有间隙，位于第二区域的连接层 60 与衬底 10 之间具有间隙，因此，在沉积栅极材料层 70 时，栅极材料层 70 也会覆盖第一区域和第二区域的衬底 10，衬底 10 上的栅极材料层 70 与有源柱 50 上的栅极材料层 70 间隔设置，且与连接层 60 上的栅极材料层 70 间隔设置，以使得各栅极材料层 70 均互相隔离。

在一些可能的实施例中，形成栅极材料层 70 包覆连接层 60 和有源柱 50，且位于同一层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互连通，位于不同层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互隔离（步骤 S60）之后，还包括：形成多个间隔设置且沿第一方向延伸的接触插塞 80，每个接触插塞 80 与位于第二区域的一个栅极材料层 70 相接触。

参阅图 11，多个接触插塞 80 用于将栅极材料层 70 连接至外围电路，多个接触插塞 80 间隔设置，以保证多个接触插塞 80 之间绝缘隔离，从而避免栅极材料层 70 之间相互干扰。多个接触插塞 80 与多个栅极材料层 70 一一对应且相接触，从而将每个栅极材料层 70 均可以电连接至外围电路，通过外围电路控制该栅极材料层 70 相对应的晶体管 2。

接触插塞 80 可以包括第一导电部分，以及设置在第一导电部分上的第二导电部分，第一导电部分为靠近衬底 10 的部分，第二导电部分为远离衬底 10 的部分，即第二导电部分位于第一导电部分远离衬底 10 的一侧。第一导电部分和第二导电部分均可以包括芯层，以及覆盖芯层的侧面和底面的外层。其中，芯层可以为绝缘层，其材质可以为氮化硅或者氧化硅。外层可以为金属层，其材质可以为钨或者氮化钛。如此设置，在保证第一导电部分和第二导电部分的电性能的基础上，减少金属层的厚度，以节约成本。

需要说明的是，本公开实施例中的衬底 10 还具有第三区域，第三区域与第一区域相邻，第三区域如图 11 中 C 处所示，第三区域上可以形成电容器 3。电容器 3 通常在栅极材料层 70 形成之后再制作。

具体的，参阅图 12，在衬底 10 上形成叠层结构 20，叠层结构 20 包括沿第一方向交替堆叠设置的牺牲层 21 和有源层 22 时，衬底 10 的第一区域、第二区域和第三区域上均形成叠层结构 20，位于第一区域的叠层结构 20 后续形成有源柱 50，位于第二区域的叠层结构 20 后续形成连接层 60，位于第三区域的叠层结构 20 后续形成电容器 3 的支撑层。

参阅图 13 和图 14，在叠层结构 20 上形成保护层 30，在保护层 30 上形成第一掩膜层 40 时，位于第一区域、第二区域和第三区域的叠层结构 20 上均形成保护层 30 和第一掩膜层 40，且在后续的制作过程中，位于第三区域的保护层 30 和第一掩膜层 40 一直保留，直至形成栅极材料层 70。如此设置，以防止制作字线 4 过程中损伤第三区域的有源层 22。

综上，本公开实施例提供的存储器的制作方法中，在衬底 10 上形成叠层结构 20，叠层结构 20 包括沿第一方向交替堆叠设置的牺牲层 21 和有源层 22；去除牺牲层 21 以及部分有源层 22，使得位于第一区域的有源层 22 形成多个间隔设置的有源柱 50，并使得位于第二区域的有源层 22 形成呈台阶状的多个连接层 60；再在连接层 60 和有源柱 50 上形成栅极材料层 70，位于同一层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互连通，位于不同层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互隔离。栅极材料层 70 用作字线 4，通过设置连接层 60，便于制作字线 4，并将字线 4 引出。此外，由于多个连接层 60 远离第一区域的一端形成呈台阶状，从而使得覆盖在有源柱 50 和连接层 60 上的栅极材料层 70 远离第一区域的一端也形成呈台阶状，

即字线 4 呈台阶状, 便于在字线 4 上制作其他结构, 以实现字线 4 与外围电路的电性连接。

5 本公开实施例第二方面提供一种存储器, 参阅图 1 和图 11, 存储器具有相邻的第一区域和第二区域, 第一区域如图 11 中 B 处所示, 第二区域如图 11 中 A 处所示, 第一区域与第二区域相邻, 例如, 第一区域与第二区域相邻且连接。第一区域上可以设置
10 有半导体器件, 例如晶体管 2, 第二区域上可以设置有连接结构, 例如连接层 60, 通过第二区域上的结构将第一区域上的半导体器件引出, 以使半导体器件与外围电路电性连接。该存储器包括: 位于第二区域且沿第一方向间隔设置的多个连接层 60, 且
15 多个连接层 60 远离第一区域的一端形成呈台阶状。

参阅图 11, 多个连接层 60 位于第二区域, 其沿第一方向堆叠设置, 且多个连接层 60 间隔设置, 以保证多个连接层 60 之间电性隔离。多个连接层 60 远离第一区域
20 的一端形成台阶, 如图 11 所示, 多个连接层 60 的左端形呈台阶状。具体的, 该台阶状沿第一方向向上, 且沿第三方向向上, 第一方向为垂直于衬底 10 的方向, 如图 11
25 所示 Y 方向, 第三方向为平行于衬底 10 的方向, 如图 11 所示 X 方向。

在一些可能的示例中, 参阅图 11, 沿远离衬底 10 的方向, 多个连接层 60 的长度依次减小, 以使多个连接层 60 远离第一区域的一端形成呈台阶状。如图 11 所示, 每一层的连接层 60 的部分表面暴露, 以便于在连接层 60 上形成其他结构。具体的, 每一层的连接层 60 背离衬底 10 的表面中远离第一区域的部分表面暴露出来。

20 继续参阅图 11, 存储器还包括: 位于第一区域且沿第一方向间隔设置的多个有源柱层, 每个有源柱层与一个连接层 60 同层设置; 每个有源柱层具有多个间隔设置的有源柱 50, 且各有源柱 50 沿第二方向延伸。

如图 11 所示, 多个有源柱层位于第一区域, 其沿第一方向堆叠设置, 且多个有源柱层 50 间隔设置, 以保证多个有源柱层之间电性隔离。多个有源柱层与多个连接层 60 一一对应, 且相对应的有源柱层和连接层 60 同层设置, 以便于在有源柱层和连接层 60 上形成栅极材料层 70。

如图 11 所示, 每个有源柱层包括多个间隔设置的有源柱 50, 多个有源柱 50 沿第二方向延伸。多个有源柱 50 呈阵列排布, 具体的, 多个有源柱 50 沿第一方向间隔排布, 且沿第三方向间隔排布, 第三方向与第一方向互相交叉, 且均与第二方向垂直。
30 其中, 第二方向为平行于衬底 10 的方向, 示例性的, 第二方向为图 1 所示水平方向 (Z 方向), 第一方向、第二方向和第三方向两两垂直。这种排布方式, 可以使有源柱 50 的排布更紧凑, 最大程度提高有源柱 50 的排布数量。有源柱 50 的形状可以是圆柱体、棱柱体、长方体或其他形状, 本公开实施例中对此不是限定的。

继续参阅图 11, 存储器还包括: 位于连接层 60 上和/或有源柱 50 上的栅极材料层 70, 且位于同一层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互连通, 位于不同层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互隔离。

如图 11 所示, 同层设置的连接层 60 和有源柱 50 上的栅极材料层 70 互相连通, 异层设置的连接层 60 和有源柱 50 上的栅极材料层 70 相互隔离, 以使栅极材料层 70 沿第一方向电性隔离。由于连接层 60 呈台阶状, 多个栅极材料层 70 呈台阶状, 其长

度呈阶梯变化,以便于在栅极材料层 70 上形成其他结构,从而将栅极材料层 70 引出。具体的,沿远离衬底 10 的方向,栅极材料层 70 的长度逐渐减小。

其中,栅极材料层 70 包括栅介质层和栅导电层,栅介质层覆盖有源柱 50 的外周面,栅导电层覆盖栅介质层的外周面且沿第二方向形成一体,该部分栅导电层可以用于晶体管 2 的栅极。如图 11 所示,栅导电层还延伸至连接层 60,其至少覆盖连接层 60 沿第一方向相对的两个表面。栅导电层与连接层 60 之间也可以设置栅介质层,以使连接层 60 和有源柱 50 上的栅介质层一同形成,便于栅介质层的制作。栅介质层的材质可以为氧化硅,栅导电层的材质可以为氮化钛。栅导电层用作字线 4,字线 4 易于制作且易于引出。

10 在一些可能的实施例中,存储器还包括:多个间隔设置且沿第一方向延伸的接触插塞 80,每个接触插塞 80 与位于第二区域的一个栅极材料层 70 相接触。

具体的,参阅图 11,多个接触插塞 80 用于将栅极材料层 70 连接至外围电路,多个接触插塞 80 间隔设置,以保证多个接触插塞 80 之间绝缘隔离,从而避免栅极材料层 70 之间相互干扰。多个接触插塞 80 与多个栅极材料层 70 一一对应且相接触,从而将每个栅极材料层 70 均可以电连接至外围电路,通过外围电路控制该栅极材料层 70 相对应的晶体管 2。

接触插塞 80 可以包括第一导电部分,以及设置在第一导电部分上的第二导电部分,第一导电部分为靠近衬底 10 的部分,第二导电部分为远离衬底 10 的部分,即第二导电部分位于第一导电部分远离衬底 10 的一侧。第一导电部分和第二导电部分均可以包括芯层,以及覆盖芯层的侧面和底面的外层。其中,芯层可以为绝缘层,其材质可以为氮化硅或者氧化硅。外层可以为金属层,其材质可以为钨或者氮化钛。如此设置,在保证第一导电部分和第二导电部分的电性能的基础上,减少金属层的厚度,以节约成本。

25 在一些可能的实施例中,存储器还具有第三区域,第三区域与第一区域相邻,存储器还包括:位于第三区域的多个间隔设置的电容器 3,电容器 3 沿第二方向延伸,且每个电容器 3 与一个有源柱 50 电连接。具体的,第三区域与第一区域可以沿第二方向(图 11 所示 Z 方向)排布,第三区域设置有多个间隔设置的电容器 3,多个电容器 3 与多个有源柱 50 一一对应且电连接。

30 本公开实施例提供的存储器,通过在连接层 60 上和/或有源柱 50 上设置栅极材料层 70,且位于同一层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互连通,位于不同层的连接层 60 和有源柱 50 上形成的栅极材料层 70 相互隔离,栅极材料层 70 用作字线 4,通过设置连接层 60,便于制作字线 4,并将字线 4 引出。此外,由于多个连接层 60 远离第一区域的一端形成呈台阶状,从而使得覆盖在有源柱 50 和连接层 60 上的栅极材料层 70 远离第一区域的一端也形成呈台阶状,即字线 4 呈台阶状,便于在字线 4 上制作其他结构,以实现字线 4 与外围电路的电性连接。

35 本说明书中各实施例或实施方式采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分相互参见即可。参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材

料或者特点包含于本公开的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

- 最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；
- 5 尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权 利 要 求 书

- 1、一种存储器的制作方法，包括：
提供衬底；
在所述衬底上形成叠层结构，所述叠层结构包括沿第一方向交替堆叠设置的牺牲层和有源层；
- 5 去除位于第一区域的部分所述叠层结构，形成多条间隔设置且沿第二方向延伸的第一沟槽，所述第一沟槽暴露所述衬底，以将位于所述第一区域的所述有源层分隔成多个间隔设置的有源柱；
- 10 利用所述第一沟槽，去除位于所述第一区域和第二区域的所述牺牲层，以使位于所述第一区域的所述有源柱和所述第二区域的所述有源层均沿所述第一方向间隔设置，其中，所述第二区域与所述第一区域相邻；
- 去除位于所述第二区域的部分所述有源层，以在所述第二区域远离所述第一区域的一端形成呈台阶状的多个连接层；
- 15 形成栅极材料层包覆所述连接层和所述有源柱，且位于同一层的所述连接层和所述有源柱上形成的所述栅极材料层相互连通，位于不同层的所述连接层和所述有源柱上形成的所述栅极材料层相互隔离。
- 2、根据权利要求1所述的制作方法，其中，沿远离所述衬底的方向，多个所述连接层的长度依次减小，以使多个所述连接层远离所述第一区域的一端形成呈台阶状。
- 3、根据权利要求1所述的制作方法，其中，在所述衬底上形成叠层结构，包括：
- 20 在所述衬底上依次交替重复形成一层所述牺牲层和一层所述有源层，直至形成所述叠层结构，且所述叠层结构靠近所述衬底的最内层为所述牺牲层，所述叠层结构远离所述衬底的最外层为所述有源层。
- 4、根据权利要求1所述的制作方法，其中，由所述衬底通过外延生长工艺形成所述牺牲层和所述有源层。
- 25 5、根据权利要求4所述的制作方法，其中，所述有源层的材质包括N型掺杂的硅，所述牺牲层的材质包括锗硅。
- 6、根据权利要求1所述的制作方法，其中，去除位于所述第一区域的部分所述叠层结构，形成多条间隔设置且沿所述第二方向延伸的所述第一沟槽，包括：
- 30 刻蚀位于所述第一区域的所述叠层结构，形成所述第一沟槽，所述第一沟槽贯穿所述叠层结构。
- 7、根据权利要求6所述的制作方法，其中，刻蚀位于所述第一区域的所述叠层结构，形成所述第一沟槽，所述第一沟槽贯穿所述叠层结构，包括：
- 在所述叠层结构上形成第一掩膜层，位于所述第一区域的所述第一掩膜层具有第一图案；
- 35 以所述第一掩膜层为掩膜，刻蚀位于所述第一区域的所述叠层结构，形成所述第一沟槽。
- 8、根据权利要求7所述的制作方法，其中，利用所述第一沟槽，去除位于所述第一区域和所述第二区域的所述牺牲层，包括：

利用所述第一沟槽暴露出所述牺牲层的侧壁，通过湿法刻蚀工艺去除位于所述第一区域和所述第二区域的所述牺牲层。

9、根据权利要求7所述的制作方法，其中，在所述叠层结构上形成所述第一掩膜层，包括：

5 在所述叠层结构上形成保护层，在所述保护层上形成所述第一掩膜层。

10、根据权利要求9所述的制作方法，其中，以所述第一掩膜层为掩膜，刻蚀位于所述第一区域的所述叠层结构，包括：

以所述第一掩膜层为掩膜，刻蚀位于所述第一区域的所述保护层，以将所述第一图案转移至所述保护层中；

10 去除所述第一掩膜层，以图形化的所述保护层继续刻蚀所述叠层结构。

11、根据权利要求1所述的制作方法，其中，去除位于所述第二区域的部分所述有源层，以在所述第二区域远离所述第一区域的一端形成呈台阶状的多个所述连接层，包括：

15 在所述有源层上形成第二掩膜层，位于所述第二区域的所述第二掩膜层具有第二图案；

以所述第二掩膜层为掩膜，刻蚀位于所述第二区域的所述有源层，以在所述第二区域远离所述第一区域的一端形成呈台阶状的多个所述连接层；

去除所述第二掩膜层。

12、根据权利要求1所述的制作方法，其中，形成栅极材料层包覆所述连接层和所述有源柱，包括：

形成栅介质层覆盖所述连接层和所述有源柱的表面，各所述连接层和各所述有源柱表面上的所述栅介质层之间具有间隙；

沉积栅导电层覆盖所述栅介质层的表面。

13、根据权利要求12所述的制作方法，其中，同层设置的所述栅介质层上的所述栅导电层相互连通，异层设置的所述栅介质层上的所述栅导电层相互隔离。

14、根据权利要求12所述的制作方法，其中，在形成栅极材料层包覆所述连接层和所述有源柱同时，还包括：

30 在位于所述第一区域和所述第二区域的所述衬底上形成所述栅极材料层，所述衬底上的所述栅极材料层与所述有源柱上的所述栅极材料层、所述连接层上的所述栅极材料层之间均相互隔离。

15、根据权利要求1所述的制作方法，其中，形成栅极材料层包覆所述连接层和所述有源柱，且位于同一层的所述连接层和所述有源柱上形成的所述栅极材料层相互连通，位于不同层的所述连接层和所述有源柱上形成的所述栅极材料层相互隔离之后，还包括：

35 形成多个间隔设置且沿所述第一方向延伸的接触插塞，每个所述接触插塞与位于所述第二区域的一个所述栅极材料层相接触。

16、一种存储器，所述存储器具有相邻的第一区域和第二区域，所述存储器包括：

位于所述第二区域且沿第一方向间隔设置的多个连接层，且多个所述连接层远离所述第一区域的一端形成呈台阶状；

位于所述第一区域且沿所述第一方向间隔设置的多个有源柱层，每个所述有源柱层与一个所述连接层同层设置；每个所述有源柱层具有多个间隔设置的有源柱，且各所述有源柱沿第二方向延伸；

- 5 位于所述连接层上和所述有源柱上的栅极材料层，且位于同一层的所述连接层和所述有源柱上形成的所述栅极材料层相互连通，位于不同层的所述连接层和所述有源柱上形成的所述栅极材料层相互隔离。

17、根据权利要求 16 所述的存储器，其中，所述存储器还具有第三区域，所述第三区域与所述第一区域相邻，所述存储器还包括：

- 10 位于所述第三区域的多个间隔设置的电容器，所述电容器沿所述第二方向延伸，且每个所述电容器与一个所述有源柱电连接。

18、根据权利要求 16 所述的存储器，其中，所述存储器还包括：

多个间隔设置且沿所述第一方向延伸的接触插塞，每个所述接触插塞与位于所述第二区域的一个所述栅极材料层相接触。