

半导体结构的处理方法及形成方法

交叉引用

[0001] 本申请引用于 2020 年 7 月 2 日递交的名称为“半导体结构的处理方法及形成方法”的第 202010633744.2 号中国专利申请，其通过引用被全部并入本申
5 请。

技术领域

[0002] 本申请涉及半导体领域，涉及一种半导体结构的处理方法及形成方法。

背景技术

10 [0003] 在半导体制造过程中通常需要多道处理工序，例如材料沉积、平坦化、特征图案化、蚀刻、清洗等。随着集成电路制程持续缩小，制造工艺日益复杂，高深宽比结构愈发重要。由于制程的缩小，特征部深度不变或深度变深且宽度变小，导致了特征部的深宽比变大。高深宽比结构（HAR）的工艺极易产生侧向弯曲、顶部 CD 和底部 CD 的变化、颈缩、倾斜及图形扭曲等问题。如何提
15 高 HAR 结构的质量，防止 HAR 结构倾斜是一个亟需解决的问题。

发明内容

[0004] 本申请实施例提供一种半导体结构的处理方法及形成方法，有效的改善了高深宽比结构倾斜的问题，且流程简单、成本低廉。

[0005] 为解决上述技术问题，本申请实施例提供了一种存储器的形成方法，包
20 括：提供半导体基底，半导体基底上设置有特征部，特征部顶部设置有掩膜层；对半导体结构进行灰化处理，半导体结构包括半导体基底、特征部以及掩膜层；去除掩膜层；对半导体结构进行清洗处理，对特征部进行清洗处理后，特征部

的表面生成氧化层；对半导体结构进行干燥处理；去除氧化层；其中，在干燥处理过程中，至少相邻的一组特征部中一特征部向相邻特征部的方向倾斜，且在干燥处理之后，倾斜的特征部与相邻特征部的间距小于在干燥处理之前二者的间距。

- 5 [0006] 特征部为高深宽比结构，特征部倾斜即高深宽比结构倾斜，特征部处于竖直状态可避免高深宽比结构倾斜。相关技术中，在刻蚀形成特征部后进行灰化处理 and 清洗处理的过程中，去除特征部顶部的掩膜层，特征部受到毛细力作用而倾斜。与相关技术相比，本方案在清洗处理之前去除特征部顶部的掩膜层，在清洗处理过程中，并不对生成的氧化层进行刻蚀，特征部受到毛细力作用而
- 10 倾斜，而后去除氧化层后，特征部恢复初始状态，有效的改善了清洗高深宽比结构时产生的高深宽比结构倾斜的问题，且工艺流程简单、成本低廉。

- [0007] 另外，对半导体结构进行灰化处理，包括：采用不含氧的第一混合气体对半导体结构进行灰化处理。另外，第一混合气体至少包括氢气和氮气。采用不含氧气的第二混合气体进行灰化处理，防止灰化处理过程中，半导体结构表
- 15 面被氧化。

- [0008] 另外，对半导体结构进行灰化处理，包括：采用含氧的第二混合气体对特征部的表面进行灰化处理。另外，第二混合气体至少包括氢气、氮气和氧气。采用含有氧气的第二混合气体进行灰化处理，加快灰化处理工艺的时间，从而提高半导体制程的制程效率。

- 20 [0009] 另外，清洗处理采用 NH_4OH 、 H_2O_2 和 H_2O 的混合液体，且 NH_4OH 、 H_2O_2 和 H_2O 的体积比范围为 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1\sim4:20\sim100$ 。

[0010] 另外，对半导体结构进行干燥处理之后，且去除氧化层之前，还包括：

对氧化层进行补偿处理。对氧化层进行补偿处理之后，增大特征部被氧化生成氧化层的厚度，后续在去除氧化层之后，确保特征部可以恢复原状，或者加快特征部恢复原状的速度。

[0011] 另外，对氧化层进行补偿处理，包括：采用第三混合气体，对氧化层进
5 行补偿处理，第三混合气体至少包括：氢气、氮气和氧气。

[0012] 另外，对氧化层进行补偿处理，包括：采用混合等离子体，对氧化层进行补偿处理，混合等离子体至少包括：氢气、氮气和氧气的等离子体。

[0013] 另外，对半导体结构进行干燥处理，包括：采用第一温度的异丙醇对特征部表面进行干燥；在对特征部表面进行干燥的同时，采用第二温度的去离子
10 水对半导体基底底部进行干燥。具体而言，以半导体基底为晶圆为例，该过程是在干燥的过程中向晶圆的背面提供热的去离子水，并同时向晶圆的正面提供加热的异丙醇，原因是如果不对晶圆背面进行加热，异丙醇达到晶圆表面的温度会变低，同时背面提供热的去离子水用于就是控制晶圆的温度，防止出现晶圆的中心和边缘的温度不同。如此能够进一步强化异丙醇的干燥效果，以便更
15 好地干燥晶圆。

[0014] 另外，第一温度的温度范围为 60°C ~ 80°C ，第二温度的温度范围为 60°C ~ 80°C 。

[0015] 另外，去除掩膜层，包括：向掩膜层提供化学气体，在第三温度下与掩膜层发生化学反应；在进行化学反应后，在第四温度下对掩膜层进行热处理并
20 同时向掩膜层提供载气，以蒸发去除掩膜层。

[0016] 另外，第三温度的温度范围为 30°C ~ 150°C ；第四温度的温度范围为 100°C ~ 200°C 。

[0017] 另外，化学气体对掩膜层和特征部的刻蚀选择比大于 500: 1。

[0018] 另外，化学气体至少包括氨气和氟化氢，载体至少包括氮气或者氩气。

[0019] 另外，半导体基底上设置的特征部的深宽比为 10。

[0020] 本申请实施例还提供了一种半导体结构的形成方法，包括：提供半导体
5 基底以及位于半导体基底上的掩膜层；以掩膜层为掩膜，刻蚀半导体基底形成
分立的特征部；对半导体结构进行灰化处理，半导体结构包括半导体基底、特
征部以及掩膜层；去除掩膜层；对半导体结构依次进行清洗处理和干燥处理；
去除氧化层。

[0021] 该方法能够形成无塌陷的高深宽比结构，有效地改善了高深宽比结构倾
10 斜的问题，且流程简单、成本低廉。

附图说明

[0022] 图 1 至图 6 为本申请一实施例提供的存储器的形成方法各步骤对应的剖
面结构示意图；

[0023] 图 7 为本申请一实施例提供的半导体结构的处理方法中特征部倾斜的原
15 理图；

[0024] 图 8 和图 9 为本申请一实施例提供的化学方法刻蚀处理的流程示意图。

具体实施方式

[0025] 由于毛细力产生的高深宽比结构倾斜是一个严重的问题并且会导致半导
体缺陷的产生。随着半导体集成度的增加，高深宽比结构的使用也愈加普遍。
20 高深宽比结构可以为具有大于 5:1、10:1 或 20:1 的深宽比的特征部。在高深宽
比结构中，尤其是深宽比达到 10 以上的高深宽比结构的半导体制程中，在清洗
以及干燥处理过程中，由于毛细作用力会造成 HAR 结构倾斜甚至塌陷，且深

宽比越高，其倾斜的情况越严重。

[0026] 然而申请人发现：减少 HAR 结构倾斜的方法已经开发并应用，例如，晶圆清洗过程中使用超临界二氧化碳来进行干燥处理，这种工艺及其昂贵并且通常需要精确的控制，需要精确称重干燥处理所需的异丙醇的重量，同时超临界二氧化碳需要高压以达到临界点。

[0027] 所以当前急需一种成本低并且简单的处理方法，以减少清洗高深宽比结构时产生的高深宽比结构倾斜问题。

[0028] 为解决上述问题，本申请一实施例提供了一种存储器的形成方法，包括：提供半导体基底，半导体基底上设置有特征部，特征部顶部设置有掩膜层；对半导体结构进行灰化处理，半导体结构包括半导体基底、特征部以及掩膜层；去除掩膜层；对半导体结构进行清洗处理，对特征部进行清洗处理后，特征部的表面生成氧化层；对半导体结构进行干燥处理；去除氧化层；其中，在干燥处理过程中，至少相邻的一组特征部中一特征部向相邻特征部的方向倾斜，且在干燥处理之后，倾斜的特征部与相邻特征部的间距小于在干燥处理之前二者的间距。

[0029] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便，不应对本申请的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

[0030] 图 1 至图 6 为本申请实施例提供的半导体结构的处理方法各步骤对应的剖面结构示意图，下面对本实施例的半导体结构的处理方法进行具体说明。

[0031] 参考图 1 以及图 2，提供半导体基底 111，半导体基底上设置有特征部 112，特征部 112 顶部表面具有掩膜层 200。

5 [0032] 具体地，参考图 1，在基底 101 上形成掩膜层 200，基于掩膜层 200 刻蚀基底 101 形成如图 2 所示的半导体基底 111 以及分立的特征部 112，特征部 112 上具有掩膜层 200。在本实施例中，半导体基底 111 采用硅或锗等材料形成，掩膜层 200 采用二氧化硅形成，在其他实施例中，掩膜层 200 可以采用其他绝缘材料形成，例如氮化硅或氮氧化硅等。另外，对于本实施例中提供的特征部
10 112，用于后续形成有源区，特征部 112 倾斜会导致形成的有源区倾斜，即特征部 112 处于竖直状态可避免有源区倾斜。此外，也可以将本技术方案用于其他区域的实现。

[0033] 参考图 2，特征部 112 的高度为 H ，分立的特征部 112 之间的间隙为 S ，特征部 112 的深宽比 H/S 较大，在本实施例中特征部 112 的深宽比 H/S 为 10，
15 在其他实施例中，特征部的深宽比可以为 5、8、12、15 等，根据实际需求进行设置；此外，也可以设定特征部的深宽比 H/S 大于预设深宽比，预设深宽比可以为 5、8、10、12、15 等。在特征部 112 的深宽比大的半导体工艺制程中，易于产成特征部 112 的倾斜的缺陷。本领域技术人员可知，在实施例中对特征部 112 深宽比的限定是为了保证后续的干燥工艺中，确保出现特征部 112 的倾斜，
20 以深宽比的限定导致后续出现特征部 112 倾斜的技术方案，都应属于本申请的保护范围。

[0034] 对半导体结构进行灰化处理，半导体结构包括半导体基底 111、特征部

112 以及掩膜层 200。灰化处理用于灰化刻蚀剩余的刻蚀气体或刻蚀液体，防止残留的刻蚀气体或刻蚀液体继续刻蚀半导体基底 111 以及特征部 112。

[0035] 具体地，本实施例给出了两种灰化处理方式，具体如下：

[0036] 无氧灰化处理：采用不含氧的第一混合气体对半导体基底 111、特征部 112 以及掩膜层 200 进行灰化处理，第一混合气体至少包括氢气和氮气，以便清除刻蚀后残留在表面的腐蚀性气体和高分子材料。对于无氧灰化处理，由于混合气体中不含有氧气，并不会对半导体基底 111 和特征部 112 的表面造成损伤（不会氧化特征部 112 和半导体基底 111 的表面，如不会对硅进行氧化），因此在本实施例中，采用无氧灰化处理的方式进行灰化处理；此外，使用氢气能够
5 112 以及掩膜层 200 进行灰化处理，第一混合气体至少包括氢气和氮气，以便清除刻蚀后残留在表面的腐蚀性气体和高分子材料。对于无氧灰化处理，由于混合气体中不含有氧气，并不会对半导体基底 111 和特征部 112 的表面造成损伤（不会氧化特征部 112 和半导体基底 111 的表面，如不会对硅进行氧化），因此在本实施例中，采用无氧灰化处理的方式进行灰化处理；此外，使用氢气能够
10 够有效去除残留在特征部和半导体基底 111 表面的腐蚀性气体和高分子材料。

[0037] 有氧灰化处理：采用含氧的第二混合气体对半导体基底 111、特征部 112 以及掩膜层 200 进行灰化处理，第二混合气体至少包括氢气、氮气和氧气。对于有氧灰化处理，由于混合气体中含有氧气，灰化效率更高，能更快地清除刻蚀后残留在表面的腐蚀性气体和高分子材料。在其他实施例中，可以采用有氧
15 灰化处理的方式进行灰化处理。

[0038] 参考图 3，去除掩膜层 200。

[0039] 参考图 4，对半导体结构进行清洗处理，半导体结构包括半导体基底 111、特征部 112 以及掩膜层 200；由于掩膜层 200 已被去除，即对半导体基底 111 以及特征部 112 进行清洗处理。

20 [0040] 清洗处理用于修复特征部 112 表面的缺陷，缺陷即在刻蚀形成特征部 112 的过程中，部分侧壁被过刻蚀形成的凹陷或者部分侧壁没被完全刻蚀形成的凸起，从而导致特征部 112 表面的不平整，进行清洗处理之后，特征部 112 表面

被氧化形成氧化层 120。

[0041] 具体地,清洗处理采用 NH_4OH 、 H_2O_2 和 H_2O 的混合液体(即 SC-1 混合液体),且 NH_4OH 、 H_2O_2 和 H_2O 的配比(体积比)范围为 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1\sim 4:20\sim 100$ 。

- 5 [0042] 由于清洗处理使用的混合液体具有较强的氧化性,在清洗处理过程中,会在部分特征部 112 表面形成氧化层 120。

[0043] 需要说明的是,在清洗过程中部分半导体基底 111 也存在被氧化的现象,由于被氧化的半导体基底 111 并不涉及到本案的创造性,因此在图示中并未明确标出被氧化的半导体基底 111,本领域技术人员清楚,在清洗处理过程中,
10 部分半导体基底 111 也会被氧化形成氧化层 120。

[0044] 参考图 5,进行清洗处理之后,对半导体结构进行干燥处理,半导体结构包括半导体基底 111、特征部 112 以及掩膜层 200;由于掩膜层 200 已被去除,即对半导体基底 111 以及特征部 112 以及氧化层 120(参考图 4)进行干燥处理。

[0045] 干燥处理包括:采用第一温度的异丙醇(IPA)对部分特征部 112 表面进行干燥;在对部分特征部 112 表面进行干燥的同时,采用第二温度的去离子水对基底 111 底部进行干燥。
15

[0046] 以半导体基底为晶圆为例,该过程是在干燥的过程中向晶圆的背面提供热的去离子水,并同时向晶圆的正面提供加热的异丙醇,原因是如果不对晶圆背面进行加热,异丙醇达到晶圆表面的温度会变低,同时背面提供热的去离子水用于控制晶圆的温度,防止出现晶圆的中心和边缘的温度不同。如此能够进
20 一步强化异丙醇的干燥效果,以便更好地干燥晶圆。

[0047] 其中,第一温度的温度范围为 $60^\circ\text{C}\sim 80^\circ\text{C}$,第二温度的温度范围为 60°C

~80℃。在本实施例中，第一温度或第二温度可采用 65℃、70℃或 75℃。

[0048] 在干燥处理过程中，至少相邻的一组特征部 112 中一特征部 112 向相邻特征部 112 的方向倾斜，且在干燥处理之后，倾斜的特征部 112 与相邻特征部 112 的间距小于在干燥处理之前二者的间距。在本实施例中，以倾斜的部分特征部 112 表面的氧化层 120 相互粘合为例进行描述。

[0049] 具体地，干燥处理过程中，化学试剂的毛细力可在干燥过程中释放足够大的作用力，从而造成剩余特征部的倾斜，其原理参考图 7，如图所示，两个分立的凸起部（凸起部包括特征部以及特征部表面的氧化层，凸起部可以为上窄下宽、上下等宽、或上宽下窄结构，本实施例给出的附图中凸起部上下等宽
10 仅为示意说明，实际过程中刻蚀出的凸起部的底部要比顶部宽）由于宽度差的存在，此时凸起部顶部的表面张力沿切线 γ 方向， γ 方向与竖直方向的夹角为 θ ，作用在凸起部两侧的毛细力 $F=2\gamma HDt\cos\theta/S$ ，其中 H、D、S 分别为凸起部的高度、长度以及凸起部之间的间距，t 为毛细力 F 的作用时间。

[0050] 由上述的论述可知，当其他条件（ γ 、D、t、 $\cos\theta$ 以及 S）不变毛细力
15 F 与凸起部的高度 H 成正比，即凸起部越高的位置，受到的毛细力 F 越大，相应的倾斜程度也会越大。此时，位于凸起部顶端的特征部 112 的倾斜程度最大以至于倾斜的特征部 112 表面的氧化层粘合形成粘合氧化层 130，特征部 112 底部虽也存在倾斜，但是倾斜程度远小于特征部 112 顶部。

[0051] 在本实施例中，在去除氧化层前，还包括对氧化层 120 进行补偿处理。
20 对氧化层 120 进行补偿处理之后，增大特征部 112 被氧化生成氧化层 120 的厚度，即部分特征部 112 被补偿氧化生成氧化层 120，在水平方向上，增大氧化层 120 厚度的同时，减少特征部 112 的宽度，从而后续在去除氧化层 120 之后，

确保特征部 112 可以恢复原状，或者加快特征部 112 恢复原状的速度。

[0052] 具体地，本实施例给出了两种补偿处理的具体方法：

[0053] 方法一：采用第三混合气体，对氧化层 120 进行补偿处理，第三混合气体至少包括：氢气、氮气和氧气。

- 5 [0054] 采用方法一的补偿处理方法，对较高的部位的特征部 112 和较低的部位的特征部 112 的氧化量一致。

[0055] 方法二：采用混合等离子体，对氧化层 120 进行补偿处理，混合等离子体至少包括：氢气、氮气和氧气的等离子体。具体地，使用 ICP(电感耦合等离子体)的等离子体的形式，形成氧化层 120，达到氧化特征部 112 的目的，由于
10 深宽比高并且特征部 112 的直径大，所以在高温高压短时间内等离子体下降的距离有限，从而达到不同深度存在不同氧化程度的结果。采用方法二的补偿处理方法，对较高的部位的特征部 112 和较低的部位的特征部 112 的氧化量不一致，由高到低，特征部 112 被氧化的量越来越小，即此时氧化层 120 的高度越高，氧化层 120 的厚度越厚。

- 15 [0056] 本实施例采用方法二的补偿处理方法对氧化层 120 进行补偿，增大顶部特征部 112 被氧化生成氧化层 120 的厚度，后续在去除氧化层 120 之后，确保特征部 112 可以恢复原状，或者加快特征部 112 恢复原状的速度，并且底部特征部 112 表面氧化层 120 的厚度变化不大，避免特征部 120 出现不必要的损耗。

[0057] 参考图 5 以及图 6，进行干燥处理之后，去除倾斜的特征部 112 表面的
20 氧化层。

[0058] 在本实施例中，进行干燥处理之后，倾斜的特征部 112 表面的氧化层粘合形成粘合氧化层 130（参考图 5），在去除粘合掩膜层 130 之后，由于失去了

粘合氧化层 130 的粘合作用力，且此时倾斜的特征部 112 并不再收到毛细力作用，倾斜的特征部 112 的逐渐恢复原状（即竖直状态）。

[0059] 具体地，去除倾斜的特征部 112 表面的氧化层采用化学方法，化学方法采用的化学气体对氧化层和倾斜的特征部 112 的刻蚀选择比大于 500: 1。采用
5 刻蚀选择比较大的化学气体，在刻蚀去除氧化层的过程中，尽可能的避免倾斜的特征部 112 被刻蚀。

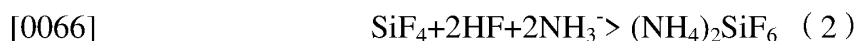
[0060] 具体参考图 8 以及图 9，去除倾斜的特征部 112 表面的氧化层采用的化学方法，包括：

[0061] 将半导体结构 400 整体置于反应室 300 中。其中，反应室 300 至少包括
10 两个进气口（第一进气口 301 和第二进气口 302），两个排气口（第一排气口 303 和第二排气口 304）以及用于承载半导体结构 400 整体的承载台 305。

[0062] 向反应室 300 中通入化学气体，化学气体至少包括：氨气、氟化氢。在本实施例中，化学气体还包括氩气。

[0063] 具体地，参考图 8，先通过第一进气口 301 向反应室 300 中通入氨气，
15 通过第二进气口 302 向反应室 300 中通入氟化氢。

[0064] 此时位于承载台 305 上的半导体结构 400 整体发生如下反应：



[0067] 其中，在（1）反应中，氟化氢作为反应气体与半导体结构 400 整体中的
20 氧化层进行反应生成 SiF_4 ，氨气作为催化剂以加速反应的进行。在（2）反应中，氨气与氟化氢同时作为反应气体，与第一步反应中生成的 SiF_4 继续反应，生成易挥发的 $(\text{NH}_4)_2\text{SiF}_6$ 固体。同时，在上述反应中，还可以通入氩气作为载气，

氮气可以防止氟化氢气体冷凝在进气管道(本实施例中,具体为第二进气口 302)中,用于将氟化氢气体运载至半导体结构 400 整体处进行反应。

[0068] 上述反应发生时,需要保证反应室中的半导体结构 400 整体于第三温度,改变半导体结构 400 整体的温度通过承载台 305 实现。其中,第三温度的范围
5 为 30℃~150℃,具体可采用例如 50℃、70℃、90℃、110℃或 130℃,在本实施例中,第三温度采用 35℃。

[0069] 在进行化学反应后,在第四温度下对氧化层进行热处理并同时向氧化层提供载气,即蒸发去除反应在生成 $(\text{NH}_4)_2\text{SiF}_6$ 固体,参考图 9,通过承载台 305 为半导体结构 400 整体加热,使半导体结构 400 整体的温度于第四温度。其中,
10 第四温度的温度范围为 100℃~200℃,具体可采用 110℃、130℃、150℃、170℃或 190℃,在本实施例中,第四温度采用 150℃。对氧化层进行热处理以加快 $(\text{NH}_4)_2\text{SiF}_6$ 固体的挥发,同时第一进气口 301 与第二进气口 302 同时通入氮气作为载气,将挥发的 $(\text{NH}_4)_2\text{SiF}_6$ 固体带入排气口(第一排气口 303 和第二排气口 304),从而完成了倾斜的特征部 112 表面氧化层的刻蚀。

15 [0070] 特征部为高深宽比结构,特征部倾斜即高深宽比结构倾斜,特征部处于竖直状态可避免高深宽比结构倾斜。相关技术中,在刻蚀形成特征部后进行灰化处理和清洗处理的过程中,去除特征部顶部的掩膜层,特征部受到毛细力作用而倾斜。与相关技术相比,本方案在清洗处理之前去除特征部顶部的掩膜层,在清洗处理过程中,并不对生成的氧化层进行刻蚀,特征部受到毛细力作用而
20 倾斜,而后去除氧化层后,特征部恢复初始状态,有效的改善了清洗高深宽比结构时产生的高深宽比结构倾斜的问题,且工艺流程简单、成本低廉。

[0071] 上面各种步骤划分,只是为了描述清楚,实现时可以合并为一个步骤或

者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，但不改变其流程的核心设计都在该专利的保护范围内。

[0072] 本申请另一实施例提供了一种半导体结构的形成方法，包括：提供半导体基底以及位于半导体基底上的掩膜层；以掩膜层为掩膜，刻蚀半导体基底形成分立的特征部；对半导体结构进行灰化处理，半导体结构包括半导体基底、特征部以及掩膜层；去除掩膜层；对半导体结构依次进行清洗处理和干燥处理；去除氧化层。

[0073] 下面结合附图对本实施例的半导体结构的形成方法进行具体说明。

10 [0074] 参考图 1 以及图 2，提供半导体基底 111，半导体基底 111 顶部表面具有掩膜层 200，以掩膜层 200 为掩膜，刻蚀半导体基底 111 形成分立的特征部 112。

[0075] 具体地，参考图 1，在基底 101 上形成掩膜层 200，基于掩膜层 200 刻蚀基底 101 形成如图 2 所示的半导体基底 111 以及分立的特征部 112，特征部 112 上具有掩膜层 200。在本实施例中，半导体基底 111 采用硅或锗等材料形成，掩膜层 200 采用二氧化硅形成，在其他实施例中，掩膜层 200 可以采用其他绝缘材料形成，例如氮化硅或氮氧化硅等。另外，对于本实施例中提供的特征部 112，用于后续形成有源区，特征部 112 倾斜会导致形成的有源区倾斜，即特征部 112 处于竖直状态可避免有源区倾斜。此外，也可以将本技术方案用于其他区域的实现。

20 [0076] 参考图 2，特征部 112 的高度为 H，分立的特征部 112 之间的间隙为 S，特征部 112 的深宽比 H/S 较大，在本实施例中特征部 112 的深宽比 H/S 为 10，在其他实施例中，预设深宽比可以为 5、8、12、15 等，根据实际需求进行设置；

此外,也可以设定特征部的深宽比 H/S 大于预设深宽比,预设深宽比可以为 5、8、10、12、15 等。在特征部 112 的深宽比大的半导体工艺制程中,易于产成特征部 112 的倾斜的缺陷。本领域技术人员可知,在实施例中对特征部 112 深宽比的限定是为了保证后续的干燥工艺中,确保出现特征部 112 的倾斜,以深宽比的限定导致后续出现特征部 112 倾斜的技术方案,都应属于本申请的保护范围。

[0077] 对半导体结构进行灰化处理,半导体结构包括半导体基底 111、特征部 112 以及掩膜层 200。灰化处理用于灰化刻蚀剩余的刻蚀气体或刻蚀液体,防止残留的刻蚀气体或刻蚀液体继续刻蚀半导体基底 111 以及特征部 112。

10 [0078] 参考图 3,刻蚀去除掩膜层 200。

[0079] 参考图 4,对半导体结构进行清洗处理,半导体结构包括半导体基底 111、特征部 112 以及掩膜层 200;由于掩膜层 200 已被去除,即对半导体基底 111 以及特征部 112 进行清洗处理。

[0080] 清洗处理用于修复特征部 112 表面的缺陷,缺陷即在刻蚀形成特征部 112 的过程中,部分侧壁被过刻蚀形成的凹陷或者部分侧壁没被完全刻蚀形成的凸起,从而导致特征部 112 表面的不平整,进行清洗处理之后,特征部 112 表面被氧化形成氧化层 120。

15

[0081] 参考图 5,进行清洗处理之后,对半导体结构进行干燥处理,半导体结构包括半导体基底 111、特征部 112 以及掩膜层 200;由于掩膜层 200 已被去除,即对半导体基底 111 以及特征部 112 进行干燥处理。

20

[0082] 参考图 5 以及图 6,去除倾斜的特征部 112 表面的氧化层。

[0083] 在本实施例中,进行干燥处理之后,倾斜的特征部 112 表面的氧化层粘

合形成粘合氧化层 130 (参考图 5), 在去除粘合掩膜层 130 之后, 由于失去了粘合氧化层 130 的粘合作用力, 且此时倾斜的特征部 112 并不再收到毛细力作用, 倾斜的特征部 112 的逐渐恢复原状 (即竖直状态)。

[0084] 由于上述实施例与本实施例相互对应, 因此本实施例可与上述实施例互
5 相配合实施。上述实施例中提到的相关技术细节在本实施例中依然有效, 在上述实施例中所能达到的技术效果在本实施例中也同样可以实现, 为了减少重复, 这里不再赘述。相应地, 本实施例中提到的相关技术细节也可应用在上述实施例中。

[0085] 上面各种步骤划分, 只是为了描述清楚, 实现时可以合并为一个步骤或
10 者对某些步骤进行拆分, 分解为多个步骤, 只要包括相同的逻辑关系, 都在本专利的保护范围内; 对流程中添加无关紧要的修改或者引入无关紧要的设计, 但不改变其流程的核心设计都在该专利的保护范围内。

[0086] 本领域的普通技术人员可以理解, 上述各实施例是实现本申请的具体实
15 施例, 而在实际应用中, 可以在形式上和细节上对其作各种改变, 而不偏离本申请的精神和范围。