

明 細 書

発明の名称：液晶ディスプレイ

技術分野

[0001] 本発明は、液晶ディスプレイに関する。より詳しくは、複数の画素に共通の信号（以下、共通信号とも言う。）を供給する電極（以下、共通電極とも言う。）を含むアレイ基板を備える液晶ディスプレイに好適な液晶ディスプレイに関するものである。

背景技術

[0002] 液晶ディスプレイは、複数の画素が配列された表示部と、その周囲の額縁部とを備え、表示部において液晶分子の電気光学特性を利用して映像を表示する装置であり、携帯電話、ノートパソコン、液晶テレビ等の機器に広く普及している。そのような液晶ディスプレイとしては、アクティブマトリクス駆動方式の液晶ディスプレイがよく知られている。この方式の液晶ディスプレイは、アクティブマトリクス基板（以下、アレイ基板とも言う。）を備え、アレイ基板は、通常、バスライン、バスラインに接続された引き回し線等の配線と、画素電極と、薄膜トランジスタ（TFT）等のスイッチング素子とを有する。バスラインとしては、通常、ソースバスライン、及び、ゲートバスラインが設けられる。

[0003] 近年、特にスマートフォンやタブレットパソコン等の用途において、液晶ディスプレイの表示画面の高精細化が要望されており、ソースバスライン等のバスラインのピッチが狭くなってきている。また、広い視野角の表示も要望されている。

[0004] そのような要望に応える主要な液晶モードとしては、誘電率異方性が負の液晶分子に対して基板面に垂直方向の電界を印可して該液晶分子の配向を制御する垂直配向（VA：Vertical Alignment）モード、及び、誘電率異方性が正又は負の液晶分子に対して基板面に水平方向（平行な方向）の電界（横電界）を印可して該液晶分子の配向を制御する水平配向モ

ードが知られている。また、水平配向モードの液晶ディスプレイの一種として、フリンジフィールドスイッチング（F F S : F r i n g e F i e l d S w i t c h i n g）方式の液晶ディスプレイが提案されている。F F S方式の液晶ディスプレイは、液晶層にフリンジ電界（横電界と縦電界の両成分を含む斜め電界）を印加することによって表示を行う。

[0005] F F S方式の液晶ディスプレイとしては、例えば、単一の工程で複数のコンタクトホールを同時に形成することができる、平坦化膜上に画素電極及び共通電極を配置したF F Sモードの液晶ディスプレイが開示されている（例えば、特許文献1 参照。）。

[0006] また、共通電極への共通電位の供給を十分に確保するとともに、画素の開口率を向上して明るい表示を得ることができるF F S方式の液晶ディスプレイが開示されている（例えば、特許文献2 参照。）。

[0007] 更に、スリット状開口を有する共通電極の抵抗値を小さくし、フリッカ及びクロストークを低減したF F S方式の液晶パネルが開示されている（例えば、特許文献3 参照。）。

先行技術文献

特許文献

[0008] 特許文献1：特開2008-180928号公報

特許文献2：特開2008-32899号公報

特許文献3：特開2010-8758号公報

発明の概要

発明が解決しようとする課題

[0009] F F S方式の液晶ディスプレイにおいて、アレイ基板は、通常、表示部に対応する領域（以下、表示領域とも言う。）の内と外に設けられた共通電極と、表示領域外に設けられ、共通信号を伝送する配線（以下、共通幹配線とも言う。）とを有し、共通電極には、共通幹配線から共通信号が供給される。

[0010] 特許文献1の図5、7、8（b）等には、共通幹配線に相当するコモン配線

16が開示され、特許文献2の図1、2、7等には、共通幹配線に相当する外周共通電位ライン50が開示されている。そして、コモン配線16は、走査線12（ゲートバスラインに相当）が設けられた導電層よりも上の導電層であって、信号線15（ソースバスラインに相当）と同じ導電層に形成されている。また、外周共通電位ライン50は、ゲートライン14（ゲートバスラインに相当）が設けられた導電層よりも上の導電層であって、表示信号ライン18（ソースバスラインに相当）と同じ導電層に形成されている。

[0011] しかしながら、このように共通幹配線をソースバスラインと同じ導電層に形成した場合、ソースバスライン用の引き出し線を共通幹配線と交差させるためには、引き出し線の層を変更する必要がある、そのためのコンタクトホールを各ソースバスラインに対して形成しなければならない（特許文献2の図7参照。）。しかしながら、表示画面の高精細化に伴い、ソースバスラインのピッチが狭くなり、それに伴って引き出し線の間隔が狭くなった場合、これらのコンタクトホールを全て配置することは、設計上、非常に困難である。また、全てのコンタクトホールを配置できたとしても、それらを一列に並べることはできず、千鳥状のように二列以上に並べる必要が生じる。そのため、その分だけ額縁部が大きくなってしまう。

[0012] 更に、共通電極よりも上に絶縁層を介して画素電極を配置し、共通電極を直接、共通幹配線に接続した場合は、共通電極上の該絶縁層にコンタクトホールを形成するためのパターニング工程と、共通電極よりも下の絶縁層にコンタクトホールを形成するためのパターニング工程とを別々に設ける必要があった。したがって、アレイ基板の製造工程を簡略化するという点で改善の余地があった。

[0013] 本発明は、上記現状に鑑みてなされたものであり、表示画面の高精細化と、額縁部の狭小化と、アレイ基板の製造工程の簡略化とが可能な液晶ディスプレイを提供することを目的とするものである。

課題を解決するための手段

[0014] 本発明者らは、表示画面の高精細化と、額縁部の狭小化と、アレイ基板の製

造工程の簡略化とが可能な液晶ディスプレイについて種々検討したところ、共通幹配線が設けられる導電層に着目した。そして、絶縁基板上に、第一導電層、第一絶縁層、及び、第二導電層をこの順に積層し、共通幹配線を第一導電層に設け、引き出し線を、共通幹配線上において第二導電層に設けることにより、コンタクトホールを介することなく引き出し線をソースバスライン等のバスラインに接続でき、また、共通幹配線を表示領域の近くに配置できることを見いだした。また、第二導電層上に、第二絶縁層、第三導電層、第三絶縁層、及び、第四導電層をこの順に積層し、共通電極を第三導電層に設け、接続電極を介して共通電極を共通幹配線に接続し、接続電極を少なくとも第四導電層に設けることにより、第三絶縁層に設けられるコンタクトホールと、第二絶縁層に設けられるコンタクトホールとを同じパターニング工程で形成できることを見いだした。以上の結果、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

[0015] すなわち、本発明のある側面は、アレイ基板と、表示部と、前記表示部内に配列された複数の画素とを備える液晶ディスプレイであって、前記アレイ基板は、絶縁基板と、前記絶縁基板上の第一導電層と、前記第一導電層上の第一絶縁層と、前記第一絶縁層上の第二導電層と、前記第二導電層上の第二絶縁層と、前記第二絶縁層上の第三導電層と、前記第三導電層上の第三絶縁層と、前記第三絶縁層上の第四導電層と、前記表示部に対応する領域（表示領域）内に設けられた複数のバスラインと、前記領域（表示領域）外に設けられ、対応するバスラインに各々接続された複数の引き出し線と、前記領域（表示領域）の内と外に設けられ、前記複数の画素に共通の信号（共通信号）を供給する電極（共通電極）と、前記領域（表示領域）外に設けられ、前記複数の引き出し線と交差し、前記信号（共通信号）を伝送する配線（共通幹配線）と、前記領域（表示領域）外に設けられ、前記電極（共通電極）を前記配線（共通幹配線）に接続する接続電極とを含み、前記配線（共通幹配線）は、前記第一導電層に設けられ、前記複数の引き出し線は、前記配線（共通幹配線）上において、前記第二導電層に設けられ、前記電極（共通電極）

は、前記第三導電層に設けられ、前記接続電極は、少なくとも第四導電層に設けられる液晶ディスプレイ（以下、本発明に係る液晶ディスプレイとも言う。）である。

[0016] 本発明に係る液晶ディスプレイは、このような構成要素を必須として含む限り、その他の構成要素により特に限定されるものではない。

[0017] なお、本明細書においては、明確化の観点から、バスラインと引き出し線の境界を表示領域の輪郭線上に設定し、バスラインは、表示領域内にあるものとし、引き出し線は、表示領域の周囲の領域（以下、額縁領域とも言う。）内にあるものとする。

[0018] 本発明に係る液晶ディスプレイにおける好ましい実施形態について以下に説明する。なお、以下の好ましい実施形態は、適宜、互いに組み合わせられてもよく、以下の2以上の好ましい実施形態を互いに組み合わせた実施形態もまた、好ましい実施形態の一つである。

[0019] 前記複数の引き出し線は、隣り合う第一及び第二の引き出し線を含み、前記接続電極の前記配線（共通幹配線）との接続部は、前記第一及び第二の引き出し線の間の領域に設けられ、前記接続電極の前記電極（共通電極）との接続部は、前記第一及び第二の引き出し線の間の前記領域に設けられなくてもよい。このように、両接続部を同じ2本の引き出し線の間の領域に設けないことにより、表示画面の更なる高精細化が可能である。

[0020] 前記アレイ基板は、前記領域（表示領域）外かつ前記電極（共通電極）上に前記第三絶縁層がない部分を含み、前記接続電極は、前記第三絶縁層がない前記部分を通して前記電極（共通電極）に接続される形態（以下、形態（1）とも言う。）が好ましい。これにより、接続電極を容易かつ確実に共通電極に接続することができる。

[0021] 前記形態（1）において、前記第三絶縁層がない前記部分は、前記複数の引き出し線上になくてもよい。このように、アレイ基板を平面視したときに、第三絶縁層がない部分が複数の引き出し線に重ならないことにより、共通電極15にピンホールが存在してとしても、第三絶縁層のパターニング工程に

において、第二絶縁層、及び、引き出し線がエッチングされてしまうのを防止することができる。

[0022] 他方、前記形態（１）において、前記第三絶縁層がない前記部分は、前記複数の引き出し線上にあってもよい。このように、アレイ基板を平面視したときに、第三絶縁層がない部分が複数の引き出し線に重なることにより、設計の自由度を向上することができる。

[0023] 前記形態（１）において、前記アレイ基板は、前記配線（共通幹配線）上に、前記第一絶縁層、及び、前記第二絶縁層がない部分を含み、前記第三絶縁層がない前記部分は、前記第一絶縁層、及び、前記第二絶縁層がない前記部分上の領域から、前記電極（共通電極）上の領域まで広がり、前記接続電極は、前記第四導電層に設けられてもよい。これにより、表示画面の更なる高精細化が可能である。

[0024] 前記形態（１）において、前記アレイ基板は、前記配線（共通幹配線）上に、前記第一絶縁層、及び、前記第二絶縁層がない部分を複数含み、前記第三絶縁層がない前記部分は、前記配線（共通幹配線）上において、帯状に広がり、前記アレイ基板を平面視したとき、前記第一絶縁層、及び、前記第二絶縁層がない前記複数の部分と、前記電極（共通電極）の一部とは、前記第三絶縁層がない前記部分内に配置され、前記接続電極は、前記第四導電層に設けられてもよい。これにより、接続電極の共通電極との接続部の面積を大きくすることができる。したがって、両電極の間のコンタクト抵抗を低減することができ、かつ、両電極の間で接続不良が発生するのを抑制することができる。

[0025] 前記接続電極は、前記第二導電層に設けられた下層部と、前記第四導電層に設けられた上層部とを含み、前記アレイ基板は、前記配線（共通幹配線）上に前記第一絶縁層がない部分を含み、かつ、前記下層部上に、前記第二絶縁層、及び、前記第三絶縁層がない部分を含み、前記下層部は、前記第一絶縁層がない前記部分を通して前記配線（共通幹配線）に接続され、前記上層部は、前記第二絶縁層、及び、前記第三絶縁層がない前記部分を通して前記下

層部に接続されてもよい。これにより、第三導電層を形成するためのエッチング時に、共通幹配線を接続電極の下層部で保護することができる。したがって、第三導電層の材料、第三導電層を形成するためのエッチング剤、及び、第一導電層の材料の選択肢を増やすことができる。

[0026] 他方、前記アレイ基板は、前記配線（共通幹配線）上に、前記第一絶縁層、前記第二絶縁層、及び、前記第三絶縁層がない部分を含み、前記接続電極は、前記第四導電層に設けられ、かつ、前記第一絶縁層、前記第二絶縁層、及び、前記第三絶縁層がない前記部分を通して前記配線（共通幹配線）に接続されてもよい。これにより、表示画面の更なる高精細化が可能とである。

[0027] なお、上述の第一絶縁層、第二絶縁層、及び／又は、第三絶縁層がない部分は、例えば開口部のように閉じた部分であってもよいし、例えば切り欠き部や絶縁層の外側の部分のように閉じていない部分であってもよい。また、前記開口部は、所謂コンタクトホールであってもよい。

[0028] 前記第三及び第四導電層は、透明導電層であることが好ましい。これにより、2枚の透明電極によって保持容量を形成することができ、開口率を向上することができる。

[0029] 前記アレイ基板は、薄膜トランジスタを含み、前記薄膜トランジスタは、半導体層を含み、前記半導体層は、酸化物半導体を含むことが好ましい。酸化物半導体を用いてTFTの半導体層を形成した場合、製造プロセス中において一般的にアレイ基板上に形成される静電気破壊（ESD）対策用の素子のサイズは、他の半導体材料（例えばアモルファスシリコン）を用いた場合に比べて大きくする必要がある。しかしながら、本発明に係る液晶ディスプレイによれば、アレイ基板の額縁領域を狭くすることができる。したがって、本発明に係る液晶ディスプレイは、TFTの半導体層の材料として酸化物半導体を用いた場合に特に好適である。

[0030] 前記第二絶縁層は、有機絶縁層を含むことが好ましい。これにより、第二絶縁層の膜厚を容易に厚くすることができる。したがって、寄生容量を低減でき、表示に不具合が発生するのを抑制することができる。

- [0031] 前記第二絶縁層は、無機絶縁層を含み、前記有機絶縁層は、前記無機絶縁層上に積層されることが好ましい。これにより、第二絶縁層の膜厚の確保と、TFT等のスイッチング素子の信頼性の確保とを両立することができる。
- [0032] 前記第二絶縁層は、エッチング剤でエッチング可能な層を含み、前記第三絶縁層は、前記エッチング剤と同じエッチング剤でエッチング可能な層を含むことが好ましい。また、前記第二絶縁層、及び、前記第三絶縁層は各々、同じ材料を用いて形成された層を含んでもよい。このように、第二及び第三絶縁層が各々、同じエッチング剤でエッチング可能な層を含むことにより、第三絶縁層用の絶縁膜と、第二絶縁層用の絶縁膜とを同じ工程で容易にパターンニングすることができる。なお、前記エッチング剤はいずれも、気体でも液体でもよい。
- [0033] 前記第一絶縁層は、下層と、前記下層上に積層された上層とを含むことが好ましい。これにより、表示領域内において、下層にTFTのゲート絶縁膜を設けることができ、また、上層にTFTのチャネル保護層を設けることができる。更に、TFTの半導体層の材料として酸化物半導体を用いた場合は、TFTの特性向上の観点からチャネル保護層を設けることが好ましい。したがって、この実施形態は、TFTの半導体層の材料として酸化物半導体を用いる場合に特に好適である。
- [0034] 前記下層、及び、前記上層は、前記領域（表示領域）外において、前記第一導電層を覆うことが好ましい。これにより、第一導電層に設けられる共通幹配線等の配線をより確実に保護でき、また、寄生容量を低減することができる。

発明の効果

- [0035] 本発明によれば、表示画面の高精細化と、額縁部の狭小化と、アレイ基板の製造工程の簡略化とが可能な液晶ディスプレイを実現することができる。

図面の簡単な説明

- [0036] [図1]実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。

[図2]実施形態1の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、図1中の一点鎖線で囲まれた領域を拡大した図である。

[図3]実施形態1の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図4]図3中のA－B線における断面模式図である。

[図5]実施形態1の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、サブ画素領域の構造を示す。

[図6]図5中のC－D線における断面模式図である。

[図7]実施形態1の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図8]実施形態1の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図9]実施形態2の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図10]図9中のG－H線における断面模式図である。

[図11]実施形態3の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図12]図11中のJ－K線における断面模式図である。

[図13]実施形態4の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図14]図13中のM－N線における断面模式図である。

[図15]実施形態5の液晶ディスプレイに含まれるアレイ基板の平面模式図であり、共通幹配線付近の構造を示す。

[図16]図15中のP－Q線における断面模式図である。

[図17]実施形態6の液晶ディスプレイに含まれるアレイ基板の断面模式図であり、共通幹配線付近の構造を示す。

発明を実施するための形態

[0037] 以下に実施形態を掲げ、本発明を図面に参照して更に詳細に説明するが、本

発明はこれらの実施形態のみに限定されるものではない。

[0038] (実施形態1)

実施形態1の液晶ディスプレイは、アクティブマトリクス駆動方式、かつ、透過型の液晶ディスプレイであり、図1に示すように、液晶パネル1と、液晶パネル1の後方に配置されたバックライト（図示せず）と、液晶パネル1、及び、バックライトユニットを駆動、及び、制御する制御部（図示せず）と、液晶パネル1を制御部に接続するフレキシブル基板（図示せず）とを備えている。

[0039] 本実施形態の液晶ディスプレイは、画像を表示する表示部2を含み、表示部2には、複数の画素3がマトリクス状に配置されている。各画素3は、複数色（例えば、赤、緑、及び、青の3色）のサブ画素4から構成されている。ただし、本実施形態の液晶ディスプレイは、モノクロ液晶ディスプレイであってもよく、その場合は、各画素3を複数のサブ画素に分割する必要はない。

[0040] なお、画素、及び、サブ画素のピッチは特に限定されないが、例えば、サブ画素のピッチは、 $28\mu\text{m} \times 84\mu\text{m}$ であってもよく、後述するソースバスライン12の間隔は、 $20\mu\text{m}$ 未満であってもよい。

[0041] 液晶パネル1は、アクティブマトリクス基板（アレイ基板）7と、アレイ基板7に対向し、カラーフィルタ、ブラックマトリクス等の部材を有する対向基板8と、基板7、8の間に設けられた液晶層（図示せず）と、アレイ基板7の液晶層側の表面上に設けられた水平配向膜（図示せず）と、対向基板8の液晶層側の表面上に設けられた水平配向膜（図示せず）と、アレイ基板7上に実装されたソースバスライン用ドライバチップ5とを有している。アレイ基板7は、液晶ディスプレイの背面側に設けられ、対向基板8は、観察者側に設けられている。各基板7、8の液晶層とは反対側の表面上には、偏光板（図示せず）が貼り付けられている。これらの偏光板は、通常はクロスニコルに配置されている。ドライバチップ5は、アレイ基板7の対向基板8に対向しない領域、すなわち対向基板8からはみ出した領域（以下、張り出し

領域とも言う。)にCOG (Chip On Glass) 技術により実装されている。

[0042] アレイ基板7は、表示部2に対応する領域(表示領域)9と、表示領域9の周囲の領域(額縁領域)10とを含んでいる。アレイ基板7は、表示領域9の左右にモノリシックに形成されたゲートバスライン用ドライバ回路6と、張り出し領域内に形成された複数の端子(図示せず。以下、アレイ端子とも言う。)と、表示領域9内に各々形成された、ソースバスライン12、及び、ゲートバスライン13と、額縁領域10内に各々形成された、ソースバスライン用引き出し線18、及び、ゲートバスライン用引き出し線19と、表示領域9を囲むように額縁領域10内に形成された共通幹配線16と、額縁領域10内に各々形成された複数の入力配線(図示せず)とを有している。ソースバスライン12、及び、ゲートバスライン13は、互いに交差しており、格子状に配置されている。ゲートバスライン13は、右側のドライバ回路6に接続されたゲートバスライン13と、左側のドライバ回路6に接続されたゲートバスライン13とを含み、これらは交互に配置されている。アレイ端子には、ドライバチップ5の出力端子に接続された端子(以下、第一のアレイ端子とも言う。)と、ドライバチップ5の入力端子に接続された端子(以下、第二のアレイ端子とも言う。)と、フレキシブル基板の端子に接続された端子(以下、第三のアレイ端子とも言う。)とが含まれる。各引き出し線18は、対応するソースバスライン12を第一のアレイ端子に接続し、各引き出し線19は、対応するゲートバスライン13をドライバ回路6の出力部に接続している。共通幹配線16は、第三のアレイ端子に接続され、共通幹配線16には、フレキシブル基板を介して制御部から共通信号が入力される。なお、共通信号とは、全ての画素に共通して印可される信号である。各入力配線は、第二のアレイ端子、又は、ドライバ回路6の入力部を、第三のアレイ端子に接続している。なお、モノリシックに形成されたドライバ回路6の代わりに、同様の機能を持つドライバチップをアレイ基板7上に実装してもよい。

[0043] 図2に示すように、ソースバスライン12、及び、ゲートバスライン13によって区画される領域（以下、サブ画素領域とも言う。）がサブ画素に対応している。アレイ基板7は、表示領域9を覆うように形成された共通電極15と、共通幹配線16上に形成された接続電極17とを有している。接続電極17は、下層部17a、及び、上層部17bを含んでいる。共通電極15は、額縁領域10において、接続電極17を介して共通幹配線16に接続されている。各引き出し線18は、共通幹配線16と交差するように共通幹配線16上を通過している。また、引き出し線18の一部は、下層部17aを迂回している。

[0044] 図3及び4を参照して、共通幹配線16付近の構造について詳述する。

アレイ基板7は、透明な絶縁基板11を有しており、絶縁基板11上には、上記第一導電層に相当する第一配線層31と、第一絶縁層51と、上記第二導電層に相当する第二配線層32と、第二絶縁層52と、上記第三導電層に相当する第一透明導電層41と、第三絶縁層53と、上記第四導電層に相当する第二透明導電層42とがこの順に積層されている。第一絶縁層51は、下層51aと、下層51a上に積層された上層51bとを含んでいる。第二絶縁層52は、下層52aと、下層52a上に積層された上層52bとを含んでいる。第一絶縁層51、第二絶縁層52、及び、第三絶縁層53は、共通幹配線16付近では、層間絶縁膜として機能している。

[0045] 共通幹配線16は、第一配線層31に形成され、引き出し線18は、共通幹配線16上において、第二配線層32に形成され、下層部17aは、第二配線層32に形成され、上層部17bは、第二透明導電層42に形成され、共通電極15は、第一透明導電層41に形成されている。下層部17aは、隣り合う2本の引き出し線18の間に設けられ、上層部17bは、複数の引き出し線18を横切るように設けられている。

[0046] 第三絶縁層53には、共通電極15上において、コンタクトホール61が形成されている。第二絶縁層52、及び、第三絶縁層53には、下層部17a上において、コンタクトホール62が形成されている。共通電極15がコン

タクトホール 6 2 に重畳しないように共通電極 1 5 には切り欠き部 1 5 a が形成されている。第一絶縁層 5 1 には、共通幹配線 1 6 上において、コンタクトホール 6 3 が形成されており、コンタクトホール 6 3 は、隣り合う 2 本の引き出し線 1 8 の間に設けられている。

[0047] 上層部 1 7 b は、コンタクトホール 6 1 を通して共通電極 1 5 に接続されるとともに、コンタクトホール 6 2 を通して下層部 1 7 a に接続されている。下層部 1 7 a は、コンタクトホール 6 3 を通して共通幹配線 1 6 に接続されている。このようにして、共通電極 1 5 は、額縁領域 1 0 において、接続電極 1 7 を介して共通幹配線 1 6 に接続され、共通電極 1 5 には共通幹配線 1 6 から共通信号が供給される。

[0048] なお、図 1 に示したように、アレイ基板 7 上にドライバ回路 6 をモノリシックに形成する場合は、ドライバ回路 6 の出力部は、第二配線層 3 2 に設けられ、そこから出力信号が出力される。そのため、ゲートバスライン 1 3 をドライバ回路 6 の出力部に接続する引き出し線 1 9 は、第二配線層 3 2 に設けられ、出力部に接続された部分と、第一配線層 3 1 に設けられ、ゲートバスライン 1 3 に接続された部分とを含み、これらの部分は、共通幹配線 1 6 及び表示領域 9 の間の領域において第一絶縁層 5 1 に形成されたコンタクトホール（図示せず）を介して互いに接続されている。このようにして、引き出し線 1 9 を介してドライバ回路 6 からゲートバスライン 1 3 へ出力信号が供給される。したがって、引き出し線 1 8 が通る表示領域 9 の下辺以外の辺、すなわち、表示領域 9 の左右の辺と、ソースバスライン 1 2 の延長上にあたる表示領域 9 の上辺との近傍においても、共通幹配線 1 6 を第一配線層 3 1 に形成することができる。他方、ドライバ回路 6 の代わりに上記ドライバチップをアレイ基板 7 上に実装した場合は、引き出し線 1 8 が通る表示領域 9 の下辺及び上辺以外の辺、すなわち、表示領域 9 の左右の辺の近傍においては、共通幹配線 1 6 を第二配線層 3 2 に形成することで、第一配線層 3 1 においてコンタクトホールを介さずに引き出し線 1 9 をゲートバスライン 1 3 と一体的に形成することができる。そのため、表示領域 9 の四隅付近におい

て、共通幹配線 1 6 は、第一絶縁層 5 1 に形成されたコンタクトホール（図示せず）を通して第一配線層 3 1 から第二配線層 3 2 に上げられている。そして、共通幹配線 1 6 の第二配線層 3 2 に設けられた部分の下を第一配線層 3 1 に形成されたゲートバスライン 1 3 用の引き出し線 1 9 が通っている。また、共通電極 1 5 は、第二透明導電層 4 2 に設けられた別の接続電極（図示せず）を介して、共通幹配線 1 6 の第二配線層 3 2 に設けられた部分に接続されている。

[0049] 次に、アレイ基板 7 のサブ画素領域の構造を説明する。

図 5、6 に示すように、アレイ基板 7 は、ソースバスライン 1 2、及び、ゲートバスライン 1 3 に接続された T F T 2 O と、T F T 2 O に接続された画素電極 1 4 とを有している。画素電極 1 4 には、互いに平行なスリット 1 4 S が形成されており、画素電極 1 4 は、互いに平行な線状部分を有する。共通電極 1 5 は、全てのサブ画素領域を覆うように設けられている。画素電極 1 4 は、第二透明導電層 4 2 に形成され、第三絶縁層 5 3 を介して共通電極 1 5 上に設けられている。ゲートバスライン 1 3 は、第一配線層 3 1 に形成され、ソースバスライン 1 2 は、第二配線層 3 2 に形成されている。

[0050] 液晶層中の液晶分子（通常はネマチック液晶）は、電圧無印可時、スリット 1 4 S に対して所定の角度をなす方向に、かつ基板 7、8 の表面に対して平行に配向している。

[0051] T F T 2 O は、スイッチング素子として機能し、半導体層 2 1、チャネル保護層 2 6、ゲート電極 2 2、ソース電極 2 3、及び、ドレイン電極 2 4 を含んでいる。ゲート電極 2 2 は、ゲートバスライン 1 3 と一体的に形成されることによってゲートバスライン 1 3 に接続され、ソース電極 2 3 は、ソースバスライン 1 2 と一体的に形成されることによってソースバスライン 1 2 に接続され、ドレイン電極 2 4 は、画素電極 1 4 に接続されている。ソース電極 2 3 及びドレイン電極 2 4 は各々、半導体層 2 1 に接続されている。T F T 2 O がオン状態の時、半導体層 2 1 内にチャネルが形成される。チャネル保護層 2 6 は、半導体層 2 1 上に形成されており、ソース電極 2 3 及びドレ

イン電極 24 のパターニングの際にチャネルをエッチング剤から保護する。チャネル保護層 26 は、第一絶縁層 51 の上層 51b に形成されている。第一絶縁層 51 の下層 51a は、ゲート電極 22、及び、半導体層 21 の間に介在し、TFT 20 のゲート絶縁膜として機能する。第二絶縁層 52 の下層 52a は、パッシベーション膜として機能し、上層 52b は、平坦化膜として機能する。ドレイン電極 24 は、第二配線層 32 に形成され、画素電極 14 は、第二絶縁層 52、及び、第三絶縁層 53 を貫通するコンタクトホール 25 を通して、ドレイン電極 24 に接続されている。また、共通電極 15 がコンタクトホール 25 に重畳しないように、共通電極 15 には開口 15b が形成されている。

[0052] 画素電極 14 には、TFT 20 を介してソースバスライン 12 から画像信号が印加される。他方、共通電極 15 には、共通信号が印加される。そのため、画素電極 14 に画像信号が印加されると、画素電極 14 及び共通電極 15 の間に放物線状に電気力線が発生し、液晶層には画像信号に応じたフリンジ電界が発生する。そして、このフリンジ電界により液晶分子（通常は、正の誘電率異方性を有する。）の配向が制御される。このように、共通電極 15 は、画素電極 14 と対になり、液晶層を駆動する対向電極として機能する。

[0053] また、画素電極 14 は、共通電極 15 と重畳しており、両電極 14、15 の間には第三絶縁層 53 が介在している。更に、共通電極 15 には共通信号が印加される。したがって、画素電極 14 に画像信号が印加されると、これらの透明な部材によって保持容量が形成される。このように、画素電極 14 及び共通電極 15 は、保持容量用の電極としても機能する。また、第三絶縁層 53 は、サブ画素領域において、パッシベーション膜、及び、保持容量の誘電体として機能する。

[0054] 次に、本実施形態の液晶ディスプレイの製造方法について説明する。まず、アレイ基板 7 の製造工程について説明する。

始めに絶縁基板 11 を準備し、そして、下記（１）～（７）の工程を行う。絶縁基板 11 の具体例としては、例えば、ガラス基板、プラスチック基板等

が挙げられる。

[0055] (1) 第一配線層の形成工程

スパッタ法、真空蒸着法等の方法を用いて、絶縁基板 11 上に第一導電膜を形成する。第一導電膜の材料としては、例えばモリブデン (Mo)、チタン (Ti)、アルミニウム (Al)、銅 (Cu)、これらの合金等が挙げられ、第一導電膜は、これらの材料の膜の積層膜であってもよい。次に、フォトリソグラフィ法を用いて第一導電膜をパターニングし、共通幹配線 16、ゲートバスライン 13、入力配線等の第一配線層 31 が形成される。

[0056] (2) 第一絶縁層、及び、半導体層の形成工程

次に、CVD法、スパッタ法等の方法を用いて、第一絶縁膜を形成する。第一絶縁膜の具体例としては、例えば、窒化シリコン膜、酸化シリコン膜、これらの積層膜等が挙げられる。第一絶縁膜の形成後、CVD法、スパッタ法等の方法を用いて、半導体膜を形成する。半導体膜の材料としては、例えば、シリコン等の 14 属元素の半導体、酸化物半導体等が挙げられるが、なかでも酸化物半導体が好適である。酸化物半導体は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、アルミニウム (Al)、及び、シリコン (Si) からなる群より選ばれる少なくとも一種の元素と、酸素 (O) とを含むことが好ましく、In、Ga、Zn、及び、Oを含むことがより好ましい。その後、フォトリソグラフィ法を用いて半導体膜をパターニングし、半導体層 21 が形成される。なお、半導体層 21 の結晶性は特に限定されず、半導体層 21 は、単結晶、多結晶、非晶質、又は、微結晶であってもよく、これらの 2 種以上の結晶構造を含んでもよい。次に、CVD法、スパッタ法等の方法を用いて、第二絶縁膜を形成する。第二絶縁膜の具体例としては、例えば、窒化シリコン膜、酸化シリコン膜、これらの積層膜等が挙げられる。次に、フォトリソグラフィ法を用いて第一絶縁膜及び第二絶縁膜をパターニングし、下層 51a、及び、上層 51bを含む第一絶縁層 51 が形成される。また、チャネル保護層 26、及び、コンタクトホール 63 が形成される。

[0057] なお、本実施形態において、第一絶縁層 5 1 の上層 5 1 b は、省略されてもよいが、T F T 2 0 の半導体層 2 1 の材料として酸化物半導体を用いる場合は、T F T 2 0 の特性向上の観点から、上層 5 1 b を設け、チャネル保護層 2 6 を形成することが好ましい。また、上層 5 1 b を設けることによって、下層 5 1 a、及び、上層 5 1 b の 2 層によって、額縁領域 1 0 において、第一配線層 3 1 を覆うことができる。これにより、第一配線層 3 1 の配線をより確実に保護でき、また、寄生容量を低減することができる。

[0058] (3) 第二配線層の形成工程

次に、スパッタ法、真空蒸着法等の方法を用いて、第二導電膜を形成する。第二導電膜の材料としては、例えば、M o、T i、A l、C u、これらの合金等が挙げられ、第二導電膜は、これらの材料の膜の積層膜であってもよい。次に、フォトリソグラフィ法を用いて第二導電膜をパターニングし、引き出し線 1 8、ソースバスライン 1 2、下層部 1 7 a 等の第二配線層 3 2 が形成される。

[0059] (4) 第二絶縁層の上層の形成工程

次に、C V D 法、スパッタ法等の方法を用いて、第三絶縁膜を形成する。第三絶縁膜の具体例としては、例えば、窒化シリコン膜、酸化シリコン膜、これらの積層膜等が挙げられる。次に、スピコート法、スリットコート法等の方法を用いて、第四絶縁膜を形成する。第四絶縁膜の材料としては、有機材料が好適であり、なかでも、感光性アクリル樹脂等の感光性樹脂が好適である。そして、フォトリソグラフィ法を用いて第四絶縁膜をパターニングし、第二絶縁層 5 2 の上層 5 2 b が形成される。また、第四絶縁膜は、コンタクトホール 6 2 となる領域と、コンタクトホール 2 5 となる領域とで除去される。有機材料を用いて第四絶縁膜を形成することによって、第二絶縁層 5 2 の膜厚を容易に厚くすることができる。したがって、共通電極 1 5 と、ソースバスライン 1 2 等の第二配線層 3 2 に形成された配線との間の寄生容量を低減でき、表示に不具合が発生するのを抑制することができる。また、第四絶縁膜の材料として感光性樹脂を用いることによって、露光処理、及び

、現像処理のみで第四絶縁膜のパターニングを完了することができる。

[0060] (5) 第一透明導電層の形成工程

次に、スパッタ法を用いて、第一透明導電膜を形成する。第一透明導電膜の材料としては、例えば、インジウム酸化スズ (ITO: Indium Tin Oxide)、酸化インジウム亜鉛 (IZO: Indium Zinc Oxide) 等が挙げられる。次に、フォトリソグラフィー法を用いて第一透明導電膜をパターニングし、共通電極 15 等の第一透明導電層 41 が形成される。

[0061] (6) 第二絶縁層の下層、及び、第三絶縁層の形成工程

次に、CVD法、スパッタ法等の方法を用いて、第五絶縁膜を形成する。第五絶縁膜の具体例としては、例えば、窒化シリコン膜、酸化シリコン膜、これらの積層膜等が挙げられる。そして、フォトリソグラフィー法を用いて第三絶縁膜、及び、第五絶縁膜を同じ工程でパターニングし、第二絶縁層 52 の下層 52a、及び、第三絶縁層 53 が形成される。このとき、第三絶縁膜、及び、第五絶縁膜は、同じエッチング剤により連続してエッチングされる。また、第三絶縁膜は、コンタクトホール 62 となる領域と、コンタクトホール 25 となる領域とで除去され、第五絶縁膜は、コンタクトホール 61 となる領域と、コンタクトホール 25 となる領域とで除去され、この段階で、コンタクトホール 62、25 が完成する。第二絶縁層 52、及び、第三絶縁層 53 が各々、同じエッチング剤でエッチング可能な層を含むことにより、第三絶縁膜と、第五絶縁膜とを同じ工程で容易にパターニングすることができる。

[0062] また、本実施形態では、コンタクトホール 61 は、引き出し線 18 上に形成されていない。そのため、コンタクトホール 61 内において例えば共通電極 15 にピンホールが存在したとしても、第五絶縁膜用のエッチング剤がピンホールを通して、第二絶縁層 52、及び、引き出し線 18 をもエッチングしてしまうのを効果的に防止することができる。

[0063] なお、本実施形態において、第二絶縁層 52 の上層 52b は、省略されても

よいが、その場合は、省略しない場合に比べて、下層 5 2 a の膜厚は大きく設定される。第二絶縁層 5 2 の膜厚が小さいと、共通電極 1 5 と、ソースバスライン 1 2 等の第二配線層 3 2 に形成された配線との間の寄生容量が大きくなり、表示に不具合が発生するおそれがあるためである。ただし、下層 5 2 a のみを形成する場合は、通常、第三絶縁膜の成膜時間が長くなってしまうため、時間短縮の観点からは上層 5 2 b を形成することが好ましい。また、第二絶縁層 5 2 を有機絶縁膜のみから形成することも考えられ、その場合は、第二絶縁層 5 2 の膜厚を容易に大きくすることができる。しかしながら、TFT 2 0 の直ぐ上に有機絶縁膜が形成されることになり、TFT 2 0 の信頼性を損なうおそれがある。他方、第二絶縁層 5 2 の下層 5 2 a を窒化シリコン、酸化シリコン等の無機絶縁材料を用いて形成することによって、TFT 2 0 の信頼性の低下を防止することができる。したがって、第二絶縁層 5 2 の膜厚の確保と、TFT 2 0 の信頼性の確保とを容易に両立する観点からは、第二絶縁層 5 2 は、無機絶縁層と、無機絶縁層上に積層された有機絶縁層とを含むことが好ましい。

[0064] (7) 第二透明導電層の形成工程

次に、スパッタ法を用いて、第二透明導電膜を形成する。第二透明導電膜の材料としては、例えば、ITO、IZO等が挙げられる。次に、フォトリソグラフィ法を用いて第二透明導電膜をパターニングし、画素電極 1 4、上層部 1 7 b 等の第二透明導電層 4 2 が形成される。

[0065] その後、セル組み立て工程において、アレイ基板 7 と、別途作製した対向基板 8 との各表面上に、ポリイミド等の有機樹脂を含む水平配向膜を塗布形成する。そして、ラビング処理、光配向処理等の方法を用いて、液晶分子が所定の方向に初期配向するように各配向膜に配向処理を施す。

[0066] 次に、アレイ基板 7 及び対向基板 8 のいずれかの上に表示領域を囲むようにシール材を塗布し、アレイ基板 7 と対向基板 8 とを互いの配向膜が対向するように重ね、そして、両基板をシール材によって貼り合わせる。なお、アレイ基板 7 及び対向基板 8 のいずれかにはセルギャップを保持するための柱状ス

ペーサを予め形成しておく。この結果、両基板の間には数 μ m程度の隙間（セルギャップ）が形成される。その後、シール材で囲まれた空間に液晶材料を封入し、液晶層を形成する。

[0067] このようにして形成された液晶セルの両表面上に、偏光板及び位相板（任意）を貼り付けた後、ドライバチップ5を実装して、液晶パネル1が完成する。

[0068] その後、液晶パネル1にフレキシブル基板を接続し、制御部及びバックライトユニットを取り付け、これらを筐体に収納することにより、実施形態1の液晶ディスプレイが完成する。

[0069] 本実施形態においては、共通幹配線16は、第一配線層31に形成され、引き出し線18は、第二配線層32に形成されている。そのため、第二配線層32に形成されたソースバスライン12と、共通幹配線16との間において、各引き出し線18を下の配線層に繋ぎ替えるためのコンタクトホールを形成する必要がない。したがって、表示画面の高精細化に伴ってソースバスライン12のピッチが狭くなったとしても、引き出し線18に交差して共通幹配線16を配置でき、引き出し線18に交差する領域において共通電極15への共通信号の入力経路を確保することができる。また、各引き出し線18を繋ぎ替えるためのコンタクトホールを形成する必要がないので、表示領域9と、共通幹配線16との間隔を狭くすることができ、その結果、額縁領域10を狭くすることができる。

[0070] また、本実施形態では、コンタクトホール61とコンタクトホール62を1以上の引き出し線18を挟んで離して配置している。すなわち、図4に示すように、接続電極17の共通幹配線16との接続部17cと、接続電極17の共通電極15との接続部17dとを、同じ2本の引き出し線18の間の領域に設けていない。したがって、表示画面の更なる高精細化が可能である。また、各コンタクトホール61、62、63の大きさを十分に確保することができるので、コンタクト不良の発生を防止でき、共通電極15へ安定的に共通信号を入力することができる。その結果、シャドーイング、フリッカ等

の表示不良が発生するのを抑制できる。

[0071] なお、本実施形態において、コンタクトホール61とコンタクトホール62との間に配置される引き出し線18の本数は特に限定されず、例えば、図7に示すように2本でもよいし、図8に示すように1本でもよい。

[0072] ところで、共通幹配線16の配置場所に関しては、特許文献2の図3～6に示されるように、ソースバスライン12用の引き出し線18が通る領域に共通幹配線16を設けないことも考えられる。しかしながら、その場合は、共通電極15内において電位が安定せず、その結果、シャドーイング、フリッカ等の表示不良が発生するおそれがある。これは、電気抵抗が比較的大きい透明導電膜から共通電極15が形成されるためである。それに対して、本実施形態では、上述のように、ソースバスライン12用の引き出し線18に交差する領域において共通電極15への共通信号の入力経路を確保することができる。したがって、共通電極15へ安定的に共通信号を入力することができ、シャドーイング、フリッカ等の表示不良が発生するのを抑制できる。

[0073] また、酸化物半導体を用いて半導体層21を形成した場合は、製造プロセス中において一般的にアレイ基板上に形成される静電気破壊（ESD）対策用の素子のサイズは、他の半導体材料（例えばアモルファスシリコン）を用いた場合に比べて大きくする必要がある。しかしながら、本実施形態によれば、アレイ基板7の額縁領域10を狭くすることができる。したがって、本実施形態の液晶ディスプレイは、TFT20の半導体層21の材料として酸化物半導体を用いた場合に特に好適である。

[0074] また、本実施形態では、接続電極17が下層部17aを含むことから、第一透明導電層41を形成するためのエッチング時に、共通幹配線16を接続電極の下層部17aで保護することができる。したがって、第一透明導電層41の材料、第一透明導電層41を形成するためのエッチング剤、及び、第一配線層31の材料の選択肢を増やすことができる。

[0075] また、本実施形態では、図2に示すように、引き出し線18は、共通幹配線16よりも外側の領域において、一本置きに、コンタクトホール27を介し

て第一配線層に繋ぎ替えられている。そして、第一配線層 3 1 にある引き出し線 1 8 と、第二配線層 3 2 にある引き出し線 1 8 とが交互に配置されている。これにより、引き出し配線 1 8 の間隔を非常に狭くすることができる。なお、コンタクトホール 2 7 は、第一絶縁層 5 1 に形成されている。

[0076] (実施形態 2)

実施形態 2 の液晶ディスプレイは、共通幹配線付近の構造が異なることを除いて、実施形態 1 の液晶ディスプレイと実質的に同じである。

[0077] 本実施形態の液晶ディスプレイに含まれるアレイ基板は、図 9、10 に示すように、透明な絶縁基板 2 1 1 を有しており、絶縁基板 2 1 1 上には、上記第一導電層に相当する第一配線層 2 3 1 と、第一絶縁層 2 5 1 と、上記第二導電層に相当する第二配線層 2 3 2 と、第二絶縁層 2 5 2 と、上記第三導電層に相当する第一透明導電層 2 4 1 と、第三絶縁層 2 5 3 と、上記第四導電層に相当する第二透明導電層 2 4 2 とがこの順に積層されている。第一絶縁層 2 5 1 は、下層 2 5 1 a と、下層 2 5 1 a 上に積層された上層 2 5 1 b とを含んでいる。第二絶縁層 2 5 2 は、下層 2 5 2 a と、下層 2 5 2 a 上に積層された上層 2 5 2 b とを含んでいる。

[0078] また、本実施形態に係るアレイ基板は、第一配線層 2 3 1 に形成された共通幹配線 2 1 6 と、共通幹配線 2 1 6 上において第二配線層 2 3 2 に形成された引き出し線 2 1 8 と、第二透明導電層 2 4 2 に形成された接続電極 2 1 7 と、第一透明導電層 2 4 1 に形成された共通電極 2 1 5 とを有している。接続電極 2 1 7 は、複数の引き出し線 2 1 8 を横切るように設けられている。

[0079] 第三絶縁層 2 5 3 には、共通電極 2 1 5 上において、コンタクトホール 2 6 1 が形成されている。第一絶縁層 2 5 1、第二絶縁層 2 5 2、及び、第三絶縁層 2 5 3 には、共通幹配線 2 1 6 上において、コンタクトホール 2 6 2 が形成されており、コンタクトホール 2 6 2 は、隣り合う 2 本の引き出し線 2 1 8 の間に設けられている。共通電極 2 1 5 がコンタクトホール 2 6 2 に重畳しないように共通電極 2 1 5 には切り欠き部 2 1 5 a が形成されている。

[0080] 接続電極 2 1 7 は、コンタクトホール 2 6 1 を通して共通電極 2 1 5 に接続

されるとともに、コンタクトホール 2 6 2 を通して共通幹配線 2 1 6 に接続されている。このようにして、共通電極 2 1 5 は、額縁領域において、接続電極 2 1 7 を介して共通幹配線 2 1 6 に接続され、共通電極 2 1 5 には共通幹配線 2 1 6 から共通信号が供給される。

[0081] 本実施形態の液晶ディスプレイは、アレイ基板以外については、実施形態 1 で説明した方法により作製することができる。また、本実施形態に係るアレイ基板の製造方法についても、以下の点を除いて、実施形態 1 で説明した方法と実質的に同じである。本実施形態では、半導体層の形成後に第一及び第二絶縁膜をパターニングせず、第三及び第五絶縁膜のパターニング時に同時に第一及び第二絶縁膜をパターニングする。

[0082] 本実施形態によれば、実施形態 1 で設けられていた、下層部 1 7 a と、コンタクトホール 6 3 とを省略することができる。したがって、実施形態 1 に比べて、より高精細な液晶ディスプレイを実現することができる。

[0083] (実施形態 3)

実施形態 3 の液晶ディスプレイは、共通幹配線付近の構造が異なることを除いて、実施形態 1 の液晶ディスプレイと実質的に同じである。

[0084] 本実施形態の液晶ディスプレイに含まれるアレイ基板は、図 1 1、1 2 に示すように、透明な絶縁基板 3 1 1 を有しており、絶縁基板 3 1 1 上には、上記第一導電層に相当する第一配線層 3 3 1 と、第一絶縁層 3 5 1 と、上記第二導電層に相当する第二配線層 3 3 2 と、第二絶縁層 3 5 2 と、上記第三導電層に相当する第一透明導電層 3 4 1 と、第三絶縁層 3 5 3 と、上記第四導電層に相当する第二透明導電層 3 4 2 とがこの順に積層されている。第一絶縁層 3 5 1 は、下層 3 5 1 a と、下層 3 5 1 a 上に積層された上層 3 5 1 b とを含んでいる。第二絶縁層 3 5 2 は、下層 3 5 2 a と、下層 3 5 2 a 上に積層された上層 3 5 2 b とを含んでいる。

[0085] また、本実施形態に係るアレイ基板は、第一配線層 3 3 1 に形成された共通幹配線 3 1 6 と、共通幹配線 3 1 6 上において第二配線層 3 3 2 に形成された引き出し線 3 1 8 と、接続電極 3 1 7 と、第一透明導電層 3 4 1 に形成さ

れた共通電極 3 1 5 とを有している。接続電極 3 1 7 は、第二配線層 3 3 2 に形成された下層部 3 1 7 a と、第二透明導電層 3 4 2 に形成された上層部 3 1 7 b とを含んでいる。下層部 3 1 7 a は、隣り合う 2 本の引き出し線 3 1 8 の間に設けられ、上層部 3 1 7 b は、下層部 3 1 7 a 上の領域から下層部 3 1 7 a に隣接する引き出し線 3 1 8 上の領域まで延伸されている。

[0086] 第三絶縁層 3 5 3 には、共通電極 3 1 5 上において、コンタクトホール 3 6 1 が形成されている。第二絶縁層 3 5 2、及び、第三絶縁層 3 5 3 には、下層部 3 1 7 a 上において、コンタクトホール 3 6 2 が形成されている。共通電極 3 1 5 がコンタクトホール 3 6 2 に重畳しないように共通電極 3 1 5 には切り欠き部 3 1 5 a が形成されている。第一絶縁層 3 5 1 には、共通幹配線 3 1 6 上において、コンタクトホール 3 6 3 が形成されており、コンタクトホール 3 6 3 は、隣り合う 2 本の引き出し線 3 1 8 の間に設けられている。

[0087] 上層部 3 1 7 b は、コンタクトホール 3 6 1 を通して共通電極 3 1 5 に接続されるとともに、コンタクトホール 3 6 2 を通して下層部 3 1 7 a に接続されている。下層部 3 1 7 a は、コンタクトホール 3 6 3 を通して共通幹配線 3 1 6 に接続されている。このようにして、共通電極 3 1 5 は、額縁領域において、接続電極 3 1 7 を介して共通幹配線 3 1 6 に接続され、共通電極 3 1 5 には共通幹配線 3 1 6 から共通信号が供給される。

[0088] 本実施形態の液晶ディスプレイは、実施形態 1 で説明した方法により作製することができる。

[0089] 本実施形態では、コンタクトホール 3 6 1 が引き出し線 3 1 8 上に設けられており、コンタクトホール 3 6 1 を配置するためのスペースを隣り合う 2 本の引き出し線 3 1 8 の間に設ける必要がない。したがって、実施形態 1 に比べて、より高精細な液晶ディスプレイを実現することができる。また、設計の自由度を向上することができる。

[0090] (実施形態 4)

実施形態 4 の液晶ディスプレイは、共通幹配線付近の構造が異なることを除

いて、実施形態１の液晶ディスプレイと実質的に同じである。

[0091] 本実施形態の液晶ディスプレイに含まれるアレイ基板は、図１３、１４に示すように、透明な絶縁基板４１１を有しており、絶縁基板４１１上には、上記第一導電層に相当する第一配線層４３１と、第一絶縁層４５１と、上記第二導電層に相当する第二配線層４３２と、第二絶縁層４５２と、上記第三導電層に相当する第一透明導電層４４１と、第三絶縁層４５３と、上記第四導電層に相当する第二透明導電層４４２とがこの順に積層されている。第一絶縁層４５１は、下層４５１ａと、下層４５１ａ上に積層された上層４５１ｂとを含んでいる。第二絶縁層４５２は、下層４５２ａと、下層４５２ａ上に積層された上層４５２ｂとを含んでいる。

[0092] また、本実施形態に係るアレイ基板は、第一配線層４３１に形成された共通幹配線４１６と、共通幹配線４１６上において第二配線層４３２に形成された引き出し線４１８と、第二透明導電層４４２に形成された接続電極４１７と、第一透明導電層４４１に形成された共通電極４１５とを有している。接続電極４１７は、ある引き出し線４１８上の領域からそれに隣接する引き出し線４１８上の領域まで延伸されている。

[0093] 第一絶縁層４５１、及び、第二絶縁層４５２には、共通幹配線４１６上において、コンタクトホール４６２が形成されている。共通電極４１５がコンタクトホール４６２に重畳しないように共通電極４１５には切り欠き部４１５ａが形成されている。第三絶縁層４５３には、共通幹配線４１６上において、開口４６１が形成されており、開口４６１は、コンタクトホール４６２と同じ場所に、コンタクトホール４２６よりも大きく形成されている。また、開口４６１の一部は、共通電極４１５上に位置しており、共通電極４１５の一部は第三絶縁層４５３によって覆われていない。

[0094] 接続電極４１７は、開口４６１を覆うように形成されることによって共通電極４１５に接触し、共通電極４１５に接続されている。また、接続電極４１７は、コンタクトホール４６２を通して共通幹配線４１６に接続されている。このようにして、共通電極４１５は、額縁領域において、接続電極４１７

を介して共通幹配線 4 1 6 に接続され、共通電極 4 1 5 には共通幹配線 4 1 6 から共通信号が供給される。

[0095] 本実施形態の液晶ディスプレイは、実施形態 2 で説明した方法により作製することができる。

[0096] 本実施形態によれば、実施形態 1 で設けられていた、下層部 1 7 a と、コンタクトホール 6 3 とを省略することができる。また、開口 4 6 1 は、コンタクトホール 4 6 2 上の領域から、共通電極 4 1 5 上の領域まで広がっているため、すなわち、接続電極 4 1 7 の共通幹配線 4 1 6 との接続部と、接続電極 4 1 7 の共通電極 4 1 5 との接続部との間に第三絶縁層 4 5 3 がいないため、両接続部を互いに非常に近くに配置することができる。したがって、実施形態 1 及び 2 に比べて、より高精細な液晶ディスプレイを実現することができる。

[0097] (実施形態 5)

実施形態 5 の液晶ディスプレイは、共通幹配線付近の構造が異なることを除いて、実施形態 1 の液晶ディスプレイと実質的に同じである。

[0098] 本実施形態の液晶ディスプレイに含まれるアレイ基板は、図 1 5、1 6 に示すように、透明な絶縁基板 5 1 1 を有しており、絶縁基板 5 1 1 上には、上記第一導電層に相当する第一配線層 5 3 1 と、第一絶縁層 5 5 1 と、上記第二導電層に相当する第二配線層 5 3 2 と、第二絶縁層 5 5 2 と、上記第三導電層に相当する第一透明導電層 5 4 1 と、第三絶縁層（図示せず）と、上記第四導電層に相当する第二透明導電層 5 4 2 とがこの順に積層されている。第一絶縁層 5 5 1 は、下層 5 5 1 a と、下層 5 5 1 a 上に積層された上層 5 5 1 b とを含んでいる。第二絶縁層 5 5 2 は、下層 5 5 2 a と、下層 5 5 2 a 上に積層された上層 5 5 2 b とを含んでいる。

[0099] また、本実施形態に係るアレイ基板は、第一配線層 5 3 1 に形成された共通幹配線 5 1 6 と、共通幹配線 5 1 6 上において第二配線層 5 3 2 に形成された引き出し線 5 1 8 と、第二透明導電層 5 4 2 に形成された接続電極 5 1 7 と、第一透明導電層 5 4 1 に形成された共通電極 5 1 5 とを有している。接

続電極 5 1 7 は、複数の引き出し線 5 1 8 を横切るように設けられている。

[0100] 第一絶縁層 5 5 1、及び、第二絶縁層 5 5 2 には、共通幹配線 5 1 6 上において、コンタクトホール 5 6 2 が形成されており、コンタクトホール 5 6 2 は、隣り合う 2 本の引き出し線 5 1 8 の間に 1 つずつ設けられている。共通電極 5 1 5 がコンタクトホール 5 6 2 に重畳しないように共通電極 5 1 5 には切り欠き部 5 1 5 a が形成されている。第三絶縁層には、共通幹配線 5 1 6 上において、開口 5 6 1 が帯状に形成されている。アレイ基板を平面視したとき、開口 5 6 1 内には複数のコンタクトホール 5 6 2 が配置されている。また、開口 5 6 1 の一部は、共通電極 5 1 5 上に位置している。

[0101] 接続電極 5 1 7 は、開口 5 6 1 を覆うように形成されることによって共通電極 5 1 5 に接触し、共通電極 5 1 5 に接続されている。また、接続電極 5 1 7 は、コンタクトホール 5 6 2 を通して共通幹配線 5 1 6 に接続されている。このようにして、共通電極 5 1 5 は、額縁領域において、接続電極 5 1 7 を介して共通幹配線 5 1 6 に接続され、共通電極 5 1 5 には共通幹配線 5 1 6 から共通信号が供給される。

[0102] 本実施形態の液晶ディスプレイは、実施形態 2 で説明した方法により作製することができる。

[0103] 本実施形態によれば、実施形態 1 で設けられていた、下層部 1 7 a と、コンタクトホール 6 3 とを省略することができる。また、開口 5 6 1 は、共通幹配線 5 1 6 上において、帯状に広がり、アレイ基板を平面視したとき、コンタクトホール 5 6 2 と、共通電極 5 1 5 の一部とは、開口 5 6 1 内に配置されるため、すなわち、接続電極 5 1 7 の共通幹配線 5 1 6 との接続部と、接続電極 5 1 7 の共通電極 5 1 5 との接続部との間に第三絶縁層がないため、両接続部を互いに非常に近くに配置することができる。したがって、実施形態 1 及び 2 に比べて、より高精細な液晶ディスプレイを実現することができる。

[0104] 更に、接続電極 5 1 7 の共通電極 5 1 5 との接続部の面積を大きくすることができる。したがって、実施形態 1 ～ 4 に比べて、両電極の間のコンタクト

抵抗を低減することができ、かつ、両電極の間で接続不良が発生するのを抑制することができる。

[0105] (実施形態6)

実施形態6の液晶ディスプレイは、共通幹配線付近の構造が異なることを除いて、実施形態1の液晶ディスプレイと実質的に同じである。

[0106] 本実施形態の液晶ディスプレイに含まれるアレイ基板は、図17に示すように、透明な絶縁基板611を有しており、絶縁基板611上には、上記第一導電層に相当する第一配線層631と、第一絶縁層651と、上記第二導電層に相当する第二配線層632と、第二絶縁層652と、上記第三導電層に相当する第一透明導電層641と、第三絶縁層653と、上記第四導電層に相当する第二透明導電層642とがこの順に積層されている。第一絶縁層651は、下層651aと、下層651a上に積層された上層651bとを含んでいる。第二絶縁層652は、下層652aと、下層652a上に積層された上層652bとを含んでいる。

[0107] また、本実施形態に係るアレイ基板は、第一配線層631に形成された共通幹配線616と、共通幹配線616上において第二配線層632に形成された引き出し線618と、第二透明導電層642に形成された接続電極617と、第一透明導電層641に形成された共通電極615とを有している。接続電極617は、第二配線層632に形成された下層部617aと、第二透明導電層642に形成された上層部617bとを含んでいる。接続電極617（下層部617a、及び、上層部617b）は、隣り合う2本の引き出し線618の間に設けられている。

[0108] 第三絶縁層653には、共通電極615上において、コンタクトホール661が形成されている。第二絶縁層652、及び、第三絶縁層653には、下層部617a上において、コンタクトホール662が形成されている。共通電極615がコンタクトホール662に重畳しないように共通電極615には切り欠き部615aが形成されている。第一絶縁層651には、共通幹配線616上において、コンタクトホール663が形成されている。コンタク

トホール 6 6 1、6 6 2、6 6 3 は、隣り合う 2 本の引き出し線 6 1 8 の間に設けられている。

[0109] 上層部 6 1 7 b は、コンタクトホール 6 6 1 を通して共通電極 6 1 5 に接続されるとともに、コンタクトホール 6 6 2 を通して下層部 6 1 7 a に接続されている。下層部 6 1 7 a は、コンタクトホール 6 6 3 を通して共通幹配線 6 1 6 に接続されている。このようにして、共通電極 6 1 5 は、額縁領域において、接続電極 6 1 7 を介して共通幹配線 6 1 6 に接続され、共通電極 6 1 5 には共通幹配線 6 1 6 から共通信号が供給される。

[0110] 本実施形態の液晶ディスプレイは、実施形態 1 で説明した方法により作製することができる。

[0111] 本実施形態では、隣り合う 2 本の引き出し線 6 1 8 の間に 3 つのコンタクトホール 6 6 1、6 6 2、6 6 3 が配置されていることから、実施形態 1 に比べて高精細化には不利である。しかしながら、接続電極 6 1 7 は、隣り合う 2 本の引き出し線 6 1 8 の間の各領域に配置する必要はないことから、各バスラインにコンタクトホールを設ける場合に比べたら高精細化に有利である。

[0112] なお、各実施形態において、共通電極と共通幹配線とを互いに接続する接続構造の数と配置場所は特に限定されず、適宜設定することができる。また、複数の接続構造を配置する場合、少なくとも 1 つの接続構造が上述のいずれかの特徴を有すればよく、全ての接続構造が上述のいずれかの特徴を有する必要はない。

[0113] また、実施形態 1 ～ 6 は、互いに組み合わせられてもよく、例えば、異なる実施形態の接続構造を同じアレイ基板に設けてもよい。

[0114] また、実施形態 1 ～ 6 では、F F S 方式の液晶ディスプレイについて説明したが、各ディスプレイの表示方式は特に限定されない。例えば、櫛歯構造を各々有する共通電極、及び、画素電極を用いた面内スイッチング（I P S : I n - P l a n e S w i t c h i n g）方式、T B A（T r a n s v e r s e B e n d A l i g n m e n t）方式等の表示方式であってもよい。

なお、T B A方式においては、液晶層は、負の誘電率異方性を有するネマチック液晶分子を含み、該液晶分子は、電圧無印可時、垂直配向し、アレイ基板は、一对の電極（例えば、櫛歯構造を各々有する共通電極、及び、画素電極）を含み、該電極の間に発生する横電界によって液晶分子をベンド状に配向させる。なかでも、実施形態1～6の液晶ディスプレイの表示方式としては、透明な共通電極と、透明な画素電極と、両電極間の誘電体とを備え（以下、このような構造を透明C s構造とも言う。）、これらの部材によって保持容量が形成される表示方式が好適であり、そのような表示方式としては、例えば、透明C s構造を備えたC P A（C o n t i n u o u s P i n w h e e l A l i g n m e n t）方式が挙げられる。なお、透明C s構造を備えたC P A方式においては、液晶層は、負の誘電率異方性を有するネマチック液晶分子を含み、該液晶分子は、電圧無印可時、垂直配向し、アレイ基板は、透明な共通電極と、該共通電極上の絶縁層と、該絶縁層上の透明な画素電極とを備え、対向基板は、画素電極に対向する透明な対向電極と、該対向電極上に設けられた点状の突起（リベット）とを備え、該画素電極と該対向電極との間に発生する縦電界によって突起を中心に液晶分子を放射状に配向させる。

[0115] また、実施形態1では、表示領域の全周に共通幹配線を配置した場合について説明したが、各実施形態において、共通幹配線は、第二導電層に設けられた引き出し線と交差するように配置される限り、その配置場所は特に限定されず、例えば、共通幹配線は、表示領域の下辺近傍のみに配置されてもよい。

[0116] また、実施形態1～6では、透過型の液晶ディスプレイについて説明したが、各液晶ディスプレイは、反射型又は半透過型であってもよい。反射型の場合は、例えば、第三導電膜に相当する第一透明導電膜の代わりに、表面が高反射率の導電膜を用いればよい。そのような導電膜の材料としては、例えば、A l、銀（A g）、プラチナ（P t）、これらの合金等が挙げられ、この導電膜は、これらの材料の膜の積層膜であってもよい。

[0117] また、実施形態 1 ～ 6 では、共通幹配線上において、共通電極に切り欠き部を形成したが、その代わりに開口部を設けてもよい。

符号の説明

- [0118] 1 : 液晶パネル
2 : 表示部
3 : 画素
4 : サブ画素
5 : ソースバスライン用ドライバチップ
6 : ゲートバスライン用ドライバ回路
7 : アレイ基板
8 : 対向基板
9 : 表示領域
10 : 額縁領域
11 : 絶縁基板
12 : ソースバスライン
13 : ゲートバスライン
14 : 画素電極
14S : スリット
15 : 共通電極
15a : 切り欠き部
15b : 開口
16 : 共通幹配線
17 : 接続電極
17a : 下層部
17b : 上層部
17c、17d : 接続部
18、19 : 引き出し線
20 : TFT

- 2 1 : 半導体層
- 2 2 : ゲート電極
- 2 3 : ソース電極
- 2 4 : ドレイン電極
- 2 5、2 7、6 1、6 2、6 3 : コンタクトホール
- 2 6 : チャネル保護層
- 3 1 : 第一配線層（第一導電層）
- 3 2 : 第二配線層（第二導電層）
- 4 1 : 第一透明導電層（第三導電層）
- 4 2 : 第二透明導電層（第四導電層）
- 5 1 : 第一絶縁層
 - 5 1 a : 下層
 - 5 1 b : 上層
- 5 2 : 第二絶縁層
 - 5 2 a : 下層
 - 5 2 b : 上層
- 5 3 : 第三絶縁層

請求の範囲

- [請求項1] アレイ基板と、表示部と、前記表示部内に配列された複数の画素とを備える液晶ディスプレイであって、
前記アレイ基板は、絶縁基板と、
前記絶縁基板上の第一導電層と、
前記第一導電層上の第一絶縁層と、
前記第一絶縁層上の第二導電層と、
前記第二導電層上の第二絶縁層と、
前記第二絶縁層上の第三導電層と、
前記第三導電層上の第三絶縁層と、
前記第三絶縁層上の第四導電層と、
前記表示部に対応する領域内に設けられた複数のバスラインと、
前記領域外に設けられ、対応するバスラインに各々接続された複数の引き出し線と、
前記領域の内と外に設けられ、前記複数の画素に共通の信号を供給する電極と、
前記領域外に設けられ、前記複数の引き出し線と交差し、前記信号を伝送する配線と、
前記領域外に設けられ、前記電極を前記配線に接続する接続電極とを含み、
前記配線は、前記第一導電層に設けられ、
前記複数の引き出し線は、前記配線上において、前記第二導電層に設けられ、
前記電極は、前記第三導電層に設けられ、
前記接続電極は、少なくとも第四導電層に設けられる液晶ディスプレイ。
- [請求項2] 前記複数の引き出し線は、隣り合う第一及び第二の引き出し線を含み、
、

前記接続電極の前記配線との接続部は、前記第一及び第二の引き出し線との間の領域に設けられ、

前記接続電極の前記電極との接続部は、前記第一及び第二の引き出し線との間の前記領域に設けられない請求項 1 記載の液晶ディスプレイ。

[請求項3] 前記アレイ基板は、前記領域外かつ前記電極上に前記第三絶縁層がない部分を含み、

前記接続電極は、前記第三絶縁層がない前記部分を通して前記電極に接続される請求項 1 又は 2 記載の液晶ディスプレイ。

[請求項4] 前記第三絶縁層がない前記部分は、前記複数の引き出し線上にない請求項 3 記載の液晶ディスプレイ。

[請求項5] 前記第三絶縁層がない前記部分は、前記複数の引き出し線上にある請求項 3 記載の液晶ディスプレイ。

[請求項6] 前記アレイ基板は、前記配線上に、前記第一絶縁層、及び、前記第二絶縁層がない部分を含み、

前記第三絶縁層がない前記部分は、前記第一絶縁層、及び、前記第二絶縁層がない前記部分上の領域から、前記電極上の領域まで広がり、前記接続電極は、前記第四導電層に設けられる請求項 3 記載の液晶ディスプレイ。

[請求項7] 前記アレイ基板は、前記配線上に、前記第一絶縁層、及び、前記第二絶縁層がない部分を複数含み、

前記第三絶縁層がない前記部分は、前記配線上において、帯状に広がり、

前記アレイ基板を平面視したとき、前記第一絶縁層、及び、前記第二絶縁層がない前記複数の部分と、前記電極の一部とは、前記第三絶縁層がない前記部分内に配置され、

前記接続電極は、前記第四導電層に設けられる請求項 3 記載の液晶ディスプレイ。

[請求項8] 前記接続電極は、前記第二導電層に設けられた下層部と、前記第四導

電層に設けられた上層部とを含み、

前記アレイ基板は、前記配線上に前記第一絶縁層がない部分を含み、
かつ、前記下層部上に、前記第二絶縁層、及び、前記第三絶縁層がない部分を含み、

前記下層部は、前記第一絶縁層がない前記部分を通して前記配線に接続され、

前記上層部は、前記第二絶縁層、及び、前記第三絶縁層がない前記部分を通して前記下層部に接続される請求項 1 ～ 7 のいずれかに記載の液晶ディスプレイ。

[請求項9] 前記アレイ基板は、前記配線上に、前記第一絶縁層、前記第二絶縁層、及び、前記第三絶縁層がない部分を含み、

前記接続電極は、前記第四導電層に設けられ、かつ、前記第一絶縁層、前記第二絶縁層、及び、前記第三絶縁層がない前記部分を通して前記配線に接続される請求項 1 ～ 7 のいずれかに記載の液晶ディスプレイ。

[請求項10] 前記アレイ基板は、薄膜トランジスタを含み、

前記薄膜トランジスタは、半導体層を含み、

前記半導体層は、酸化物半導体を含む請求項 1 ～ 9 のいずれかに記載の液晶ディスプレイ。

[請求項11] 前記第二絶縁層は、有機絶縁層を含む請求項 1 ～ 10 のいずれかに記載の液晶ディスプレイ。

[請求項12] 前記第二絶縁層は、無機絶縁層を含み、

前記有機絶縁層は、前記無機絶縁層上に積層される請求項 11 記載の液晶ディスプレイ。

[請求項13] 前記第二絶縁層は、エッチング剤でエッチング可能な層を含み、
前記第三絶縁層は、前記エッチング剤と同じエッチング剤でエッチング可能な層を含む請求項 1 ～ 12 のいずれかに記載の液晶ディスプレイ。

- [請求項14] 前記第一絶縁層は、下層と、前記下層上に積層された上層とを含む請求項1～13のいずれかに記載の液晶ディスプレイ。
- [請求項15] 前記下層、及び、前記上層は、前記領域外において、前記第一導電層を覆う請求項1～14のいずれかに記載の液晶ディスプレイ。