

技术领域

本发明涉及一种电子装置，且特别涉及一种显示装置。

5

背景技术

随着显示科技的发达，人们对显示装置的需求，不再满足于高分辨率、高对比、广视角等光学特性，人们还期待显示装置具有优雅的外观。举例而言，人们期待显示装置的边框窄，甚至无边框。

- 10 一般而言，显示装置包括设置于显示区的多个像素结构、设置于显示区的下方的数据驱动电路以及设置于显示区的左侧、右侧或左右两侧的栅极驱动电路。为减少显示装置的边框的左右两侧的宽度，可将栅极驱动电路与数据驱动电路均设置于显示区的下侧。当栅极驱动电路设置于显示区的下侧时，在水平栅极线须通过垂直栅极线方能电性连接至栅极驱动电路。然而，垂直栅极线的栅极开启脉冲信号会影响还在部分像素结构的电位，进而造成显示异常。
- 15

发明内容

本发明提供一种显示装置，性能佳。

本发明提供另一种显示装置，性能也佳。

- 20 本发明的一种显示装置，包括第一基板、多条数据线、多条第一栅极线、多个像素结构、多条第二栅极线、多条第一共用线、第二基板以及显示介质。多条数据线设置于第一基板上，且在第一方向上排列。多条第一栅极线设置于第一基板上，且在第二方向上排列，其中第一方向与第二方向交错。多个像素结构设置于第一基板上，且电性连接多条数据线及多条第一栅极线。多条第二栅极线设置于第一基板上，其中多条数据线及多条第二栅极线在第一方向上排列，且多条第二栅极线电性连接至多条第一栅极线。多条第一共用线设置于第一基板上，其中多个像素结构排成多个像素列，多个像素列在第一方向上排列，每一第一共用线与对应的一第二栅极线设置于多个像素列的相邻两者之间，第一共用线及对应的第二栅极线分别设置于与第二栅极线电性连接的一第一栅极线的相对两侧，且第一共用线与对应的第二栅极线于结构上分离。第二基板设置于第一基板的对向。显示介质设置于第一基板与第二基板之间。
- 25
- 30

- 35 本发明的一种显示装置，包括第一基板、多条数据线、多条第一栅极线、多个像素结构、多条第二栅极线、第二基板及显示介质。多条数据线设置于第一基板上，且在第一方向上排列。多条第一栅极线设置于第一基板上，且在第二方向上排列，其中第一方向与第二方向交错。多个像素结构设置于第一基板上，电性连接多条数据线及多条第一栅极线，且在排成 x 个像素列及 y 个像素行。 x 个像素列在第一方向上排列， y 个像素行在第二方

向上排列, x 及 y 为大于 2 的正整数, 一像素结构在第一方向及第二方向上分别具有第一宽度 a_1 及第二宽度 a_2 。多条第二栅极线设置于第一基板上, 其中数据线及第二栅极线在第一方向上排列, 且第二栅极线电性连接至第一栅极线。第二基板设置于第一基板的对向。显示介质设置于第一基板与第二基板之间。每一第一栅极线与 n 条第二栅极线电性连接。

- 5 $(a_1 \cdot x + a_2 \cdot y) < 2000000$, 且 $n=2$; 或 $2000000 < (a_1 \cdot x + a_2 \cdot y) < 2400000$, 且 $n=3$; 或 $2400000 < (a_1 \cdot x + a_2 \cdot y) < 3000000$, 且 $n=4$; 或 $(a_1 \cdot x + a_2 \cdot y) > 3000000$, 且 $n=5$ 。

在本发明的一实施例中, 上述的一第一共用线的信号与一第二栅极线的一栅极关闭信号实质上相同。

- 10 在本发明的一实施例中, 上述的每一第一栅极线与 n 条第二栅极线电性连接, n 为正整数, 每一第一栅极线与 n 条第二栅极线具有在第一方向上依序排列的第 $1 \sim n$ 个连接点, 多条第二栅极线包括在第一方向上依序排列的第 $1 \sim n$ 个第二栅极线群, 第 $1 \sim n$ 个第二栅极线群的第 m 个第二栅极线群的多条第二栅极线与对应的多条第一栅极线具有第 $1 \sim n$ 个连接点的第 m 个连接点, m 为正整数, $n \geq m \geq 1$ 。显示装置还包括共用电极、多个共用垫组、多个第一转接元件、 n 个第二共用垫以及 n 个第二转接元件。共用电极设置于第二基板上, 且位于第二基板与显示介质之间。多个共用垫组设置于第一基板上, 且分别对应第 $1 \sim n$ 个第二栅极线群设置, 其中多个像素结构具有相对的第一侧及第二侧, 多个共用垫组设置于多个像素结构的第二侧, 且每一共用垫组包括多个第一共用垫。多个第一转接元件分别设置于多个共用垫组的多个第一共用垫上, 且电性连接至多个共用垫组的多个第一共用垫及共用电极。 n 个第二共用垫设置于第一基板上, 分别对应第 $1 \sim n$ 个第二栅极线群设置, 且位于多个像素结构的第一侧。 n 个第二转接元件分别设置于 n 个第二共用垫上, 且电性连接至 n 个第二共用垫及共用电极。一共用垫组及一第二共用垫对应同一个第二栅极线群, 且第二共用垫的电位大于共用垫组的多个第一共用垫的电位。
- 15 20

- 25 在本发明的一实施例中, 上述的显示装置, 还包括第三共用垫, 设置于第一基板上, 且位于多个像素结构的第一侧。第三共用垫及多个第二共用垫在第一方向上依序排列且于结构上彼此分离, 第三共用垫对应第 $1 \sim n$ 个第二栅极线群的第 1 个第二栅极线群设置, 而第三共用垫的电位大于对应多个第二共用垫的电位。

- 30 在本发明的一实施例中, 上述的显示装置还包括多条第二共用线、第一周边走线以及第二周边走线。多条第二共用线设置于第一基板上, 多条第二栅极线及多条第二共用线在第一方向上排列, 其中每一第二共用线设置于多个像素列的相邻两者之间。第一周边走线设置于第一基板上且位于多个像素结构的第一侧, 其中多条第一共用线电性连接至第一周边走线。第二周边走线设置于第一基板上且位于多个像素结构的第二侧, 其中每一第二共用线的两端分别电性连接至第一周边走线及第二周边走线。

- 35 在本发明的一实施例中, 上述的多条第一栅极线包括奇数条第一栅极线及偶数条第一栅极线, 奇数条第一栅极线包括第 $(1+2 \cdot K)$ 条第一栅极线, $K=0, 1, \dots, p$, p 为大于或等于 2 的正整数, 偶数条第一栅极线包括第 $2L$ 条第一栅极线, $L=1, 2, \dots, q$, q 为大于或等于 3

的正整数；多条第二栅极线包括在第一方向上依序排列的第 1~(p+1)条第二栅极线及第 (p+2)~(p+q+1)条第二栅极线；第 1~(p+1)条第二栅极线电性连接至第(1+2·K)条第一栅极线，且第(p+2)~(p+q+1)条第二栅极线电性连接至第 2L 条第一栅极线。

5 在本发明的一实施例中，上述的第 1~(p+1)条第二栅极线与第(1+2·K)条第一栅极线的多个连接点以及第(p+2)~(p+q+1)条第二栅极线与第 2L 条的多个连接点大致上沿着互相平行的多条斜线分布。

在本发明的一实施例中，上述的第 1~(p+1)条第二栅极线与第(1+2·K)条第一栅极线的多个连接点以及第(p+2)~(p+q+1)条第二栅极线与第 2L 条的多个连接点大致上呈 V 字型分布。

10 在本发明的一实施例中，上述的显示装置还包括多条第一共用线，设置于第一基板上。每一第一共用线与对应的一第二栅极线设置于 x 个像素列的相邻两者之间，第一共用线及对应的第二栅极线分别设置于与第二栅极线电性连接的一第一栅极线的相对两侧，且第一共用线与对应的第二栅极线于结构上分离。

15 附图说明

图 1 为本发明一实施例的显示装置 10 的剖面示意图。

图 2 为本发明一实施例的像素阵列基板 100、第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 的俯视示意图。

20 图 3 为本发明一实施例的对向基板 200、第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 的俯视示意图。

图 4 为本发明一实施例的像素阵列基板 100A、第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 的俯视示意图。

图 5 为本发明一实施例的像素阵列基板 100B 及第一转接元件 T1 的俯视的上视示意图。

25 图 6 为本发明一实施例的像素阵列基板 100C 及第一转接元件 T1 的俯视示意图。

图 7 为本发明一实施例的像素阵列基板 100D 及第一转接元件 T1 的俯视示意图。

附图标记说明：

10：显示装置

100、100A、100B、100C、100D： 像素阵列基板

30 110： 第一基板

120： 元件层

200： 对向基板

210： 第二基板

220： 共用电极

35 221： 第一部

- 222: 第二部
- 223: 第三部
- 300: 显示介质
- a1: 第一宽度
- 5 a2: 第二宽度
- Cpx: 像素列
- C、C1、C2、C3: 连接点
- CL1、CL11、CL12、CL13、CL14、CL15、CL16: 第一共用线
- CL2: 第二共用线
- 10 D1: 第一方向
- D2: 第二方向
- DL: 数据线
- Gvg、Gvg1、Gvg2、Gvg3: 第二栅极线群
- Gp1a、Gp1b、Gp1c: 共用垫组
- 15 HG、HG1、HG2、HG3、HG4、HG5、HG6: 第一栅极线
- K: 斜线
- L1: 第一周边走线
- L2: 第二周边走线
- Lp1a、Lp1b、Lp1c、Lp2a、Lp2b、Lp2c、Lp3、L11、L12: 导线
- 20 PX: 像素结构
- p1a、p1b、p1c: 第一共用垫
- p2a、p2b、p2c: 第二共用垫
- p3: 第三共用垫
- Rpx: 像素行
- 25 S1: 第一侧
- S2: 第二侧
- T1: 第一转接元件
- T2: 第二转接元件
- T3: 第三转接元件
- 30 VG、VG1、VG2、VG3、VG4、VG5、VG6: 第二栅极线

具体实施方式

- 现将详细地参考本发明的示范性实施例，示范性实施例的实例说明于附图中。只要有
- 可能，相同元件符号在附图和描述中用来表示相同或相似部分。
- 35 应当理解，当诸如层、膜、区域或基板的元件被称为在另一元件“上”或“连接到”

另一元件时，其可以直接在另一元件上或与另一元件连接，或者中间元件可以也存在。相反，当元件被称为“直接在另一元件上”或“直接连接到”另一元件时，不存在中间元件。如本文所使用的，“连接”可以指物理及/或电性连接。再者，“电性连接”或“耦合”可以是二元件间存在其它元件。

- 5 本文使用的“约”、“近似”、或“实质上”包括所述值和在本领域普通技术人员确定的特定值的可接受的偏差范围内的平均值，考虑到所讨论的测量和与测量相关的误差的特定数量（即，测量系统的限制）。例如，“约”可以表示在所述值的一个或多个标准偏差内，或 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 内。再者，本文使用的“约”、“近似”或“实质上”可依光学性质、蚀刻性质或其它性质，来选择较可接受的偏差范围或标准偏差，而
- 10 可不用一个标准偏差适用全部性质。

除非另有定义，本文使用的所有术语（包括技术和科学术语）具有与本发明所属领域的普通技术人员通常理解的相同的含义。将进一步理解的是，诸如在通常使用的字典中定义的那些术语应当被解释为具有与它们在相关技术和本发明的上下文中的含义一致的含义，并且将不被解释为理想化的或过度正式的意义，除非本文中明确地这样定义。

- 15 图 1 为本发明一实施例的显示装置 10 的剖面示意图。

请参照图 1，显示装置 10 包括像素阵列基板 100、对向基板 200 及显示介质 300，其中显示介质 300 设置于像素阵列基板 100 与对向基板 200 之间。像素阵列基板 100 包括第一基板 110 及元件层 120，其中元件层 120 设置于第一基板 110 上且位于显示介质 300 与第一基板 110 之间。对向基板 200 包括第二基板 210，其中第二基板 210 设置于第一基板 110 的对向，且显示介质 300 位于第一基板 110 与第二基板 210 之间。

20 在本实施例中，第一基板 110 的材质可为玻璃、石英、有机聚合物、或是其它可适用的材料；第二基板 210 的材质可为玻璃、石英、有机聚合物、或是其它可适用的材料。

在本实施例中，显示介质 300 例如是液晶。然而，本发明不限于此，在其它实施例中，显示介质 300 也可以是有机电致发光层或其它可适用的材料。

- 25 图 2 为本发明一实施例的像素阵列基板 100、第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 的俯视示意图。

请参照图 1 及图 2，像素阵列基板 100 的元件层 120 包括多条数据线 DL、多条第一栅极线 HG、多个像素结构 PX 及多条第二栅极线 VG。

请参照图 2，多条数据线 DL 设置于第一基板 110 上且在第一方向 D1 上排列。多条第一栅极线 HG 设置于第一基板 110 上且在第二方向 D2 上排列，其中第一方向 D1 与第二方向 D2 交错。举例而言，在本实施例中，第一方向 D1 与第二方向 D2 实质上可垂直，但本发明不以此为限。

30 在本实施例中，数据线 DL 与第一栅极线 HG 是属于不同的膜层。举例而言，在本实施例中，第一栅极线 HG 可属于第一金属层，数据线 DL 可属于第二金属层，但本发明不

- 35 以此为限。基于导电性的考量，在本实施例中，数据线 DL 与第一栅极线 HG 是使用金属

材料；但本发明不限于此，在其他实施例中，数据线 DL 及/或第一栅极线 HG 也可以使用其他导电材料，例如：合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

多个像素结构 PX 设置于第一基板 110 上，且电性连接多条数据线 DL 及多条第一栅极线 HG。具体而言，在本实施例中，每一像素结构 PX 可包括一薄膜晶体管（未示出）和一像素电极（未示出），其中所述薄膜晶体管具有第一端、第二端及控制端，所述薄膜晶体管的第一端电性连接至对应的一条数据线 DL，所述薄膜晶体管的控制端电性连接至对应的一第一栅极线 HG，且所述薄膜晶体管的第二端电性连接至所述像素电极。

多条第二栅极线 VG 设置于第一基板 110 上，其中多条数据线 DL 及多条第二栅极线 VG 在第一方向 D1 上排列，且多条第二栅极线 VG 电性连接至多条第一栅极线 HG。

具体而言，在本实施例中，多个像素结构 PX 排成多个像素列 Cpx 及多个像素行 Rpx，多个像素列 Cpx 在第一方向 D1 上排列，每一像素列 Cpx 的多个像素 PX 在第二方向 D2 上排列，多个像素行 Rpx 在第二方向 D2 上排列，每一像素行 Rpx 的多个像素 PX 在第一方向 D1 上排列；在像素阵列基板 100 的俯视图中，每一第二栅极线 VG 是设置于相邻两像素列 Cpx 之间。也就是说，多条第二栅极线 VG 是穿插在像素阵列基板 100 的主动区（active area）内，且每一第二栅极线 VG 是在所述主动区内与对应的至少一条第一栅极线 HG 电性连接。

举例而言，在本实施例中，多条第一栅极线 HG 包括在第二方向 D2 上依序排列的第一栅极线 HG1、第一栅极线 HG2、第一栅极线 HG3、第一栅极线 HG4、第一栅极线 HG5 及第一栅极线 HG6，多条第二栅极线 VG 包括在第一方向 D1 上依序排列的第二栅极线 VG1、第二栅极线 VG2、第二栅极线 VG3、第二栅极线 VG4、第二栅极线 VG5 及第二栅极线 VG6，第二栅极线 VG1、第二栅极线 VG2、第二栅极线 VG3、第二栅极线 VG4、第二栅极线 VG5 及第二栅极线 VG6 可分别与第一栅极线 HG1、第一栅极线 HG2、第一栅极线 HG3、第一栅极线 HG4、第一栅极线 HG5 及第一栅极线 HG6 电性连接。然而，本发明不限于此，在其它实施例中，多条第二栅极线 VG 与多条第一栅极线 HG 也可利用其它方式彼此连接。

请参照图 1 及图 2，值得注意的是，像素阵列基板 100 的元件层 120 还包括多条第一共用线 CL1。请参照图 2，多条第一共用线 CL1 设置于第一基板 110 上。在像素阵列基板 100 的俯视图中，每一第一共用线 CL1 与对应的一条第二栅极线 VG 设置于相邻的两像素列 Cpx 之间，每一第一共用线 CL1 及对应的一条第二栅极线 VG 分别设置于与第二栅极线 VG 电性连接的一第一栅极线 HG 的相对两侧，且每一第一共用线 CL1 与对应的一条第二栅极线 VG 于结构上分离。

举例而言，在本实施例中，多条第二栅极线 VG 包括分别与第一栅极线 HG1、第一栅极线 HG2、第一栅极线 HG3、第一栅极线 HG4、第一栅极线 HG5 及第一栅极线 HG6 电性连接的第二栅极线 VG1、第二栅极线 VG2、第二栅极线 VG3、第二栅极线 VG4、第二

栅极线 VG5 及第二栅极线 VG6; 多条第一共用线 CL1 包括分别与第二栅极线 VG1、第二栅极线 VG2、第二栅极线 VG3、第二栅极线 VG4、第二栅极线 VG5 及第二栅极线 VG6 对应的第一共用线 CL11、第一共用线 CL12、第一共用线 CL13、第一共用线 CL14、第一共用线 CL15 及第一共用线 CL16; 在像素阵列基板 100 的俯视图中, 第一共用线 CL11 及第二栅极线 VG1 分别设置于与第二栅极线 VG1 电性连接的第一栅极线 HG1 的相对两侧, 且第一共用线 CL11 与第二栅极线 VG1 于结构上分离; 第一共用线 CL12 及第二栅极线 VG2 分别设置于与第二栅极线 VG2 电性连接的第一栅极线 HG2 的相对两侧, 且第一共用线 CL12 与第二栅极线 VG2 于结构上分离; 第一共用线 CL13 及第二栅极线 VG3 分别设置于与第二栅极线 VG3 电性连接的第一栅极线 HG3 的相对两侧, 且第一共用线 CL13 与第二栅极线 VG3 于结构上分离; 第一共用线 CL14 及第二栅极线 VG4 分别设置于与第二栅极线 VG4 电性连接的第一栅极线 HG4 的相对两侧, 且第一共用线 CL14 与第二栅极线 VG4 于结构上分离; 第一共用线 CL15 及第二栅极线 VG5 分别设置于与第二栅极线 VG5 电性连接的第一栅极线 HG5 的相对两侧, 且第一共用线 CL15 与第二栅极线 VG5 于结构上分离; 第一共用线 CL16 及第二栅极线 VG6 分别设置于与第二栅极线 VG6 电性连接的第一栅极线 HG6 的相对两侧, 且第一共用线 CL16 与第二栅极线 VG6 于结构上分离。

值得一提的是, 通过第一共用线 CL1 的设置, 无论像素结构 PX 旁是否设有第二栅极线 VG, 多个像素结构 PX 可感受到相同或相近的电场分布, 进而能提升显示品质。

在本实施例中, 第一共用线 CL1 的信号与第二栅极线 VG 的栅极关闭信号实质上相同。具体而言, 在本实施例中, 无论是在第二栅极线 VG 的信号为栅极关闭信号或栅极开启信号时, 第一共用线 CL1 的信号都可固定为所述栅极关闭信号。举例而言, 在本实施例中, 所述栅极关闭信号可是-9 伏特~-10 伏特之间的一直流电信号, 但本发明不以此为限。

在本实施例中, 第一共用线 CL1 与第一栅极线 HG 属于不同的膜层。举例而言, 在本实施例中, 第一栅极线 HG 可属于第一金属层, 第一共用线 CL1 可属于第二金属层, 但本发明不以此为限。基于导电性的考量, 在本实施例中, 第一共用线 CL1 是使用金属材料。但本发明不限于此, 在其他实施例中, 第一共用线 CL1 也可以使用其他导电材料, 例如: 合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

请参照图 1 及图 2, 在本实施例中, 像素阵列基板 100 的元件层 120 还包括一第一周边走线 L1。请参照图 2, 第一周边走线 L1 设置于第一基板 110 上且位于多个像素结构 PX 的第一侧 S1。多条第一共用线 CL1 电性连接至第一周边走线 L1。

请参照图 1 及图 2, 在本实施例中, 像素阵列基板 100 的元件层 120 还包括多条第二共用线 CL2。请参照图 2, 多条第二共用线 CL2 设置于第一基板 110 上, 多个第二栅极线 VG 及多条第二共用线 CL2 在第一方向 D1 上排列, 且每一第二共用线 CL2 设置于相邻两像素列 Cpx 之间。具体而言, 多个像素列 Cpx 之间具有多个布局面积, 而第二共用线 CL2 是设置于未设有第二栅极线 VG 及第一共用线 CL1 的所述布局面积上。

在本实施例中，第二共用线 CL2 与第一栅极线 HG 属于不同的膜层。举例而言，在本实施例中，第一栅极线 HG 可属于第一金属层，第二共用线 CL2 可属于第二金属层，但本发明不以此为限。基于导电性的考量，在本实施例中，第二共用线 CL2 是使用金属材料。但本发明不限于此，在其他实施例中，第二共用线 CL2 也可以使用其他导电材料，例如：
5 合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

请参照图 1 及图 2，在本实施例中，像素阵列基板 100 的元件层 120 还包括一第二周边走线 L2。请参照图 2，第二周边走线 L2 设置于第一基板 110 上且位于多个像素结构 PX 的第二侧 S2，多条第二共用线 CL2 电性连接至第二周边走线 L2。

10 在本实施例中，每一第二共用线 CL2 的靠近第二周边走线 L2 的一端是电性连接至第二周边走线 L2，而每一第二共用线 CL2 的远离第二周边走线 L2 的另一端可选择性地与第一周边走线 L1 分离，但本发明不以此为限。

请参照图 2，每一第一栅极线 HG 与 n 条第二栅极线 VG 电性连接，n 为正整数，每一第一栅极线 HG 与 n 条第二栅极线 VG 具有在第一方向 D1 上依序排列的第 1~n 个连接点（或称接触点）C，多条第二栅极线 VG 包括在第一方向 D1 上依序排列的第 1~n 个第二栅极线群 Gvg，第 1~n 个第二栅极线群 Gvg 的第 m 个第二栅极线群 Gvg 的多条第二栅极线 VG 与对应的多条第一栅极线 HG 具有第 1~n 个连接点 C 的第 m 个连接点 C，m 为正整数，且 $n \geq m \geq 1$ 。
15

举例而言，在本实施例中， $n=3$ ，每一第一栅极线 HG 与对应的 3 条第二栅极线 VG 电性连接，每一第一栅极线 HG 与对应的 3 条第二栅极线 VG 具有在第一方向 D1 上依序排列的第 1~3 个连接点 C1、C2、C3，多条第二栅极线 VG 包括在第一方向 D1 上依序排列的第 1~3 个第二栅极线群 Gvg1、Gvg2、Gvg3，第 1 个第二栅极线群 Gvg1 的多条第二栅极线 VG1~VG6 与对应的多条第一栅极线 HG1~HG6 具有多个第 1 个连接点 C1，第 2 个第二栅极线群 Gvg2 的多条第二栅极线 VG1~VG6 与对应的多条第一栅极线 HG1~HG6
20 具有多个第 2 个连接点 C2，且第 3 个第二栅极线群 Gvg3 的多条第二栅极线 VG1~VG6 与对应的多条第一栅极线 HG1~HG6 具有多个第 3 个连接点 C3。
25

图 3 为本发明一实施例的对向基板 200、第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 的俯视示意图。

请参照图 1 及图 3，在本实施例中，显示装置 10 的对向基板 200 可选择性地包括共用电极 220，其中共用电极 220 设置于第二基板 210 上且位于第二基板 210 与显示介质 300 之间。请参照图 2 及图 3，在本实施例中，共用电极 220 是一整面电极，且重叠于所有的像素结构 PX，但本发明不以此为限。
30

在本实施例中，共用电极 220 例如是透明导电层，其包括金属氧化物，例如：铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物、或其它合适的氧化物、或者是上述至少二者的堆叠层，但本发明不以此为限。
35

请参照图 1 及图 2, 在本实施例中, 像素阵列基板 100 的元件层 120 还包括多个共用垫组 Gp1a、Gp1b、Gp1c 及 n 个第二共用垫 p2a、p2b、p2c。请参照图 2, 多个共用垫组 Gp1a、Gp1b、Gp1c 设置于第一基板 110 上, 分别对应第 1~n 个第二栅极线群 Gvg1、Gvg2、Gvg3 设置, 且位于多个像素结构 PX 的第二侧 S2。每一共用垫组 Gp1a、Gp1b、Gp1c 包括于结构上分离的多个第一共用垫 p1a、p1b、p1c。n 个第二共用垫 p2a、p2b、p2c 设置于第一基板 110 上, 分别对应第 1~n 个第二栅极线群 Gvg1、Gvg2、Gvg3 设置, 且位于多个像素结构 PX 的第一侧 S1。

举例而言, 在本实施例中, n=3, 像素阵列基板 100 包括 3 个共用垫组 Gp1a、Gp1b、Gp1c 及 3 个第二共用垫 p2a、p2b、p2c。3 个共用垫组 Gp1a、Gp1b、Gp1c 分别对应第 1~3 个第二栅极线群 Gvg1、Gvg2、Gvg3 设置, 且位于多个像素结构 PX 的第二侧 S2。3 个第二共用垫 p2a、p2b、p2c 设置于第一基板 110 上, 分别对应第 1~3 个第二栅极线群 Gvg1、Gvg2、Gvg3 设置, 且位于多个像素结构 PX 的第一侧 S1。

在本实施例中, 同一共用垫组 Gp1a 的多个第一共用垫 p1a 分散在对应的一第二栅极线群 Gvg1 的多条第二栅极线 VG1~VG6 的一侧, 与第二栅极线群 Gvg1 对应的一第二共用垫 p2a 设置在第二栅极线群 Gvg1 的多条第二栅极线 VG1~VG6 的另一侧, 且第二共用垫 p2a 可位于第二栅极线群 Gvg1 中最长的一条第二栅极线 VG6 旁。

请参照图 1、图 2 及图 3, 在本实施例中, 显示装置 10 还包括多个第一转接元件 T1, 设置于像素阵列基板 100 的元件层 120 与对向基板 200 的共用电极 220 之间。多个第一转接元件 T1 分别设置于多个共用垫组 Gp1a、Gp1b、Gp1c 的多个第一共用垫 p1a、p1b、p1c 上, 且电性连接至多个第一共用垫 p1a、p1b、p1c 及共用电极 220 的第一部 221。

在本实施例中, 显示装置 10 还包括 n 个第二转接元件 T2, 设置于像素阵列基板 100 的元件层 120 与对向基板 200 的共用电极 220 之间。n 个第二转接元件 T2 分别设置于 n 个第二共用垫 p2a、p2b、p2c 上, 且电性连接至 n 个第二共用垫 p2a、p2b、p2c 及共用电极 220 的第二部 222。

在本实施例中, 一共用垫组 Gp1a 及一第二共用垫 p2a 对应同一个第二栅极线群 Gvg1, 且第二共用垫 p2a 的电位大于共用垫组 Gp1a 的多个第一共用垫 p1a 的电位。因此, 分别与设置于第一共用垫 p1a 上的第一转接元件 T1 及设置于第二共用垫 p2a 上的第二转接元件 T2 电性连接的共用电极 220 的第一部 221 与第二部 222 之间会形成一电位分布, 所述电位分布能补偿因第二栅极线群 Gvg1 的多条第二栅极线 VG1~VG6 的阻抗不一所造成的亮度差异。

在本实施例中, 多个第一共用垫 p1a、p1b、p1c 是分别通过多条导线 Lp1a、Lp1b、Lp1c 电性连接至一驱动元件 (未示出), 多个第二共用垫 p2a、p2b、p2c 是分别通过多条导线 Lp2a、Lp2b、Lp2c 电性连接至一驱动元件 (未示出), 且多条导线 Lp1a、Lp1b、Lp1c、Lp2a、Lp2b、Lp2c 于结构上彼此分离。换言之, 多个第一共用垫 p1a、p1b、p1c 及多个第二共用垫 p2a、p2b、p2c 的多个电位可被独立控制, 多个第一共用垫 p1a、p1b、p1c 及

多个第二共用垫 p2a、p2b、p2c 的电位大小可视实际需求调整之。

请参照图 1 及图 2，在本实施例中，像素阵列基板 100 的元件层 120 还包括第三共用垫 p3。请参照图 2，第三共用垫 p3 设置于第一基板 110 上，且位于多个像素结构 PX 的第一侧 S1。第三共用垫 p3 及多个第二共用垫 p2a、p2b、p2c 在第一方向 D1 上依序排列且于结构上彼此分离，第三共用垫 p3 对应第 1 个第二栅极线群 Gvg1 设置，而第三共用垫 p3 的电位大于多个第二共用垫 p2a、p2b、p2c 的电位。在本实施例中，第三共用垫 p3 的电位也大于第一共用垫 p1a、p1b、p1c 的电位；举例而言，第三共用垫 p3 与第一共用垫 p1a、p1b、p1c 的任一者的电位差可相差 1 伏特或 1 伏特以上，但本发明不以此为限。

请参照图 1、图 2 及图 3，在本实施例中，显示装置 10 还包括第三转接元件 T3，设置于像素阵列基板 100 的元件层 120 与对向基板 200 的共用电极 220 之间。第三转接元件 T3 设置于第三共用垫 p3 上，且电性连接至第三共用垫 p3 及共用电极 220 的第三部 223。

在本实施例中，第三共用垫 p3 是通过导线 Lp3 电性连接至所述驱动元件，且导线 Lp3 和与第一共用垫 p1a、p1b、p1c 及第二共用垫 p2a、p2b、p2c 电性连接的多条导线 Lp1a、Lp1b、Lp1c、Lp2a、Lp2b、Lp2c 于结构上彼此分离。换言之，第三共用垫 p3 的电位可被独立控制，第三共用垫 p3 的电位大小可视实际需求调整之。

在本实施例中，第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 包括导电球（例如：金球），但本发明不以此为限。

在此必须说明的是，下述实施例沿用前述实施例的元件标号与部分内容，其中采用相同的标号来表示相同或近似的元件，并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例，下述实施例不再重述。

图 4 为本发明一实施例的像素阵列基板 100A、第一转接元件 T1、第二转接元件 T2 及第三转接元件 T3 的俯视示意图。

图 4 的像素阵列基板 100A 与图 2 的像素阵列基板 100 类似，两者的差异在于：在图 4 的实施例中，每一第二共用线 CL2 的两端可分别电性连接至第一周边走线 L1 及第二周边走线 L2。

请参照图 4，在本实施例中，输入至第一周边走线 L1 的信号及输入至第二周边走线 L2 的信号可被独立控制。具体而言，第一周边走线 L1 及第二周边走线 L2 是分别通过各自的导线 LI1 及导线 LI2 电性连接至所述驱动元件，且导线 LI1 及导线 LI2 于结构上彼此分离。举例而言，在本实施例中，输入至第一周边走线 L1 的信号及输入至第二周边走线 L2 的信号可以选择性地相同。举例而言，输入至第一周边走线 L1 的信号及输入至第二周边走线 L2 的信号可皆与第二栅极线 VG 的栅极关闭信号相同。然而，本发明不限于此，在其它实施例中，输入至第一周边走线 L1 的信号及输入至第二周边走线 L2 的信号也可不同。

图 5 为本发明一实施例的像素阵列基板 100B 及第一转接元件 T1 的俯视图的上视示意图。

图 5 的像素阵列基板 100B 与图 2 的像素阵列基板 100 类似，两者的差异在于：在图 2 的实施例中， n 为 3，亦即，每一第一栅极线 HG 与 3 条第二栅极线 VG 电性连接；但在图 5 的实施例中， n 为 4，亦即，每一第一栅极线 HG 与 4 条第二栅极线 VG 电性连接。然而，本发明不限于此，与每一第一栅极线 HG 电性连接的第二栅极线 VG 的数量（即 n ）

5 可视实际需求而定。

具体而言，多个像素结构 PX 排成 x 个像素列 C_{px} 及 y 个像素行 R_{px} ，其中 x 个像素列 C_{px} 在第一方向 D1 上排列， y 个像素行 R_{px} 在第二方向 D2 上排列， x 及 y 为大于 2 的正整数。每一像素结构 PX 在第一方向 D1 及第二方向 D2 上分别具有第一宽度 a_1 及第二宽度 a_2 。第一宽度 a_1 可指分别位于同一像素结构 PX 的左右两侧且相邻的两第二栅极线 VG 的距离，第一宽度 a_1 可指分别位于同一像素结构 PX 的左右两侧且相邻的一第二栅极线 VG 及一第一共用线 CL1 的距离，第一宽度 a_1 可指分别位于同一像素结构 PX 的左右两侧且相邻的两第一共用线 CL1 的距离，第一宽度 a_1 可指分别位于同一像素结构 PX 的左右两侧且相邻的一第一共用线 CL1 及一第二共用线 CL2 的距离，或者第一宽度 a_1 可指分别位于同一像素结构 PX 的两侧且相邻的一第二栅极线 VG 及一第二共用线 CL2 的距离。第二宽度 a_2 可指位于同一像素结构 PX 的上下两侧且相邻的两第一栅极线 HG 的距离。若 $(a_1 \cdot x + a_2 \cdot y) < 2000000$ ，则 n 以等于 2 为佳。若 $2000000 < (a_1 \cdot x + a_2 \cdot y) < 2400000$ ，则 n 以等于 3 为佳。若 $2400000 < (a_1 \cdot x + a_2 \cdot y) < 3000000$ ，则 n 以等于 4 为佳。若 $(a_1 \cdot x + a_2 \cdot y) > 3000000$ ，则 n 以等于 5 为佳。

图 6 为本发明一实施例的像素阵列基板 100C 及第一转接元件 T1 的俯视示意图。

20 图 6 的像素阵列基板 100C 与图 2 的像素阵列基板 100 类似，两者的差异在于：多条第二栅极线 VG 与多条第一栅极线 HG 的连接方式不同。

请参照图 6，具体而言，在本实施例中，多条第一栅极线 HG 在第二方向 D2 上依序排列，且多条第一栅极线 HG 包括奇数条第一栅极线 HG 及偶数条第一栅极线 HG。奇数条第一栅极线 HG 包括第 $(1+2 \cdot K)$ 条第一栅极线 HG， $K=0, 1, \dots, p$ ， p 为大于或等于 2 的正整数。偶数条第一栅极线 HG 包括第 $2L$ 条第一栅极线 HG， $L=1, 2, \dots, q$ ， q 为大于或等于 3 的正整数。多条第二栅极线 VG 包括在第一方向 D1 上依序排列的第 $1 \sim (p+1)$ 条第二栅极线 VG 及第 $(p+2) \sim (p+q+1)$ 条第二栅极线 VG。第 $1 \sim (p+1)$ 条第二栅极线 VG 分别电性连接至第 $(1+2 \cdot K)$ 条第一栅极线 HG，且第 $(p+2) \sim (p+q+1)$ 条第二栅极线 VG 分别电性连接至第 $2L$ 条第一栅极线 HG。

30 举例而言，在本实施例中， $p=2$ ， $K=0, 1, 2$ ，奇数条第一栅极线 HG 包括第 1、3、5 条第一栅极线 HG1、HG3、HG5； $q=3$ ， $L=1, 2, 3$ ，偶数条第一栅极线 HG 包括第 2、4、6 条第一栅极线 HG2、HG4、HG6；多条第二栅极线 VG 包括在第一方向 D1 上依序排列的第 $1 \sim 3$ 条第二栅极线 VG1~VG3 及第 $4 \sim 6$ 条第二栅极线 VG4~VG6；第 $1 \sim 3$ 条第二栅极线 VG1~VG3 分别电性连接至第 1、3、5 条第一栅极线 HG1、HG3、HG5，且第 $4 \sim 6$ 条第二栅极线 VG4~VG6 分别电性连接至第 2、4、6 条第一栅极线 HG2、HG4、HG6。

换言之，在本实施例中，同一第二栅极线群 G_{vg} 的多条第二栅极线 VG 与多条第一栅极线 HG 的多个连接点 C （例如：第 1~3 条第二栅极线 $VG1 \sim VG3$ 与第 1、3、5 条第一栅极线 $HG1$ 、 $HG3$ 、 $HG5$ 的多个连接点 C 及第 4~6 条第二栅极线 $VG4 \sim VG6$ 与第 2、4、6 条第一栅极线 $HG2$ 、 $HG4$ 、 $HG6$ 的多个连接点 C ）大致上可沿着互相平行的多条斜线 K 分布。

5 图 7 为本发明一实施例的像素阵列基板 100D 及第一转接元件 T1 的俯视示意图。

图 7 的像素阵列基板 100D 与图 2 的像素阵列基板 100 类似，两者的差异在于：多条第二栅极线 VG 与多条第一栅极线 HG 的连接方式不同。

请参照图 7，具体而言，具体而言，在本实施例中，多条第一栅极线 HG 在第二方向 $D2$ 上依序排列，且多条第一栅极线 HG 包括奇数条第一栅极线 HG 及偶数条第一栅极线 HG 。奇数条第一栅极线 HG 包括第 $(1+2 \cdot K)$ 条第一栅极线 HG ， $K=0, 1, \dots, p$ ， p 为大于或等于 2 的正整数。偶数条第一栅极线 HG 包括第 $2L$ 条第一栅极线 HG ， $L=1, 2, \dots, q$ ， q 为大于或等于 3 的正整数。多条第二栅极线 VG 包括在第一方向 $D1$ 上依序排列的第 $1 \sim (p+1)$ 条第二栅极线 VG 及第 $(p+2) \sim (p+q+1)$ 条第二栅极线 VG 。第 $1 \sim (p+1)$ 条第二栅极线 VG 分别电性连接至第 $(1+2 \cdot K)$ 条第一栅极线 HG ，且第 $(p+q+1) \sim (p+2)$ 条第二栅极线 VG 分别电性连接至第 $2L$ 条第一栅极线 HG 。

举例而言，在本实施例中， $p=2$ ， $K=0, 1, 2$ ，奇数条第一栅极线 HG 包括第 1、3、5 条第一栅极线 $HG1$ 、 $HG3$ 、 $HG5$ ； $q=3$ ， $L=1, 2, 3$ ，偶数条第一栅极线 HG 包括第 2、4、6 条第一栅极线 $HG2$ 、 $HG4$ 、 $HG6$ ；多条第二栅极线 VG 包括在第一方向 $D1$ 上依序排列的第 1~3 条第二栅极线 $VG1 \sim VG3$ 及第 4~6 条第二栅极线 $VG4 \sim VG6$ ；第 1~3 条第二栅极线 $VG1 \sim VG3$ 分别电性连接至第 1、3、5 条第一栅极线 $HG1$ 、 $HG3$ 、 $HG5$ ，且第 4~6 条第二栅极线 $VG4 \sim VG6$ 分别电性连接至第 2、4、6 条第一栅极线 $HG2$ 、 $HG4$ 、 $HG6$ 。换言之，在本实施例中，同一第二栅极线群 G_{vg} 的多条第二栅极线 VG 与多条第一栅极线 HG 的多个连接点 C （例如：第 1~3 条第二栅极线 $VG1 \sim VG3$ 与第 1、3、5 条第一栅极线 $HG1$ 、 $HG3$ 、 $HG5$ 的多个连接点 C 及第 4~6 条第二栅极线 $VG4 \sim VG6$ 与第 2、4、6 条第一栅极线 $HG2$ 、 $HG4$ 、 $HG6$ 的多个连接点 C ）大致上呈 V 字型分布。

权利要求

1. 一种显示装置，包括：
一第一基板；
多条数据线，设置于该第一基板上，且在一第一方向上排列；
5 多条第一栅极线，设置于该第一基板上，且在一第二方向上排列，其中该第一方向与该第二方向交错；
多个像素结构，设置于该第一基板上，且电性连接该些数据线及该些第一栅极线；
多条第二栅极线，设置于该第一基板上，其中该些数据线及该些第二栅极线在该第一方向上排列，且该些第二栅极线电性连接至该些第一栅极线；
10 多条第一共用线，设置于该第一基板上，其中该些像素结构排成多个像素列，该些像素列在该第一方向上排列，每一该第一共用线与对应的一该第二栅极线设置于该些像素列的相邻两者之间，该第一共用线及对应的该第二栅极线分别设置于与该第二栅极线电性连接的一该第一栅极线的相对两侧，且该第一共用线与对应的该第二栅极线于结构上分离；
一第二基板，设置于该第一基板的对向；以及
15 一显示介质，设置于该第一基板与该第二基板之间。
2. 如权利要求 1 所述的显示装置，其中一该第一共用线的信号与一该第二栅极线的一栅极关闭信号实质上相同。
3. 如权利要求 1 所述的显示装置，其中每一该第一栅极线与 n 条第二栅极线电性连接， n 为正整数，每一该第一栅极线与该 n 条第二栅极线具有在该第一方向上依序排列的
20 第 $1 \sim n$ 个连接点，该些第二栅极线包括在该第一方向上依序排列的第 $1 \sim n$ 个第二栅极线群，该第 $1 \sim n$ 个第二栅极线群的第 m 个第二栅极线群的多条第二栅极线与对应的多条第一栅极线具有该第 $1 \sim n$ 个连接点的第 m 个连接点， m 为正整数， $n \geq m \geq 1$ ，且该显示装置还包括：
一共用电极，设置于该第二基板上，且位于该第二基板与该显示介质之间；
25 多个共用垫组，设置于该第一基板上，且分别对应该第 $1 \sim n$ 个第二栅极线群设置，其中该些像素结构具有相对的一第一侧及一第二侧，该些共用垫组设置于该些像素结构的该第二侧，且每一该共用垫组包括多个第一共用垫；
多个第一转接元件，分别设置于该些共用垫组的该些第一共用垫上，且电性连接至该些共用垫组的该些第一共用垫及该共用电极；
30 n 个第二共用垫，设置于该第一基板上，分别对应该第 $1 \sim n$ 个第二栅极线群设置，且位于该些像素结构的该第一侧；以及
 n 个第二转接元件，分别设置于该 n 个第二共用垫上，且电性连接至该 n 个第二共用垫及该共用电极；
其中该些共用垫组的一共用垫组及该 n 个第二共用垫的一第二共用垫对应同一个第
35 二栅极线群，且该第二共用垫的电位大于该共用垫组的该些第一共用垫的电位。

4. 如权利要求 3 所述的显示装置, 还包括:

一第三共用垫, 设置于该第一基板上, 且位于该些像素结构的该第一侧, 其中该第三共用垫及该些第二共用垫在该第一方向上依序排列且于结构上彼此分离, 该第三共用垫对应该第 1~n 个第二栅极线群的第 1 个第二栅极线群设置, 而该第三共用垫的电位大于对应该些第二共用垫的电位; 以及

一第三转接元件, 设置于该第三共用垫上, 且电性连接至该第三共用垫及该共用电极。

5. 如权利要求 1 所述的显示装置, 还包括:

多条第二共用线, 设置于该第一基板上, 该些第二栅极线及该些第二共用线在该第一方向上排列, 其中每一该第二共用线设置于该些像素列的相邻两者之间;

10 一第一周边走线, 设置于该第一基板上且位于该些像素结构的第一侧, 其中该些第一共用线电性连接至该第一周边走线; 以及

一第二周边走线, 设置于该第一基板上且位于该些像素结构的第二侧, 其中每一该第二共用线的两端分别电性连接至该第一周边走线及该第二周边走线。

6. 如权利要求 1 所述的显示装置, 其中该些第一栅极线包括奇数条第一栅极线及偶数条第一栅极线, 该奇数条第一栅极线包括第 $(1+2\cdot K)$ 条第一栅极线, $K=0, 1, \dots, p$, p 为大于或等于 2 的正整数, 该偶数条第一栅极线包括第 $2L$ 条第一栅极线, $L=1, 2, \dots, q$, q 为大于或等于 3 的正整数; 该些第二栅极线包括在该第一方向上依序排列的第 1~ $(p+1)$ 条第二栅极线及第 $(p+2)$ ~ $(p+q+1)$ 条第二栅极线; 该第 1~ $(p+1)$ 条第二栅极线电性连接至该第 $(1+2\cdot K)$ 条第一栅极线, 且该第 $(p+2)$ ~ $(p+q+1)$ 条第二栅极线电性连接至该第 $2L$ 条第一栅极线。

7. 如权利要求 6 所述的显示装置, 其中该第 1~ $(p+1)$ 条第二栅极线与该第 $(1+2\cdot K)$ 条第一栅极线的多个连接点以及该第 $(p+2)$ ~ $(p+q+1)$ 条第二栅极线与该第 $2L$ 条的多个连接点大致上沿着互相平行的多条斜线分布。

8. 如权利要求 6 所述的显示装置, 其中该第 1~ $(p+1)$ 条第二栅极线与该第 $(1+2\cdot K)$ 条第一栅极线的多个连接点以及该第 $(p+2)$ ~ $(p+q+1)$ 条第二栅极线与该第 $2L$ 条的多个连接点大致上呈 V 字型分布。

9. 一种显示装置, 包括:

一第一基板;

多条数据线, 设置于该第一基板上, 且在第一方向上排列;

30 多条第一栅极线, 设置于该第一基板上, 且在第二方向上排列, 其中该第一方向与该第二方向交错;

多个像素结构, 设置于该第一基板上, 电性连接该些数据线及该些第一栅极线, 且在排成 x 个像素列及 y 个像素行, 其中该 x 个像素列在该第一方向上排列, 该 y 个像素行在该第二方向上排列, x 及 y 为大于 2 的正整数, 一该像素结构在该第一方向及该第二方向上分别具有一第一宽度 a_1 及一第二宽度 a_2 ;

多条第二栅极线, 设置于该第一基板上, 其中该些数据线及该些第二栅极线在该第一方向上排列, 且该些第二栅极线电性连接至该些第一栅极线;

一第二基板, 设置于该第一基板的对向; 以及

一显示介质, 设置于该第一基板与该第二基板之间;

5 其中, 每一该第一栅极线与 n 条第二栅极线电性连接;

$(a1 \cdot x + a2 \cdot y) < 2000000$, 且 $n=2$; 或

$2000000 < (a1 \cdot x + a2 \cdot y) < 2400000$, 且 $n=3$; 或

$2400000 < (a1 \cdot x + a2 \cdot y) < 3000000$, 且 $n=4$; 或

$(a1 \cdot x + a2 \cdot y) > 3000000$, 且 $n=5$ 。

10 10. 如权利要求 9 所述的显示装置, 还包括:

多条第一共用线, 设置于该第一基板上, 其中每一该第一共用线与对应的一该第二栅极线设置于该 x 个像素列的相邻两者之间, 该第一共用线及对应的该第二栅极线分别设置于与该第二栅极线电性连接的一该第一栅极线的相对两侧, 且该第一共用线与对应的该第二栅极线于结构上分离。

15 11. 如权利要求 10 所述的显示装置, 其中一该第一共用线的信号与一该第二栅极线的一栅极关闭信号实质上相同。

12. 如权利要求 9 所述的显示装置, 其中每一该第一栅极线与 n 条第二栅极线电性连接, n 为正整数, 每一该第一栅极线与该 n 条第二栅极线具有在该第一方向上依序排列的第 $1 \sim n$ 个连接点, 该些第二栅极线包括在该第一方向上依序排列的第 $1 \sim n$ 个第二栅极线群, 该第 $1 \sim n$ 个第二栅极线群的第 m 个第二栅极线群的多条第二栅极线与对应的多条第一栅极线具有该第 $1 \sim n$ 个连接点的第 m 个连接点, m 为正整数, $n \geq m \geq 1$, 且该显示装置还包括:

一共用电极, 设置于该第二基板上, 且位于该第二基板与该显示介质之间;

25 多个共用垫组, 设置于该第一基板上, 且分别对应该第 $1 \sim n$ 个第二栅极线群设置, 其中该些像素结构具有相对的一第一侧及一第二侧, 该些共用垫组设置于该些像素结构的该第二侧, 且每一该共用垫组包括多个第一共用垫;

多个第一转接元件, 分别设置于该些共用垫组的该些第一共用垫上, 且电性连接至该些共用垫组的该些第一共用垫及该共用电极;

30 n 个第二共用垫, 设置于该第一基板上, 分别对应该第 $1 \sim n$ 个第二栅极线群设置, 且位于该些像素结构的该第一侧; 以及

n 个第二转接元件, 分别设置于该 n 个第二共用垫上, 且电性连接至该 n 个第二共用垫及该共用电极;

其中该些共用垫组的一共用垫组及该 n 个第二共用垫的一第二共用垫对应同一个第二栅极线群, 且该第二共用垫的电位大于该共用垫组的该些第一共用垫的电位。

35 13. 如权利要求 12 所述的显示装置, 还包括:

一第三共用垫，设置于该第一基板上，且位于该些像素结构的该第一侧，其中该第三共用垫及该些第二共用垫在该第一方向上依序排列且于结构上彼此分离，该第三共用垫对应该第1~n个第二栅极线群的该第1个第二栅极线群设置，而该第三共用垫的电位大于对应该些第二共用垫的电位；以及

- 5 一第三转接元件，分别设置于该第三共用垫上，且电性连接至该第三共用垫及该共用电极。

14. 如权利要求10所述的显示装置，还包括：

多条第二共用线，设置于该第一基板上，该些第二栅极线及该些第二共用线在该第一方向上排列，其中每一该第二共用线设置于该些像素列的相邻两者之间；

- 10 一第一周边走线，设置于该第一基板上且位于该些像素结构的一第一侧，其中该些第一共用线电性连接至该第一周边走线；以及

一第二周边走线，设置于该第一基板上且位于该些像素结构的一第二侧，其中每一该第二共用线的两端分别电性连接至该第一周边走线及该第二周边走线。

15. 如权利要求9所述的显示装置，其中该些第一栅极线包括奇数条第一栅极线及偶数条第一栅极线，该奇数条第一栅极线包括第 $(1+2\cdot K)$ 条第一栅极线， $K=0, 1, \dots, p$ ， p 为大于或等于2的正整数，该偶数条第一栅极线包括第 $2L$ 条第一栅极线， $L=1, 2, \dots, q$ ， q 为大于或等于3的正整数；该些第二栅极线包括在该第一方向上依序排列的第 $1\sim(p+1)$ 条第二栅极线及第 $(p+2)\sim(p+q+1)$ 条第二栅极线；该第 $1\sim(p+1)$ 条第二栅极线电性连接至该第 $(1+2\cdot K)$ 条第一栅极线，且该第 $(p+2)\sim(p+q+1)$ 条第二栅极线电性连接至该第 $2L$ 条第一栅极线。
- 20

16. 如权利要求15所述的显示装置，其中该第 $1\sim(p+1)$ 条第二栅极线与该第 $(1+2\cdot K)$ 条第一栅极线的多个连接点以及该第 $(p+2)\sim(p+q+1)$ 条第二栅极线与该第 $2L$ 条的多个连接点大致上沿互相平行的多条斜线分布。

17. 如权利要求15所述的显示装置，其中该第 $1\sim(p+1)$ 条第二栅极线与该第 $(1+2\cdot K)$ 条第一栅极线的多个连接点以及该第 $(p+2)\sim(p+q+1)$ 条第二栅极线与该第 $2L$ 条的多个连接点大致上呈V字型分布。
- 25