

半导体器件的制造方法及半导体器件

相关申请的交叉引用

本申请要求于 2020 年 12 月 30 日提交中国专利局、申请号为 2020116310573、发明名称为“半导体器件的制造方法及半导体器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体技术领域，特别是涉及一种半导体器件的制造方法及半导体器件。

10 背景技术

随着半导体器件集成度的提高，半导体器件内部结构尺寸逐渐缩小且分布密度逐渐增大。然而，结构分布密度越大，结构之间的间距越小，针对于导电结构，越容易造成介质的电击穿或形成寄生电容。因此如何对相邻导电结构进行有效的电隔离，成为目前半导体器件制造工艺关注的重点。

15 目前，通常会在导电结构两侧形成空气间隔层，通过空气间隔层降低相邻结构之间的寄生电容，提高相邻结构之间的电隔离效果。在具体的半导体器件制造工艺中，一般是在导电结构侧面形成牺牲层，再使用高选择比的干法清洗机台刻蚀牺牲层来形成空气间隔层。由于所需的空气间隔层的宽度很窄，通常不超过 5nm，在实际的制造过程中很难通过刻蚀完全移除牺牲层，且刻蚀剂对牺牲层的刻蚀并不均匀，容易导致所形成的空气间隔层的表面均匀性差，从而降低空气间隔层的电隔离效果，影响半导体器件的电性性能。

发明内容

根据各个实施例，提供一种半导体器件的制造方法。

一种半导体器件的制造方法，包括：

25 提供基底；
在所述基底上形成沿第一方向延伸的多个第一结构；
在所述第一结构的侧面形成牺牲层；
在所述牺牲层的侧面形成外部间隔层；
去除部分所述外部间隔层得到图案化的外部间隔层，以暴露出部分所述牺牲层；
30 去除所述牺牲层，以于所述图案化的外部间隔层及所述第一结构之间形成空气间隙。
上述半导体器件的制造方法，先在基底上的第一结构的侧面形成牺牲层，再在牺牲层的侧面形成外部间隔层，接着去除部分外部间隔层得到图案化的外部间隔层，以暴露出部分牺牲层，最后去除牺牲层，即可在图案化的外部间隔层和第一结构之间形成空气间隙。因此，本申请通过暴露出部分牺牲层，有利于使牺牲层直接与外界反应而得以完整去除，
35 进而形成宽度很小的空气间隙，可以避免传统技术中因牺牲层太窄而难以去除的问题，同时由于无需通过刻蚀去除牺牲层，可提高空气间隙周围的表面的均匀性，避免因刻蚀导致的空气间隙周围的表面均匀性差的问题。

在其中一个实施例中，所述第一结构包括导电结构和位于所述导电结构侧面的隔离侧墙，所述隔离侧墙远离所述导电结构的侧面形成有所述牺牲层。

40 在其中一个实施例中，所述在所述第一结构的侧面形成牺牲层，包括：通过沉积工艺在所述基底和所述第一结构所暴露的表面形成牺牲层；对所述牺牲层进行回刻，形成位于所述第一结构侧面的牺牲层。

在其中一个实施例中，所述第一结构还包括位于所述导电结构上的硬掩模结构；

所述对所述牺牲层进行回刻，形成位于所述第一结构侧面的牺牲层，包括：

对所述牺牲层进行第一次刻蚀，使第一次刻蚀后的牺牲层的顶面与所述导电结构的顶面齐平，或高于所述导电结构顶面且低于所述硬掩模结构顶面；

通过沉积工艺在该第一次刻蚀后的牺牲层顶面和所述硬掩模结构所暴露的表面形成内部间隔层；

- 5 对所述内部间隔层进行刻蚀，去除位于该第一次刻蚀后的牺牲层顶面的部分所述内部间隔层和所述硬掩模结构顶面的所述内部间隔层，形成位于所述硬掩模结构侧面的内部间隔层；

以第一次刻蚀后的内部间隔层为掩膜对所述牺牲层进行第二次刻蚀，形成位于所述第一结构侧面的牺牲层。

- 10 在其中一个实施例中，所述去除部分所述外部间隔层得到图案化的外部间隔层，以暴露出部分所述牺牲层，包括：

通过沉积工艺在所述多个第一结构之间形成填充介质层；

通过研磨工艺去除所述外部间隔层顶面上方的所述填充介质层，使所述填充介质层的顶面与所述外部间隔层的顶面齐平；

- 15 在所述外部间隔层和所述填充介质层上形成掩膜层和光阻层，对所述光阻层进行曝光显影以形成沿第二方向延伸的图案化光阻层，基于所述图案化光阻层对所述掩膜层进行刻蚀，以形成沿第二方向延伸的图案化掩膜层；

以所述图案化掩膜层为掩膜对所述外部间隔层和所述填充介质层进行刻蚀，去除部分所述外部间隔层和部分所述填充介质层，得到所述图案化的外部间隔层。

- 20 在其中一个实施例中，所述牺牲层包括碳氢化合物层，所述去除所述牺牲层，包括：通过灰化工艺去除所述牺牲层。

在其中一个实施例中，所述方法还包括：在基底内形成沿第二方向延伸的多个第二结构，所述第二结构包括沿所述第二方向延伸的埋入式字线，及形成于所述埋入式字线上的字线保护结构。

- 25 在其中一个实施例中，所述导电结构包括沿所述第一方向延伸的位线，所述位线上形成有位线保护结构。

在其中一个实施例中，所述沉积工艺包括原子层沉积工艺。

- 30 在其中一个实施例中，所述去除所述牺牲层，以形成所述空气间隙之后，还包括：于所述多个第一结构之间形成多个存储节点接触结构，所述存储节点接触结构与所述基底相接触，所述空气间隙位于所述存储节点接触结构和所述第一结构之间。

在其中一个实施例中，所述于所述多个第一结构之间形成多个存储节点接触结构，包括：

去除所述填充介质层；

- 35 对部分所述基底进行刻蚀，以于相邻的所述第一结构之间形成多个凹陷的基底接触孔；

通过外延工艺在所述基底上形成外延层，所述外延层至少填满所述基底接触孔；

对所述外延层进行回刻，以形成多个所述存储节点接触结构，所述存储节点接触结构的顶面低于所述第一结构的顶面。

- 40 在其中一个实施例中，所述形成多个存储节点接触结构中，在所述去除所述填充介质层之前，还包括：通过沉积工艺在所述填充介质层之间形成节点间隔层，所述节点间隔层覆盖所述填充介质层的顶面；对所述节点间隔层进行回刻，使所述节点间隔层的顶面与所述填充介质层的顶面齐平。

在其中一个实施例中，所述对所述外延层进行回刻之后，还包括：对所述图案化的外部间隔层进行刻蚀，使所述图案化的外部间隔层的顶面为倾斜面。

- 45 还提供一种半导体器件，包括：

基底；

多个第一结构，形成在所述基底上且沿第一方向延伸；

图案化的外部间隔层，形成于所述第一结构两侧的部分区域，所述图案化的外部间隔层与所述第一结构之间具有空气间隙；

5 其中，所述图案化的外部间隔层包括多个外部间隔块，所述多个外部间隔块沿所述第一方向间隔分布于所述基底。

上述半导体器件，在第一结构两侧的部分区域形成有图案化的外部间隔层，图案化的外部间隔层与第一结构之间具有空气间隙，且图案化的外部间隔层包括多个沿第一方向间隔分布于基底的外部间隔块。上述半导体器件中空气间隙周围的表面均匀性较好，可以避免因刻蚀均匀性差导致的空气间隔层电隔离效果表现不一的问题，提升第一结构与相邻存储节点接触结构间的电隔离效果。

在其中一个实施例中，还包括：形成于所述多个第一结构之间的多个存储节点接触结构，所述存储节点接触结构与所述基底相接触，所述空气间隙位于所述存储节点接触结构和所述第一结构之间。

15 在其中一个实施例中，所述图案化的外部间隔层的顶面为倾斜面。

在其中一个实施例中，所述第一结构包括导电结构和位于所述导电结构侧面的隔离侧墙，所述隔离侧墙和所述图案化的外部间隔层之间形成有所述空气间隙。

在其中一个实施例中，所述导电结构包括沿所述第一方向延伸的位线，所述位线上形成有位线保护结构。

20 在其中一个实施例中，所述图案化的外部间隔层和所述第一结构之间还设有内部间隔层，所述空气间隙位于所述内部间隔层和所述基底之间，且所述内部间隔层的底面不低于所述导电结构的顶面。

在其中一个实施例中，所述半导体器件还包括：多个第二结构，形成于所述基底内且沿第二方向延伸；所述第二结构包括沿所述第二方向延伸的埋入式字线，及形成于所述埋入式字线上的字线保护结构。

附图说明

图 1 为一实施例的半导体器件的制造方法的步骤流程图；

图 2 为一实施例的形成第一结构后的半导体器件的俯视图；

30 图 3 为分别沿图 2 中线 A-A'、线 B-B'、线 C-C'和线 D-D'截取的截面图，示出了形成第一结构后的半导体器件的一种实施方式；

图 4 为一实施例的形成牺牲层的步骤流程图；

图 5 为一实施例的牺牲层回刻的步骤流程图；

图 6A 为沉积牺牲层后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

35 图 6B 为对牺牲层进行第一次刻蚀后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

图 6C 为沉积内部间隔层后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

图 6D 为对牺牲层进行第二次刻蚀以及对内部间隔层进行刻蚀后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

图 7 为沉积外部间隔层后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

40 图 8 为一实施例的形成图案化的外部间隔层的步骤流程图；

图 9A 为沉积填充介质层后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

图 9B 为对填充介质层进行回刻后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

图 10 为设置掩膜层和图案化光阻层后，沿图 2 中线 A-A'、线 B-B'、线 C-C'和线 D-D'截取的截面图；

45 图 11 为形成图案化的外部间隔层后，沿图 2 中线 A-A'、线 B-B'、线 C-C'和线 D-D'

截取的截面图；

图 12 为去除牺牲层后，沿图 2 中线 A-A'和线 B-B'截取的截面图；

图 13 为形成节点间隔层后，沿图 2 中线 B-B'和线 D-D'截取的截面图；

图 14A 为去除填充介质层后，沿图 2 中线 B-B'和线 D-D'截取的截面图；

5 图 14B 为形成基底接触孔后，沿图 2 中线 B-B'和线 D-D'截取的截面图；

图 14C 为形成存储节点接触结构后，沿图 2 中线 B-B'和线 D-D'截取的截面图；

图 15 为对图案化的外部间隔层进行刻蚀后，沿图 2 中线 A-A'、线 B-B'、线 C-C'和线 D-D'截取的截面图。

10 具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的优选实施方式。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施方式。相反的，提供这些实施方式的目的是为了对本发明的公开内容理解得更加透彻全面。

15 需要说明的是，当元件被称为“固定于”另一个元件，它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件，它可以是直接连接到另一个元件或者可能同时存在居中元件。本文所使用的术语“垂直的”、“水平的”、“左”、“右”、“上”、“下”、“前”、“后”、“周向”以及类似的表述是基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的

20 方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

25 在位线和存储节点接触结构之间形成空气间隙有利于增加位线和存储节点接触结构之间的绝缘特性。然而，在传统技术中，形成空气间隙的过程包括：先形成待隔离的导电结构，然后在导电结构侧面依次向外形成内介质层、牺牲层和外介质层，然后形成与外介质层接触的多晶硅，最后再选用刻蚀选择比较高的刻蚀剂去除牺牲层，形成隔离导电结构和多晶硅的空气间隙。由于所需要的空气间隙的宽度很窄，从而对应的牺牲层的宽度也很

30 窄，通常不超过 5nm，在实际的制造过程中，很难通过刻蚀完全移除牺牲层，且刻蚀剂对牺牲层的刻蚀并不均匀，造成围合形成空气间隙的周围表面也不均匀，从而降低空气间隙的电隔离效果，影响半导体器件的电性性能。

针对上述缺陷，在本申请提供了一种改进的半导体器件的制造方法及半导体器件，通过暴露部分牺牲层以是牺牲层与外界接触反应，从而完整地去除牺牲层，如此可以替换原有的刻蚀方式，避免传统技术中因牺牲层太窄而难以去除以及因刻蚀导致的空气间隙周围的表面均匀性差的问题。

35 具体的，如图 1 所示，在本申请一实施例中，该改进的半导体器件的制造方法包括以下步骤：

S100、提供基底。

40 基底可以包括单晶硅基底、绝缘体上硅（SOI）基底、绝缘体上层叠硅（SSOI）基底、绝缘体上层叠锗化硅（S-SiGeOI）基底、绝缘体上锗化硅（SiGeOI）基底或绝缘体上锗（GeOI）基底等。在本申请所述的各实施例中，基底包括单晶硅基底。

进一步的，请参考图 2 和图 3，沟槽隔离结构 110 可以设置在基底 100 中以于基底 100 内限定出多个有源区 AR，多个有源区 AR 可以呈错位阵列排布。具体的，沟槽隔离结构

45 110 包括氧化硅，每个有源区 AR 可具有沿第三方向 D3 延伸的长柱形状，且有源区 AR

可以彼此平行设置,一个有源区 AR 的中心可以邻近于其相邻的另一有源区 AR 的端部分。

S200、在基底上形成沿第一方向延伸的多个第一结构。

请继续参考图 2 和图 3,基底 100 上形成有沿第一方向 D1 延伸的多个第一结构 200。具体的,第一结构 200 可包括导电结构 210 和位于导电结构 210 侧面的隔离侧墙 230,导电结构 210 可包括沿第一方向 D1 延伸的位线 211。进一步的,上述导电结构 210 可包括叠设的位线插塞 212 和位线 211,位线插塞 212 位于位线 211 和基底 100 之间。其中,隔离侧墙 230 包括氮化硅,也可包括其他介质材料,位线插塞 212 包括外延结构,位线 211 包括金属钨,还可以包括铝、铜、镍或钴等。在一实施例中,位线 211 和位线插塞 212 之间设置有阻挡层,该阻挡层包括氮化钛。在一实施例中,位线 211 上形成有位线保护结构 220,位线保护结构 220 包括氮化硅。

在一实施例中,基底 100 内可形成沿第二方向 D2 延伸的多个第二结构 300,其中,第二方向 D2 交叉第一方向 D1,可选的,第二方向 D2 垂直于第一方向 D1。具体的,第二结构 300 可包括沿第二方向 D2 延伸的埋入式字线 320,埋入式字线 320 的顶面低于基底 100 的顶面,且埋入式字线 320 上形成有自埋入式字线 320 延伸至基底 100 顶面的字线保护结构 310。其中,埋入式字线 320 包括金属钨,字线保护结构 310 包括氮化硅、氧化硅或氮氧化硅等。进一步的,埋入式字线 320 和基底 100 之间设置有栅氧化层 330,栅氧化层层 330 包括二氧化硅,在栅氧化层 330 和埋入式字线 320 之间还可形成有阻挡层,阻挡层包括氮化钛。

S300、在第一结构的侧面形成牺牲层。

请参考图 11,最后去除的牺牲层位于每个第一结构 200 沿第一方向 D1 延伸的两个侧面,且该牺牲层的顶面不低于导电结构 210 的顶面,从而有助于使牺牲层去除后形成的空气间隙在导电结构 210 和后续形成的存储节点接触结构之间实现较佳的电隔离效果。具体的,如图 4 所示,步骤 S300 可包括以下步骤:

S310、通过沉积工艺在基底和第一结构所暴露的表面形成牺牲层。

S320、对牺牲层进行回刻,形成位于第一结构侧面的牺牲层。

如图 6A 至图 6D 所示,先通过沉积工艺在基底 100 和第一结构 200 所暴露的表面沉积一整片牺牲层 400,然后对牺牲层 400 进行回刻,去除基底 100 上的部分牺牲层 400,从而形成位于第一结构 200 侧面的牺牲层 400'。进一步的,牺牲层 400 的材质可以在相同刻蚀条件下相较于第一结构具有较大刻蚀选择比的材质,如此有助于后续牺牲层的完整去除。其中,沉积工艺包括化学气相沉积或原子层沉积,在本申请所述的各实施例中,沉积工艺采用原子层沉积工艺。具体的,如图 5 所示,步骤 S320 可包括以下步骤:

S321、对牺牲层进行第一次刻蚀,使第一次刻蚀后的牺牲层的顶面与导电结构的顶面齐平,或高于导电结构顶面且低于硬掩模结构顶面。

如图 6B 所示,硬掩膜结构位于导电结构 210 的上方,硬掩膜结构的材质可以与位线保护结构 220 的材质相同。在一实施例中,位线保护结构 220 也可以包括硬掩膜结构。通过对牺牲层 400 进行第一次刻蚀,可得到牺牲层 400',且牺牲层 400'的顶面不低于导电结构 210 的顶面。

S322、通过沉积工艺在该第一次刻蚀后的牺牲层顶面和硬掩膜结构所暴露的表面形成内部间隔层。

S323、对内部间隔层进行刻蚀,去除位于该第一次刻蚀后的牺牲层顶面的部分内部间隔层和硬掩膜结构顶面的内部间隔层,形成位于硬掩膜结构侧面的内部间隔层。

如图 6C 所示,可通过沉积工艺在牺牲层 400'顶面和硬掩膜结构所暴露的表面沉积一层厚度相同的内部间隔层 500,此时内部间隔层 500 保形地覆盖牺牲层 400'和硬掩膜结构所暴露的表面,然后再向下对内部间隔层 500 进行刻蚀,去除位于牺牲层 400'顶面的部分内部间隔层 500 和硬掩膜结构顶面的内部间隔层 500,保留位于硬掩膜结构侧面的内部间

隔层 500，形成内部间隔层 500'。

S324、以第一次刻蚀后的内部间隔层为掩膜对牺牲层进行第二次刻蚀，形成位于第一结构侧面的牺牲层。

如图 6D 所示，以内部间隔层 500'为掩膜对牺牲层 400'进行第二次刻蚀，从而去除基底 100 上的部分牺牲层 400'，保留第一结构 200 侧面（即隔离侧墙 230 远离导电结构 210 的侧面）的牺牲层 400'，形成牺牲层 400''。该牺牲层 400''即为后续需要去除以形成空气间隙的部分。

通过在牺牲层 400''的上方设置内部间隔层 500'，方便了对牺牲层 400'进行刻蚀，并且，也有利于对后续形成的空气间隙进行更好地封闭，提升导电结构 210 与后续形成的存储节点接触结构之间的电隔离效果。应当理解的是，在一些实施方式中，也可以不在牺牲层 400''上方设置内部间隔层 500'，而直接将内部间隔层 500'所处的区域也设置为牺牲层 400''，如此可在牺牲层 400 进行第一次刻蚀时，即通过相应掩膜在第一结构 200 两侧面形成待去除的牺牲层，以简化空气间隙的形成步骤，提升半导体器件的制造效率。

S400、在牺牲层的侧面形成外部间隔层。

请参考图 7，可在基底 100、牺牲层 400''以及第一结构 200 所暴露的表面均沉积一层厚度相同的外部间隔层 600，此时牺牲层 400''的侧面也被外部间隔层 600 所覆盖。需要指出的是，此时第一结构 200 顶面以及基底 100 上的外部间隔层既可以通过掩膜对外部间隔层 600 进行刻蚀去除，也可以通过本申请制造方法后续工艺中的刻蚀去除。本实施例中，采用通过后续工艺中的刻蚀去除，以减少掩膜制作，简化牺牲层 400''侧面的外部间隔层的制造工艺。

S500、去除部分外部间隔层得到图案化的外部间隔层，以暴露出部分牺牲层。

请参考图 11，通过对外部间隔层 600 进行刻蚀可得到外部间隔层 600'，并可形成图案化的外部间隔层，该图案化的外部间隔层由图 11 中的粗虚线框示出。进一步的，以图 11 中的 A-A'截面图和 B-B'截面图为例，图案化的外部间隔层可形成在第一结构 200 两侧的部分区域，且至少第二结构 300 正上方的外部间隔层被去除，使得至少第二结构 300 正上方的牺牲层 400''暴露于外界。具体的，如图 8 所示，步骤 S500 可包括以下步骤：

S510、通过沉积工艺在多个第一结构之间形成填充介质层。

S520、通过研磨工艺去除外部间隔层顶面上方的填充介质层，使填充介质层的顶面与外部间隔层的顶面齐平。

请参考图 9A 和图 9B，可通过沉积工艺在外部间隔层 600 上沉积一整片填充介质层 700，使填充介质层 700 填满多个第一结构 200 之间的区域。然后，通过研磨工艺去除外部间隔层 600 顶面上方的填充介质层 700，形成填充介质层 700'，使填充介质层 700'的顶面与外部间隔层 600 的顶面齐平。如此，有助于后续通过掩模板或掩膜层对外部间隔层 600 和填充介质层 700'进行刻蚀。

S530、在外部间隔层和填充介质层上形成掩膜层和光阻层，对光阻层进行曝光显影以形成沿第二方向延伸的图案化光阻层，基于图案化光阻层对掩膜层进行刻蚀，以形成沿第二方向延伸的图案化掩膜层。

S540、以图案化掩膜层为掩膜对外部间隔层和填充介质层进行刻蚀，去除部分外部间隔层和部分填充介质层，得到图案化的外部间隔层。

请参考图 10，外部间隔层 600 和填充介质层 700'上设置有掩膜层 800，通过掩膜层 800 定义出刻蚀窗口。其中，掩膜层 800 可为单层，也可为多层，可根据工艺要求进行不同的选择。在本实施例中，掩膜层 800 具有叠设的四层，具体包括依次叠设于外部间隔层 600 和填充介质层 700'上的第一、第二、第三以及第四掩膜层。进一步的，第四掩膜层上还形成有沿第二方向 D2 延伸的图案化光阻层 900，通过图案化光阻层 900 在第四掩膜层上定义出第四掩膜层的刻蚀窗口，然后依次对第四、第三、第二和第一掩膜层进行刻蚀，

将刻蚀窗口下移至第一掩膜层并暴露出待刻蚀的外部间隔层 600 和填充介质层 700'，然后对外部间隔层 600 和填充介质层 700'进行刻蚀。刻蚀完成后，如图 11 所示，至少第二结构 300 正上方的外部间隔层 600 和填充介质层 700'被去除，形成外部间隔层 600'和填充介质层 700''，外部间隔层 600'在第一方向 D1 上具有多个间隙。如此，使得至少第二结构 300 正上方的牺牲层 400''暴露于外界。

S600、去除牺牲层，以于图案化的外部间隔层及第一结构之间形成空气间隙。

牺牲层 400''可包括能够被热分解的碳氢化合物层或聚合物层，此时，可以通过灰化工艺或者施加热量以选择性地去除牺牲层 400''。具体的，可向基底 100 通入氧气，从而在灰化工艺期间，氧气可与暴露于外界的牺牲层 400''接触并反应，牺牲层 400''转变为二氧化碳气体、一氧化碳气体和/或甲烷气体，这些气体可在反应期间被快速地输出到外界，而不会被其他结构过多地阻挡或是长时间停留在反应空间中。灰化工艺完成后，如图 12 所示，牺牲层 400''被完整地去除，图案化的外部间隔层及第一结构 200 之间形成有空气间隙 1000。

上述半导体器件的制造方法，先在基底 100 上的第一结构 200 的侧面形成牺牲层 400''，再在牺牲层 400''的侧面形成外部间隔层，接着去除部分外部间隔层得到图案化的外部间隔层，以暴露出部分牺牲层，最后去除牺牲层，即可在图案化的外部间隔层和第一结构 200 之间形成空气间隙。因此，本申请通过暴露出部分牺牲层 400''，有利于使牺牲层 400''直接与外界反应而得以完整去除，进而形成宽度很小的空气间隙 1000，可以避免传统技术中因牺牲层 400''太窄而难以去除的问题，同时由于无需通过刻蚀去除牺牲层 400''，可提高空气间隙 1000 周围的表面的均匀性，避免因刻蚀导致的空气间隙周围的表面均匀性差的问题。

在一实施例中，在形成空气间隙 1000 之后，还包括步骤：

S600、于多个第一结构之间形成多个存储节点接触结构，存储节点接触结构与基底相接触，空气间隙位于存储节点接触结构和第一结构之间。

具体的，请参考图 14C，在埋入式字线 320 两侧的有源区 AR 内形成源区和漏区，从而可形成 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor，金属氧化物半导体场效应管)。进一步的，漏区通过位线插塞 212 与上述位线 211 电连接，在源区上方则形成有存储电容器，存储电容器的下极板通过多晶硅与源区电连接，由此可形成半导体存储器，例如可形成动态随机存取存储器 (Dynamic Random Access Memory, DRAM)，当然，也可以形成其他类型的存储器。从而，空气间隙 1000 位于存储节点接触结构和第一结构 200 之间，有助于提升存储节点接触结构和第一结构 200 之间的绝缘特性，进而提升半导体存储器的电性性能。具体的，步骤 S600 可包括以下步骤：

S610、通过沉积工艺在填充介质层之间形成节点间隔层，节点间隔层覆盖填充介质层的顶面。

S620、对节点间隔层进行回刻，使节点间隔层的顶面与填充介质层的顶面齐平。

请参考图 13，可通过沉积工艺在填充介质层 700''之间沉积一整片节点间隔层，再对节点间隔层进行回刻，形成节点间隔层 1100，并使节点间隔层 1100 的顶面与填充介质层 700''的顶面齐平。如此，有助于限定存储节点接触结构的形成区域，同时对相邻的存储节点接触结构实现较好地隔离。进一步的，节点间隔层 1100 形成在第二结构 300 的正上方。

S630、去除填充介质层。

请参考图 14A，可通过刻蚀去除填充介质层 700''，以为存储节点接触结构提供形成区域。另外，在对填充介质层 700''进行刻蚀的同时，还可将第一结构 200 顶面的外部间隔层 600'也刻蚀去除，形成外部间隔层 600''。

S640、对部分基底进行刻蚀，以于相邻的第一结构之间形成多个凹陷的基底接触孔。

请参考图 14B，可通过刻蚀去除部分基底 100，以在相邻第一结构 200 之间形成多个

凹陷的基底接触孔 1200，源区上方的存储电容器的下极板便通过基底接触孔 1200 和基底 100 中的源区电连接。进一步的，基底接触孔 1200 还位于相邻的第二结构 300 之间。另外，在对基底 100 进行刻蚀的同时，可将原本填充介质层 700”与基底 100 之间的外部间隔层 600”也一并去除，进而形成位于第一结构 200 两侧的外部间隔层 600”，该外部间隔层 600”即为上述图案化的外部间隔层。

S650、通过外延工艺在基底上形成外延层，外延层至少填满基底接触孔。

S660、对外延层进行回刻，以形成多个存储节点接触结构，存储节点接触结构的顶面低于第一结构的顶面。

请参考图 14C，可通过沉积工艺在基底 100 上沉积一整片外延层，并使该外延层至少填满基底接触孔 1200，然后再对该外延层进行回刻，形成外延层 1300，进而与基底接触孔 1200 共同形成多个存储节点接触结构。进一步的，存储节点接触结构的顶面低于第一结构 200 的顶面，有助于存储节点接触结构与存储电容器的下极板接触。

在一实施例中，步骤 S660 之后，还包括步骤：

S670、对图案化的外部间隔层进行刻蚀，使图案化的外部间隔层的顶面为倾斜面。

请参考图 15，可将第一结构 200 两侧的图案化的外部间隔层（粗虚线框示出）的顶面进行刻蚀成，形成外部间隔层 600”，刻蚀后的图案化外部间隔层的顶面为倾斜面，且在 B-B’截面图中，第一结构 200 两侧的外部间隔层 600”的顶面呈“八”字型分布，同时，将节点间隔层 1100 的顶面也进行相应刻蚀，形成节点间隔层 1100’。如此，可使存储节点接触结构的上部更宽，进而增大存储节点接触结构与后续存储电容器的接触面积，提升半导体存储器件的性能。

在一实施例中，当图案化的外部间隔层与第一结构 200 之间还设置有内部间隔层 500’时，内部间隔层 500’也需进行刻蚀，形成内部间隔层 500”，内部间隔层 500”的顶面在 B-B’截面图中同样成“八”字型分布。将内部间隔层 500”的顶面也设置为斜面，有助于进一步增加存储节点接触结构与后续存储电容器的接触面积。可以理解的是，还可以通过其他刻蚀方式来增加存储节点接触结构与后续存储电容器的接触面积，本申请对此不做限制。

本申请还提供一种半导体结构。

如图 15 所示，该半导体结构包括：基底 100；多个第一结构 200，形成在基底 100 上且沿第一方向 D1 延伸；图案化的外部间隔层（粗虚线框示出），形成于第一结构 200 两侧的部分区域，图案化的外部间隔层与第一结构 200 之间具有空气间隙；其中，图案化的外部间隔层包括多个外部间隔块（图未示出），多个外部间隔块沿第一方向间隔分布于基底 100。

具体的，由前述步骤可知，图案化的外部间隔层中在第一方向 D1 上具有多个间隙，从而图案化的外部间隔层包括多个沿第一方向 D1 间隔分布的外部间隔块。

上述半导体器件，在第一结构 200 两侧的部分区域形成有图案化的外部间隔层，图案化的外部间隔层与第一结构 200 之间具有空气间隙，且图案化的外部间隔层包括多个沿第一方向 D1 间隔分布于基底 100 的外部间隔块。上述半导体器件中空气间隙 1000 周围的表面均匀性较好，可以避免因刻蚀均匀性差导致的电隔离效果表现不一的问题，提升第一结构与相邻存储节点接触结构间的绝缘特性。

在一实施例中，请参考图 15，上述半导体器件还包括形成于多个第一结构 200 之间的多个存储节点接触结构，存储节点接触结构与基底 100 相接触，且空气间隙 1000 位于存储节点接触结构和第一结构 200 之间。具体的，外延层 1300 填充在基底接触孔 1200 中，且外延层的顶面低于第一结构 200 的顶面，从而形成存储节点接触结构。

在埋入式字线 320 两侧的有源区 AR 内形成源区和漏区，从而可形成 MOSFET。漏区通过位线插塞 212 与上述位线 211 电连接，在源区上方则形成有存储电容器，存储电容器的下极板通过多晶硅与源区电连接，由此可形成半导体存储器，例如可形成动态随机存取

存储器（DRAM）。从而，空气间隙 1000 位于存储节点接触结构和第一结构 200 之间，有助于提升存储节点接触结构和第一结构 200 之间的绝缘特性，进而提升半导体存储器的电性能。

5 在一实施例中，图案化的外部间隔层的顶面为倾斜面。如图 15 所示，图案化的外部间隔层的顶面为倾斜面时，形成外部间隔层 600'''，此时可使存储节点接触结构的上部更宽，从而增大存储节点接触结构与后续存储电容器的接触面积，提升半导体存储器件的性能。

在一实施例中，上述半导体结构可以为动态随机存取存储器，其中，第一结构 200 包括导电结构 210 和位于导电结构 210 侧面的隔离侧墙 230，隔离侧墙 230 和图案化的外部
10 间隔层之间形成有空气间隙 1000。进一步的，导电结构 210 包括沿第一方向 D1 延伸的位线 211，位线 211 上形成有位线保护结构 220。在一实施例中，半导体器件还包括多个第二结构 300，形成于基底 100 内且沿第二方向 D2 延伸；第二结构 300 包括沿第二方向 D2 延伸的埋入式字线 320，及形成于埋入式字线 320 上的字线保护结构 310。

在一实施例中，图案化的外部间隔层和第一结构之间还设置有内部间隔层 500''，空气
15 间隙 1000 位于内部间隔层 500''和基底 100 之间，且内部间隔层 500''的底面不低于导电结构 210 的顶面。通过在空气间隙 1000'的上方设置内部间隔层 500''，有利于对空气间隙 1000 实现较好地封闭，提升导电结构 210 与存储节点接触结构之间的电隔离效果，同时也有助于增加存储节点接触结构与后续存储电容器的接触面积。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例
20 中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能
25 因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。

权利要求书

- 1、一种半导体器件的制造方法，包括：
提供基底；
在所述基底上形成沿第一方向延伸的多个第一结构；
在所述第一结构的侧面形成牺牲层；
5 在所述牺牲层的侧面形成外部间隔层；
去除部分所述外部间隔层得到图案化的外部间隔层，以暴露出部分所述牺牲层；及
去除所述牺牲层，以于所述图案化的外部间隔层及所述第一结构之间形成空气间隙。
- 2、根据权利要求 1 所述的方法，其中所述第一结构包括导电结构和位于所述导电结构侧面的隔离侧墙，所述隔离侧墙远离所述导电结构的侧面形成有所述牺牲层。
- 10 3、根据权利要求 2 所述的方法，其中所述在所述第一结构的侧面形成牺牲层，包括：
通过沉积工艺在所述基底和所述第一结构所暴露的表面形成牺牲层；
对所述牺牲层进行回刻，形成位于所述第一结构侧面的牺牲层。
- 4、根据权利要求 3 所述的方法，其中所述第一结构还包括位于所述导电结构上的硬掩模结构；
15 所述对所述牺牲层进行回刻，形成位于所述第一结构侧面的牺牲层，包括：
对所述牺牲层进行第一次刻蚀，使第一次刻蚀后的牺牲层的顶面与所述导电结构的顶面齐平，或高于所述导电结构顶面且低于所述硬掩模结构顶面；
通过沉积工艺在该第一次刻蚀后的牺牲层顶面和所述硬掩模结构所暴露的表面形成内部间隔层；
20 对所述内部间隔层进行刻蚀，去除位于该第一次刻蚀后的牺牲层顶面的部分所述内部间隔层和所述硬掩模结构顶面的所述内部间隔层，形成位于所述硬掩模结构侧面的内部间隔层；
以第一次刻蚀后的内部间隔层为掩膜对所述牺牲层进行第二次刻蚀，形成位于所述第一结构侧面的牺牲层。
- 25 5、根据权利要求 1 所述的方法，其中所述去除部分所述外部间隔层得到图案化的外部间隔层，以暴露出部分所述牺牲层，包括：
通过沉积工艺在所述多个第一结构之间形成填充介质层；
通过研磨工艺去除所述外部间隔层顶面上方的所述填充介质层，使所述填充介质层的顶面与所述外部间隔层的顶面齐平；
30 在所述外部间隔层和所述填充介质层上形成掩膜层和光阻层，对所述光阻层进行曝光显影以形成沿第二方向延伸的图案化光阻层，基于所述图案化光阻层对所述掩膜层进行刻蚀，以形成沿第二方向延伸的图案化掩膜层；
以所述图案化掩膜层为掩膜对所述外部间隔层和所述填充介质层进行刻蚀，去除部分所述外部间隔层和部分所述填充介质层，得到所述图案化的外部间隔层。
- 35 6、根据权利要求 1 所述的方法，其中所述牺牲层包括碳氢化合物层，所述去除所述牺牲层，包括：
通过灰化工艺去除所述牺牲层。
- 7、根据权利要求 1 所述的方法，还包括：
在基底内形成沿第二方向延伸的多个第二结构，所述第二结构包括沿所述第二方向延伸的埋入式字线，及形成于所述埋入式字线上的字线保护结构。
40 8、根据权利要求 2 所述的方法，其中所述导电结构包括沿所述第一方向延伸的位线，所述位线上形成有位线保护结构。
- 9、根据权利要求 3 所述的方法，其中所述沉积工艺包括原子层沉积工艺。
- 10、根据权利要求 5 所述的方法，其中所述去除所述牺牲层，以形成所述空气间隙之

后,还包括:

于所述多个第一结构之间形成多个存储节点接触结构,所述存储节点接触结构与所述基底相接触,所述空气间隙位于所述存储节点接触结构和所述第一结构之间。

- 5 11、根据权利要求 10 所述的方法,其中所述于所述多个第一结构之间形成多个存储节点接触结构,包括:

去除所述填充介质层;

对部分所述基底进行刻蚀,以于相邻的所述第一结构之间形成多个凹陷的基底接触孔;

- 10 通过外延工艺在所述基底上形成外延层,所述外延层至少填满所述基底接触孔;

对所述外延层进行回刻,以形成多个所述存储节点接触结构,所述存储节点接触结构的顶面低于所述第一结构的顶面。

12、根据权利要求 11 所述的方法,其中所述形成多个存储节点接触结构中,在所述去除所述填充介质层之前,还包括:

- 15 通过沉积工艺在所述填充介质层之间形成节点间隔层,所述节点间隔层覆盖所述填充介质的顶面;

对所述节点间隔层进行回刻,使所述节点间隔层的顶面与所述填充介质的顶面齐平。

13、根据权利要求 11 所述的方法,其中所述对所述外延层进行回刻之后,还包括:

- 20 对所述图案化的外部间隔层进行刻蚀,使所述图案化的外部间隔层的顶面为倾斜面。

14、一种半导体器件,包括:

基底;

多个第一结构,形成在所述基底上且沿第一方向延伸;及

图案化的外部间隔层,形成于所述第一结构两侧的部分区域,所述图案化的外部间隔层与所述第一结构之间具有空气间隙;

- 25 其中,所述图案化的外部间隔层包括多个外部间隔块,所述多个外部间隔块沿所述第一方向间隔分布于所述基底。

15、根据权利要求 14 所述的半导体器件,还包括:

形成于所述多个第一结构之间的多个存储节点接触结构,所述存储节点接触结构与所述基底相接触,所述空气间隙位于所述存储节点接触结构和所述第一结构之间。

- 30 16、根据权利要求 15 所述的半导体器件,其中所述图案化的外部间隔层的顶面为倾斜面。

17、根据权利要求 14 所述的半导体器件,其中所述第一结构包括导电结构和位于所述导电结构侧面的隔离侧墙,所述隔离侧墙和所述图案化的外部间隔层之间形成有所述空气间隙。

- 35 18、根据权利要求 17 所述的半导体器件,其中所述导电结构包括沿所述第一方向延伸的位线,所述位线上形成有位线保护结构。

19、根据权利要求 17 所述的半导体器件,其中所述图案化的外部间隔层和所述第一结构之间还设有内部间隔层,所述空气间隙位于所述内部间隔层和所述基底之间,且所述内部间隔层的底面不低于所述导电结构的顶面。

- 40 20、根据权利要求 14 所述的半导体器件,还包括:

多个第二结构,形成于所述基底内且沿第二方向延伸;所述第二结构包括沿所述第二方向延伸的埋入式字线,及形成于所述埋入式字线上的字线保护结构。