

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2026 年 5 月 21 日 (21.05.2026)



(10) 国际公布号
WO 2026/102953 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2025/080721

(22) 国际申请日: 2025 年 3 月 5 日 (05.03.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202411622327.2 2024 年 11 月 13 日 (13.11.2024) CN

(71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(72) 发明人: 林超 (**LIN, Chao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。刘瑞松 (**LIU, Ruisong**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。徐丽华 (**XU, Lihua**); 中

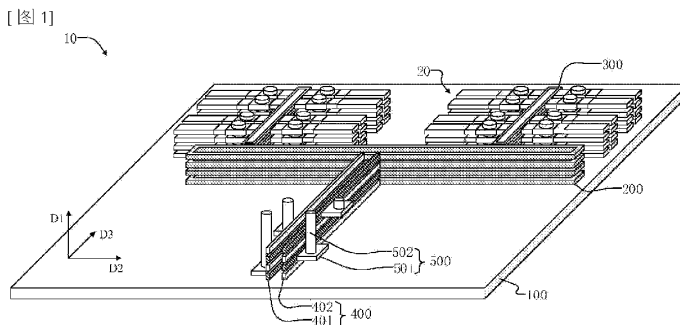
国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制备方法



(57) **Abstract:** A semiconductor device and a manufacturing method therefor. The semiconductor device comprises: a substrate (100); common electrode structures (200) stacked on the substrate (100) in a first direction, the first direction intersecting the substrate (100); stacked array structures (20) comprising first electrode structures (300), the first electrode structures (300) being stacked on the substrate (100) along the first direction and electrically connected to the common electrode structures (200) arranged on the same layers; first lead-out structures (400) stacked in the first direction and connected to the common electrode structures (200) arranged on the same layers, each first lead-out structure (400) comprising a first lead (401) and a first dummy line (402) arranged opposingly, and in the first direction, the first leads (401) and the first dummy lines (402) of different first lead-out structures (400) being alternately arranged; and second lead-out structures (500) each comprising a second contact pad (501) and a second contact plug (502), each second contact pad (501) being arranged on the same layer as the corresponding first lead (401) and being electrically connected to the corresponding common electrode structure (200) by means of the corresponding first lead (401), the second contact plugs (502) being arranged on the second contact pads (501), and in the first direction, the second contact plugs (502) being staggered from each other.

WO 2026/102953 A1

[见续页]

PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种半导体器件及其制备方法, 所述半导体器件包括: 衬底(100); 共用电极结构(200)沿第一方向叠层设置于衬底(100)上, 第一方向与衬底(100)相交; 叠层阵列结构(20)包括第一电极结构(300), 第一电极结构(300)沿第一方向叠层设置于衬底(100)上, 并与同层设置的共用电极结构(200)电连接; 第一引出结构(400)沿第一方向叠层设置并与同层设置的共用电极结构(200)连接, 第一引出结构(400)包括相对设置的第一引出线(401)和第一伪线(402); 在第一方向上, 不同第一引出结构(400)的第一引出线(401)与第一伪线(402)交替设置; 第二引出结构(500)包括第二接触垫(501)和第二接触塞(502), 第二接触垫(501)与对应的第一引出线(401)同层设置并通过对应的第一引出线(401)与对应的共用电极结构(200)电连接; 第二接触塞(502)设置于第二接触垫(501)上, 在第一方向上, 第二接触塞(502)相互错开。