

沟槽栅 LDMOS 结构及其制备方法

技术领域

本发明涉及半导体器件技术领域，特别是涉及一种沟槽栅 LDMOS 结构及其制备方法。

背景技术

沟槽型 (Trench) LDMOS 凭借其高集成度和电流承载能力、低导通电阻、快速开关性能、高可靠性、低噪声以及小型化与轻量化的特点，在电源管理领域展现出显著优势。如图 1 所示，为目前优化的 Trench LDMOS 结构，栅极为类“T”型沟槽栅，具体为在绝缘深沟槽 21 中形成 LDMOS 结构的沟槽型栅结构 20，该设计不仅降低了能量损耗，提高了效率，而且通过改善热特性，增强了器件的耐用性和可靠性。尽管制造工艺相对复杂，但 Trench LDMOS 的高效率和高可靠性降低了系统整体成本，提升了经济性和应用范围，尤其是在追求高效和紧凑设计的应用中，如开关电源、DC/DC 转换器和电机驱动等，成为了优选的半导体器件。

随着半导体器件的小型化及集成化发展，如图 2 所示，优化的 Trench LDMOS 结构在形成更小 CD 的栅沟槽 (Trench Gate) 22 时对刻蚀工艺提出了更高的要求；另外，如图 3 所示，相应地，在对沟槽型栅结构 20 进行电性引出时，也由于更小 CD 的引出电极孔 23 对光刻工艺提出了高要求；再者，由于小 CD 的沟槽型栅结构 20 对后续沟槽型栅结构电性引出时的套刻精度也提出更高要求，从而使整个结构的制备对高精度光刻机的依赖性非常高，提高制造成本。

发明内容

鉴于以上所述现有技术的缺点，本发明的目的在于提供一种沟槽栅 LDMOS 结构及其制备方法，用于解决现有技术中类“T”型沟槽栅 LDMOS 结构，增加刻蚀工艺难度，对高精度光刻机依赖性高，从而提高制造成本的问题。

为实现上述目的及其他相关目的，本发明提供一种沟槽栅 LDMOS 结构的制备方法，所述制备方法包括以下步骤：

提供半导体衬底，所述半导体衬底包括自所述半导体衬底上表面向内延伸的第一导电类型阱区；

在所述第一导电类型阱区内形成由所述第一导电类型阱区的上表面向内延伸的深沟槽；

于所述深沟槽的侧壁及底壁进行离子注入，以在所述深沟槽表面上形成第一导电类型掺

采用绝缘材料至少填充满所述深沟槽；

自上向下刻蚀所述深沟槽侧壁部分区域内的所述绝缘材料第一预设深度以及自上向下刻蚀与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域第二预设深度，所述第二预设深度小于所述第一预设深度，形成倒类 L 型栅极沟槽；

于所述栅极沟槽中依次形成栅介质层及栅导电层，形成栅极结构；

于所述深沟槽两侧的所述第一导电类型阱区分别形成第二导电类型的源极掺杂层及第二导电类型的漏极掺杂层，其中，所述第二导电类型的源极掺杂层靠近所述栅极结构一侧，所述第二导电类型的漏极掺杂层远离所述栅极结构一侧，所述第一导电类型与所述第二导电类型相反；

形成电极引出结构，分别将所述栅极结构、所述第二导电类型的源极掺杂层及所述第二导电类型的漏极掺杂层电性引出。

可选地，所述栅极沟槽上部分的口径不小于 $0.1\mu\text{m}$ ，所述第二预设深度不小于 $500\text{\AA}$ 。

可选地，形成所述第一导电类型掺杂层之前还包括于所述深沟槽表面上形成垫氧层的步骤。

可选地，采用绝缘材料至少填充满所述深沟槽之后还包括对所述绝缘材料进行平坦化的步骤，平坦化后的所述绝缘材料高于所述半导体衬底表面预设厚度，该预设厚度的绝缘材料作为硬掩膜层。

进一步地，形成所述栅极沟槽的方法包括：

于所述半导体衬底表面依次形成硬掩膜层及光刻胶层；

采用光刻工艺图形化所述硬掩膜层，形成图形化的硬掩膜层，所述图形化的硬掩膜层裸露所述深沟槽侧壁部分区域的所述绝缘材料表面及与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域；

以图形化的所述光刻胶层及所述图形化的硬掩膜层为掩膜刻蚀相应的所述绝缘材料及所述第一导电类型阱区，形成所述栅极沟槽。

进一步地，形成所述栅极结构的方法包括：

采用热氧工艺于所述栅极沟槽表面形成所述栅介质层；

采用 CVD 沉积工艺于所述栅介质层上形成至少填充满所述栅极沟槽的栅导电层；

采用 CMP 工艺研磨所述栅导电层，研磨后所述栅导电层的上表面低于所述第一导电类型阱区的上表面。

进一步地，形成所述栅极结构后还包括于所述半导体衬底表面形成包覆所述栅极结构的

绝缘包覆层的步骤。

进一步地，所述半导体衬底还包括自所述半导体衬底上表面向内延伸的第二导电类型阱区，其中所述第二导电类型阱区与所述第一导电类型阱区相接；形成所述绝缘包覆层后还包括于所述第二导电类型阱区形成浅沟槽隔离结构的步骤。

本发明还提供一种沟槽栅 LDMOS 结构，所述沟槽栅 LDMOS 结构包括：

半导体衬底，所述半导体衬底包括自所述半导体衬底上表面向内延伸的第一导电类型阱区；

深沟槽，所述深沟槽自所述第一导电类型阱区的上表面向内延伸；

形成于所述深沟槽表面上的第一导电类型掺杂层；

由栅介质层及栅导电层构成的栅极结构，所述栅极结构的一部分以第一预设深度形成于所述深沟槽侧壁部分区域内，另一部分以第二预设深度形成于与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域内；

绝缘材料，至少填充满除所述栅极结构之外的所述深沟槽；

第二导电类型的源极掺杂层及第二导电类型的漏极掺杂层，其中，所述第二导电类型的源极掺杂层靠近所述栅极结构一侧，所述第二导电类型的漏极掺杂层远离所述栅极结构一侧，所述第一导电类型与所述第二导电类型相反；

电极引出结构，将所述栅极结构、所述第二导电类型的源极掺杂层及所述第二导电类型的漏极掺杂层电性引出。

可选地，所述栅极结构上部分的口径不小于 $0.1\mu\text{m}$ ，所述第二预设深度不小于 $500\text{\AA}$ 。

如上所述，本发明的沟槽栅 LDMOS 结构及其制备方法，通过将栅极沟槽的关键尺寸(CD)从深沟槽区域扩大至与其相接的第一导电类型阱区部分区域，从而形成倒类 L 型栅极沟槽，有效增大了刻蚀形成栅极沟槽时的工艺窗口，降低刻蚀难度；另外，基于倒类 L 型栅极沟槽，形成的栅极结构整体上也为倒类 L 型，从而在对栅极结构进行电性引出时，由于栅极结构上部分的口径尺寸增大，有效增大了形成栅极结构上引出电极孔的光刻工艺窗口，从而降低对光刻机的精度要求，同时降低形成栅极结构上引出电极孔时的套刻精度。

附图说明

图 1 显示为一示例的 Trench LDMOS 结构的截面结构示意图。

图 2 显示为图 1 的 Trench LDMOS 结构的制备过程中形成栅沟槽的截面结构示意图。

图 3 显示为图 1 的 Trench LDMOS 结构的制备过程中形成引出电极孔的截面结构示意图。

图 4 至图 19 显示为本发明的沟槽栅 LDMOS 结构的制备过程中各步骤的截面结构示意图。

元件标号说明

10	半导体衬底
100	第一导电类型阱区
101	第二导电类型阱区
102	深沟槽
103	垫氧层
104	第一导电类型掺杂层
105	绝缘材料
106	硬掩膜层
107	光刻胶层
108	图形化的硬掩膜层
11	栅极结构
110	栅极沟槽
111	栅介质层
112	栅导电层
12	绝缘包覆层
13	浅沟槽隔离结构
14	第二导电类型的源极掺杂层
15	第二导电类型的漏极掺杂层
16	电极引出结构
17	电介质层
160	引出电极孔
20	沟槽型栅结构
21	绝缘深沟槽
22	栅沟槽
23	引出电极孔

以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。

请参阅 4 至图 19。需要说明的是，本实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

本实施例提供一种沟槽栅 LDMOS 结构的制备方法，所述制备方法包括以下步骤：

S1，提供半导体衬底，所述半导体衬底包括自所述半导体衬底上表面向内延伸的第一导电类型阱区；

S2，在所述第一导电类型阱区内形成由所述第一导电类型阱区的上表面向内延伸的深沟槽；

S3，于所述深沟槽的侧壁及底壁进行离子注入，以在所述深沟槽表面上形成第一导电类型掺杂层；

S4，采用绝缘材料至少填充所述深沟槽；

S5，自上向下刻蚀所述深沟槽侧壁部分区域内的所述绝缘材料第一预设深度以及自上向下刻蚀与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域第二预设深度，所述第二预设深度小于所述第一预设深度，形成倒类 L 型栅极沟槽；

S6，于所述栅极沟槽中依次形成栅介质层及栅导电层，形成栅极结构；

S7，于所述深沟槽两侧的所述第一导电类型阱区分别形成第二导电类型的源极掺杂层及第二导电类型的漏极掺杂层，其中，所述第二导电类型的源极掺杂层靠近所述栅极结构一侧，所述第二导电类型的漏极掺杂层远离所述栅极结构一侧，所述第一导电类型与所述第二导电类型相反；

S8，形成电极引出结构，分别将所述栅极结构、所述第二导电类型的源极掺杂层及所述第二导电类型的漏极掺杂层电性引出。

本实施例的沟槽栅 LDMOS 结构的制备方法，通过将栅极沟槽的关键尺寸（CD）从深沟槽区域扩大至与其相接的第一导电类型阱区部分区域，从而形成倒类 L 型栅极沟槽，有效增大了刻蚀形成栅极沟槽时的工艺窗口，降低刻蚀难度；另外，基于倒类 L 型栅极沟槽，形成的栅极结构整体上也均为倒类 L 型。从而在对栅极结构进行电性引出时，由于栅极结构上部分

的口径尺寸增大，有效增大了形成栅极结构上引出电极孔的光刻工艺窗口，从而降低对光刻机的精度要求，同时降低形成栅极结构上引出电极孔时的套刻精度。

下面结合具体附图对本实施例的沟槽栅 LDMOS 结构的制备方法进行详细说明。

如图 4 所示，首先进行步骤 S1，提供半导体衬底 10，所述半导体衬底 10 包括自所述半导体衬底 10 上表面向内延伸的第一导电类型阱区 100。

所述半导体衬底 10 可以是硅、锗硅或碳化硅等半导体衬底，也可以是已生长了外延层的半导体衬底。所述半导体衬底可以是本征半导体衬底，也可以是掺杂半导体衬底。当所述半导体衬底 10 为掺杂半导体衬底时，掺杂类型根据需形成的 LDMOS 类型进行设置，例如，当需要形成 P 型的 LDMOS 时，所述半导体衬底 10 为 P 型掺杂的半导体衬底；当需要形成 N 型的 LDMOS 时，所述半导体衬底 10 为 N 型掺杂的半导体衬底。本实施例中选择所述半导体衬底 10 为硅衬底。

作为示例，所述第一导电类型阱区 100 可以通过离子注入扩散形成，第一导电类型可以为 P 型也可以为 N 型，与所述半导体衬底 10 的掺杂类型相反，例如，当所述半导体衬底 10 为 P 型掺杂的半导体衬底，则所述第一导电类型阱区 100 为 N 型阱区；当所述半导体衬底 10 为 N 型掺杂的半导体衬底，则所述第一导电类型阱区 100 为 P 型阱区。

作为示例，如图 4 所示，一般在器件区的外周会形成终端保护结构，所以所述半导体衬底 10 还包括与所述第一导电类型阱区 100 相接的第二导电类型阱区 101，以在该第二导电类型阱区 101 形成所需的终端保护结构。所述第二导电类型阱区 101 也可以通过离子注入扩散形成。所述第一导电类型与所述第二导电类型相反，即当所述第一导电类型为 N 型时，所述第二导电类型为 P 型；当所述第一导电类型为 P 型时，所述第二导电类型为 N 型。

如图 5 所示，然后进行步骤 S2，在所述第一导电类型阱区 100 内形成由所述第一导电类型阱区 100 的上表面向内延伸的深沟槽 102。

不过分限制所述深沟槽 102 的具体参数，例如深度、宽度等，具体根据实际需要进行选择。

作为一具体示例，形成所述深沟槽 102 的方法包括：首先于所述半导体衬底 10 表面依次形成硬掩膜层及光刻胶层；然后对光刻胶层进行光刻图形化；接着基于图形化的光刻胶层刻蚀硬掩膜层，得到图形化的硬掩膜层；接着基于图形化的硬掩膜层刻蚀裸露出来的所述半导体衬底 10，得到所述深沟槽 102；最后去除图形化的硬掩膜层。

作为示例，为了降低后续 LDMOS 器件局部电场集中的问题，可对形成的深沟槽 102 的边角进行圆角化。

如图 7 所示，接着进行步骤 S3，于所述深沟槽 102 的侧壁及底壁进行离子注入，以在所述

深沟槽102表面上形成第一导电类型掺杂层104。该第一导电类型掺杂层104后续作为LDMOS结构的漂移区及沟道区。

如图6所示，作为示例，在形成所述第一导电类型掺杂层104之前可先在所述深沟槽102表面上形成一层垫氧层103。例如可采用化学气相沉积工艺（Chemical Vapor Deposition, CVD）工艺或热氧工艺形成所述垫氧层103。当本实施例选择所述半导体衬底10为硅衬底时，则该垫氧层103为氧化硅垫氧层。所述垫氧层103可以作为离子注入形成所述第一导电类型掺杂层104时的表面阻挡层，以有效降低离子注入时的隧穿效应，保证离子注入的均匀性。较佳地，选择采用热氧工艺形成所述垫氧层103，一方面可以作为离子注入形成所述第一导电类型掺杂层104时的表面阻挡层使用，另外，热氧工艺形成所述垫氧层103可以对刻蚀形成所述深沟槽102时产生的表面损伤进行修复。

作为示例，当所述第一导电类型掺杂层104为N型导电类型时，掺杂离子可以为P、As等N型导电离子；当所述第一导电类型掺杂层104为P型导电类型时，掺杂离子可以为B、Al等P型导电离子。

如图8所示，接着进行步骤S4，采用绝缘材料105至少填充满所述深沟槽102。

可以采用填孔能力较强的CVD工艺或HARP（High Aspect Ratio Process）工艺填充所述深沟槽102。所述绝缘材料105可以是任意适合的绝缘填充材料。当本实施例的半导体衬底10选择为硅衬底时，优选所述绝缘材料为氧化硅材料。

如图9所示，作为示例，采用绝缘材料105至少填充满所述深沟槽102之后还可以对所述绝缘材料105进行平坦化，以便于后续工艺的进行。例如可以采用化学机械研磨（Chemical Mechanical Polishing, CMP）工艺进行平坦化。对所述绝缘材料105进行平坦化后，所述绝缘材料105的表面可以与所述半导体衬底10表面齐平，也可以高于所述半导体衬底10表面预设厚度（如图9所示）。本实施例中优选平坦化后，所述绝缘材料105的表面高于所述半导体衬底10表面预设厚度，该预设厚度的绝缘材料可以直接作为后续刻蚀形成栅极沟槽的硬掩膜层，以节约工艺步骤，降低制造成本。

如图12所示，接着进行步骤S5，自上向下刻蚀所述深沟槽102侧壁部分区域内的所述绝缘材料105第一预设深度以及自上向下刻蚀与该深沟槽102侧壁部分区域相接的所述第一导电类型阱区100部分区域第二预设深度，所述第二预设深度小于所述第一预设深度，形成倒类L型栅极沟槽110。

这里需要说明的是，所述栅极沟槽110的整体形状为倒类L型，随着栅极沟槽110处于深沟槽102不同方向的侧壁，倒类L型的栅极沟槽110相应改变。如图12所示，栅极沟槽110处于深

沟槽102的右侧壁，则栅极沟槽110的形状类似于“T”型；同理，当栅极沟槽110处于深沟槽102的左侧壁时，则栅极沟槽110的形状类似于“┐”型。

如图12所示，本步骤中将栅极沟槽110的形状设置为倒类L型，栅极沟槽110上部分的口径L得到显著增大，从而有效增大了刻蚀形成栅极沟槽110时的刻蚀工艺窗口，降低刻蚀难度。另外，刻蚀形成栅极沟槽110时，可通过对所述绝缘材料105及所述半导体衬底材料的刻蚀选择比进行调节实现倒类L型栅极沟槽110中“|”与“—”的深度比。

如图12所示，作为示例，所述栅极沟槽上部分的口径L不小于 $0.1\mu\text{m}$ 。另外，为保证后续制备栅极结构的电极引出结构工艺过程中，引出电极孔的过刻蚀不会刻穿栅极结构，所述第二预设深度，也即所述栅极沟槽110中“—”部分的深度不小于 $500\text{\AA}$ 。

作为一具体示例，形成所述栅极沟槽110的方法包括以下步骤：

S51，如图9所示，首先于所述半导体衬底10表面形成硬掩膜层106；这里需要说明的是，在步骤S4对所述绝缘材料105平坦化后，如果所述绝缘材料105的表面与所述半导体衬底10表面齐平，则在本步骤中需要在半导体衬底10表面再重新形成硬掩膜层106；如果对所述绝缘材料105平坦化后所述绝缘材料105的表面高于所述半导体衬底10表面预设厚度，则该预设厚度的绝缘材料105直接作为本步骤的硬掩膜层106使用。

S52，如图10及图11所示，然后于所述硬掩膜层106上形成图形化的光刻胶层107（如图10所示），并基于该图形化的光刻胶层107刻蚀所述硬掩膜层106，形成图形化的硬掩膜层108（如图11所示），所述图形化的硬掩膜层108裸露所述深沟槽侧壁部分区域的所述绝缘材料105表面及与该深沟槽侧壁部分区域相接的所述第一导电类型阱区100部分区域；该步骤过程中也可有效降低对光刻机的精度要求。

S53，如图12所示，接着以图形化的所述光刻胶层107及所述图形化的硬掩膜层108为掩膜刻蚀相应的所述绝缘材料105及所述第一导电类型阱区100，形成所述栅极沟槽110；最后去除图形化的所述光刻胶层107。

如图14所示，接着进行步骤S6，于所述栅极沟槽110中依次形成栅介质层111及栅导电层112，形成栅极结构11。

当本实施例的半导体衬底10选择为硅衬底时，所述栅介质层111选择为氧化硅栅介质层，优选热氧工艺形成该氧化硅栅介质层，所述栅导电层112选择为多晶硅栅导电层。

作为一具体示例，形成所述栅极结构11的方法包括以下步骤：

S61，如图13所示，首先采用热氧工艺于所述栅极沟槽110表面形成所述栅介质层111。

S62，如图13所示，然后采用CVD沉积工艺于所述栅介质层111上形成至少填充所述栅

极沟槽110的栅导电层112。

S63, 如图14所示, 采用CMP工艺研磨所述栅导电层112, 研磨后所述栅导电层112的上表面低于所述第一导电类型阱区100的上表面。

如图15所示, 进一步地, 形成所述栅极结构11后还包括于所述半导体衬底表面形成包覆所述栅极结构11的绝缘包覆层12的步骤。优选地, 所述绝缘包覆层12的材料与所述绝缘材料105相同, 例如均为氧化硅材料。

如图16所示, 更进一步的, 形成所述绝缘包覆层12后还包括于所述第二导电类型阱区101形成浅沟槽隔离结构13的步骤; 如上所述, 由于步骤S63后, 所述栅导电层112的上表面低于所述第一导电类型阱区100的上表面, 所以在对浅沟槽隔离结构13中填充的隔离材料进行平坦化过程中, 不易损伤到所述栅极结构11的表面。

如图17所示, 接着进行步骤S7, 于所述深沟槽两侧的所述第一导电类型阱区100分别形成第二导电类型的源极掺杂层14及第二导电类型的漏极掺杂层15, 其中, 所述第二导电类型的源极掺杂层14靠近所述栅极结构11一侧, 所述第二导电类型的漏极掺杂层15远离所述栅极结构11一侧, 所述第一导电类型与所述第二导电类型相反。

如图18及图19所示, 最后进行步骤S8, 形成电极引出结构16, 分别将所述栅极结构11、所述第二导电类型的源极掺杂层14及所述第二导电类型的漏极掺杂层15电性引出。

作为一具体示例, 形成所述电极引出结构16的方法包括:

S81, 如图18所示, 首先于所述绝缘包覆层12上形成电介质层17, 并对所述电介质层17进行平坦化。

S82, 如图18所示, 然后光刻刻蚀所述电介质层17, 以在所述栅极结构11、所述第二导电类型的源极掺杂层14及所述第二导电类型的漏极掺杂层15对应区域形成引出电极孔160; 如上所述, 基于倒类L型栅极沟槽110, 形成的栅极结构11整体上也为倒类L型, 从而在本步骤的光刻过程中, 由于栅极结构11上部分的口径尺寸增大, 从而可有效增大形成的引出电极孔160的光刻工艺窗口, 从而降低对光刻机的精度要求, 同时还可降低形成栅极结构11上引出电极孔160的套刻精度。

S83, 如图19所示, 接着采用导电金属材料填充所述引出电极孔160, 并对所述导电金属材料进行平坦化, 以去除引出电极孔160之外的所述导电金属材料, 得到所述电极引出结构16。

本实施例还提供一种沟槽栅LDMOS结构, 可以采用如上所述的制备方法制备得到, 但不限于此, 其他任意适合的制备方法也可, 只要能得到该沟槽栅LDMOS结构即可。当采用本实施例所述的制备方法制备该沟槽栅LDMOS结构, 其所能达到的有益效果可参见上述制备

方法中的详细论述，以下不再赘述。

如图19所示，所述沟槽栅LDMOS结构包括：

半导体衬底 10，所述半导体衬底 10 包括自所述半导体衬底上表面向内延伸的第一导电类型阱区 100；

深沟槽 102（如图 5 所示），所述深沟槽 102 自所述第一导电类型阱区 100 的上表面向内延伸；

形成于所述深沟槽 102 表面上的第一导电类型掺杂层 104；

由栅介质层 111 及栅导电层 112 构成的栅极结构 11，所述栅极结构 11 的一部分以第一预设深度形成于所述深沟槽 102 侧壁部分区域内，另一部分以第二预设深度形成于与该深沟槽侧壁部分区域相接的所述第一导电类型阱区 100 部分区域内；

绝缘材料 105，至少填充除所述栅极结构 11 之外的所述深沟槽 102；

第二导电类型的源极掺杂层 14 及第二导电类型的漏极掺杂层 15，其中，所述第二导电类型的源极掺杂层 14 靠近所述栅极结构 11 一侧，所述第二导电类型的漏极掺杂层 15 远离所述栅极结构 11 一侧，所述第一导电类型与所述第二导电类型相反；

电极引出结构16，将所述栅极结构11、所述第二导电类型的源极掺杂层14及所述第二导电类型的漏极掺杂层15电性引出。

作为示例，所述栅极结构11上部分的口径不小于 $0.1\mu\text{m}$ ，所述第二预设深度不小于 $500\text{\AA}$ 。

综上所述，本发明提供一种沟槽栅 LDMOS 结构及其制备方法，通过将栅极沟槽的关键尺寸（CD）从深沟槽区域扩大至与其相接的第一导电类型阱区部分区域，从而形成倒类 L 型栅极沟槽，有效增大了刻蚀形成栅极沟槽时的工艺窗口，降低刻蚀难度；另外，基于倒类 L 型栅极沟槽，形成的栅极结构整体上也为倒类 L 型，从而在对栅极结构进行电性引出时，由于栅极结构上部分的口径尺寸增大，有效增大了形成栅极结构上引出电极孔的光刻工艺窗口，从而降低对光刻机的精度要求，同时降低形成栅极结构上引出电极孔时的套刻精度。所以，本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

上述实施例仅例示性说明本发明的原理及其功效，而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下，对上述实施例进行修饰或改变。因此，举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本发明的权利要求所涵盖。

1、一种沟槽栅 LDMOS 结构的制备方法，其特征在于，所述制备方法包括以下步骤：

提供半导体衬底，所述半导体衬底包括自所述半导体衬底上表面向内延伸的第一导电类型阱区；

在所述第一导电类型阱区内形成由所述第一导电类型阱区的上表面向内延伸的深沟槽；

于所述深沟槽的侧壁及底壁进行离子注入，以在所述深沟槽表面上形成第一导电类型掺杂层；

采用绝缘材料至少填充满所述深沟槽；

自上向下刻蚀所述深沟槽侧壁部分区域内的所述绝缘材料第一预设深度以及自上向下刻蚀与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域第二预设深度，所述第二预设深度小于所述第一预设深度，形成倒类 L 型栅极沟槽；

于所述栅极沟槽中依次形成栅介质层及栅导电层，形成栅极结构；

于所述深沟槽两侧的所述第一导电类型阱区分别形成第二导电类型的源极掺杂层及第二导电类型的漏极掺杂层，其中，所述第二导电类型的源极掺杂层靠近所述栅极结构一侧，所述第二导电类型的漏极掺杂层远离所述栅极结构一侧，所述第一导电类型与所述第二导电类型相反；

形成电极引出结构，分别将所述栅极结构、所述第二导电类型的源极掺杂层及所述第二导电类型的漏极掺杂层电性引出。

2、根据权利要求 1 所述的沟槽栅 LDMOS 结构的制备方法，其特征在于：所述栅极沟槽上部分的口径不小于 $0.1\mu\text{m}$ ，所述第二预设深度不小于 $500\text{\AA}$ 。

3、根据权利要求 1 所述的沟槽栅 LDMOS 结构的制备方法，其特征在于：形成所述第一导电类型掺杂层之前还包括于所述深沟槽表面上形成垫氧层的步骤。

4、根据权利要求 1 所述的沟槽栅 LDMOS 结构的制备方法，其特征在于：采用绝缘材料至少填充满所述深沟槽之后还包括对所述绝缘材料进行平坦化的步骤，平坦化后的所述绝缘材料高于所述半导体衬底表面预设厚度，该预设厚度的绝缘材料作为硬掩膜层。

5、根据权利要求 1 至 4 中任意一项所述的沟槽栅 LDMOS 结构的制备方法，其特征在于，形

于所述半导体衬底表面依次形成硬掩膜层及光刻胶层；

采用光刻工艺图形化所述硬掩膜层，形成图形化的硬掩膜层，所述图形化的硬掩膜层裸露所述深沟槽侧壁部分区域的所述绝缘材料表面及与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域；

以图形化的所述光刻胶层及所述图形化的硬掩膜层为掩膜刻蚀相应的所述绝缘材料及所述第一导电类型阱区，形成所述栅极沟槽。

- 6、根据权利要求5所述的沟槽栅 LDMOS 结构的制备方法，其特征在于，形成所述栅极结构的方法包括：

采用热氧工艺于所述栅极沟槽表面形成所述栅介质层；

采用 CVD 沉积工艺于所述栅介质层上形成至少填充满所述栅极沟槽的栅导电层；

采用 CMP 工艺研磨所述栅导电层，研磨后所述栅导电层的上表面低于所述第一导电类型阱区的上表面。

- 7、根据权利要求6所述的沟槽栅 LDMOS 结构的制备方法，其特征在于：形成所述栅极结构后还包括于所述半导体衬底表面形成包覆所述栅极结构的绝缘包覆层的步骤。

- 8、根据权利要求7所述的沟槽栅 LDMOS 结构的制备方法，其特征在于：所述半导体衬底还包括自所述半导体衬底上表面向内延伸的第二导电类型阱区，其中所述第二导电类型阱区与所述第一导电类型阱区相接；形成所述绝缘包覆层后还包括于所述第二导电类型阱区形成浅沟槽隔离结构的步骤。

- 9、一种沟槽栅 LDMOS 结构，其特征在于，所述沟槽栅 LDMOS 结构包括：

半导体衬底，所述半导体衬底包括自所述半导体衬底上表面向内延伸的第一导电类型阱区；

深沟槽，所述深沟槽自所述第一导电类型阱区的上表面向内延伸；

形成于所述深沟槽表面上的第一导电类型掺杂层；

由栅介质层及栅导电层构成的栅极结构，所述栅极结构的一部分以第一预设深度形成于所述深沟槽侧壁部分区域内，另一部分以第二预设深度形成于与该深沟槽侧壁部分区域相接的所述第一导电类型阱区部分区域内；

第二导电类型的源极掺杂层及第二导电类型的漏极掺杂层，其中，所述第二导电类型的源极掺杂层靠近所述栅极结构一侧，所述第二导电类型的漏极掺杂层远离所述栅极结构一侧，所述第一导电类型与所述第二导电类型相反；

电极引出结构，将所述栅极结构、所述第二导电类型的源极掺杂层及所述第二导电类型的漏极掺杂层电性引出。

- 10、根据权利要求 9 所述的沟槽栅 LDMOS 结构，其特征在于：所述栅极结构上部分的口径不小于 $0.1\mu\text{m}$ ，所述第二预设深度不小于 $500\text{\AA}$ 。