

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 3 日(03.10.2013)



(10) 国際公開番号

WO 2013/146058 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2013/055336
- (22) 国際出願日: 2013 年 2 月 28 日(28.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-080597 2012 年 3 月 30 日(30.03.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 佐々木 寧(SASAKI, Yasushi). 村上 祐一郎(MURAKAMI, Yuhichiroh). 山口 尚宏(YAMAGUCHI, Takahiro).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).

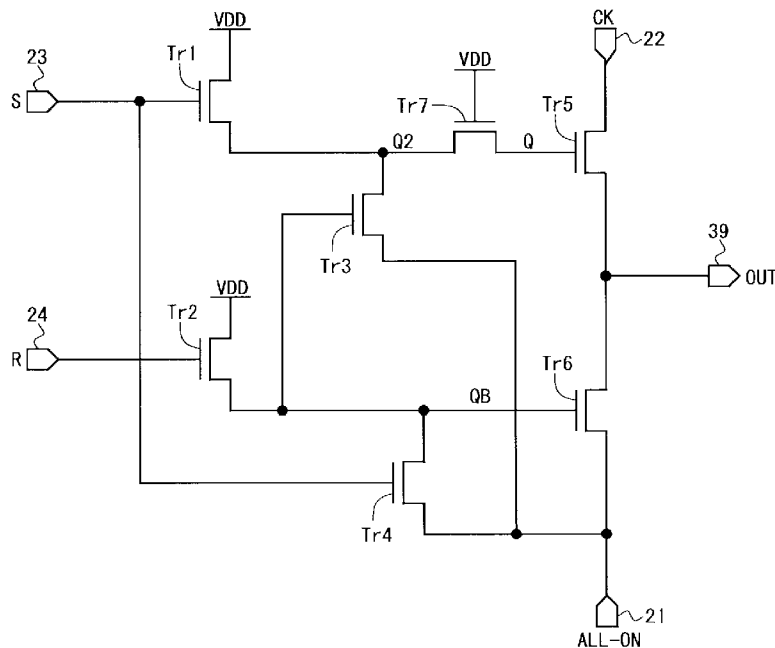
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The purpose of the present invention is to achieve a display device in which total selection drive of a gate bus line can be carried out without increasing the number of circuit elements over the conventional and without reducing the voltage resistance reliability. In a multi-stage circuit constituting a shift register within a gate driver, a total selection signal (ALL-ON) for causing all gate bus lines to be in the selected state at the same time is given, as a low potential power supply, to the source terminal of a thin film transistor (Tr4) for making a QB node, which is provided for making a scanning signal (OUT) low level, be low level and the source terminal of a thin film transistor (Tr3) for making a Q node, which is provided for making the scanning signal (OUT) high level, be low level. Wiring (ALL-ON wiring) that supplies the low potential power supply to the gate driver and wiring (VSS wiring) that supplies the low potential power supply to circuits other than the gate driver are power supply wirings that are independent of each other.

(57) 要約:

[続葉有]

WO 2013/146058 A1



従来よりも回路素子の数を増加させることなく、かつ、耐圧信頼性を低下させることなく、ゲートバスラインの全選択駆動を行うことができる表示装置を実現する。ゲートドライバ内のシフトレジスタを構成する段構成回路において、走査信号（OUT）をローレベルにするために設けられているQBノードをローレベルにするための薄膜トランジスタ（Tr4）および走査信号（OUT）をハイレベルにするために設けられているQノードをローレベルにするための薄膜トランジスタ（Tr3）のソース端子には、低電位電源として、全てのゲートバスラインを同時に選択状態にするための全選択信号（ALL-ON）が与えられる。ゲートドライバに低電位電源を供給する配線（ALL-ON配線）とゲートドライバ以外の回路に低電位電源を供給する配線（VSS配線）とは、互いに独立した電源線となっている。