

명세서

발명의 명칭: 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드

기술분야

- [1] 실시 예는 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드에 관한 것이다.

배경기술

- [2] IC 카드는 정보의 저장과 처리가 가능한 집적회로 칩을 내장한 플라스틱 카드이다. IC 카드는 카드에 필요한 정보들이 저장된 IC가 실장되고, 상기 정보를 전기 신호의 형태로 리더기(reader)에 전달한다
- [3] 상기 IC 카드는 스마트 IC 모듈을 카드의 본체부에 삽입하여 제조된다.
- [4] 상기 스마트 IC 모듈은 금속층의 배치에 따라서 싱글형(single type) 또는 듀얼형(dual type)으로 구분된다. 상기 싱글형은 기재의 일면 상에만 금속층 및 도금층이 배치된다. 또한, 상기 듀얼형은 기재의 양면 상에 금속층 및 도금층이 배치된다.
- [5] 또한, 상기 스마트 IC 모듈은 카드의 사용방법에 따라서 접촉식(contact), 비접촉식(contactless), 하이브리드(hybrid) 및 콤비(combi) 카드로 구분된다. 상기 접촉식 카드는 물리적 접촉에 의해 정보를 송수신한다. 또한, 상기 비접촉식 카드는 물리적 접촉 없이 정보를 송수신한다. 또한, 하이브리드 카드 및 콤비 카드는 상기 접촉식 및 상기 비접촉식 기능을 모두 포함한다.
- [6] 이에 따라, 상기 스마트 IC 모듈은 접촉면과 본딩면을 포함한다. 상기 접촉면은 외부의 장치와 접촉된다, 상기 본딩면 상에는 칩이 배치된다. 상기 본딩면은 상기 카드 본체부의 내부에 삽입된다.
- [7] 상기 본딩면 상에 배치되는 칩과 상기 접촉면 상에 배치되는 전도성 패턴은 와이어 본딩에 의해 전기적으로 연결된다. 이에 따라, 상기 스마트 IC 모듈은 복수의 홀을 포함한다. 상기 홀을 통해 상기 칩과 상기 전도성 패턴이 와이어 본딩된다.
- [8] 상기 컨택면 상에는 금속층이 배치된다. 상기 금속층이 외부에 노출되면 상기 금속층이 부식될 수 있다. 또한, 상기 금속층이 외부의 충격에 의해 손상될 수 있다. 이에 따라, 상기 컨택면 상의 금속층에 도금층이 배치될 수 있다.
- [9] 상기 도금층에 의해 스마트 IC 모듈의 제조 공정이 증가할 수 있다. 또한, 상기 도금층은 금(Au) 등의 비싼 재료가 요구된다. 이에 따라, 공정 비용이 증가될 수 있다.
- [10] 따라서, 상기와 같은 문제점을 해결할 수 있는 새로운 구조의 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드가 요구된다.

- [11] 상기 스마트 IC 기판과 관련된 선행기술로서 한국공개특허 (KR10-2022-0110247)에 개시되어 있다.

발명의 상세한 설명

기술적 과제

- [12] 실시예는 향상된 전기적 특성 및 신뢰성을 가지는 스마트 IC 기판을 제공한다.

과제 해결 수단

- [13] 실시예에 따른 스마트 IC 기판은 제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재; 상기 제 1 면 상에 배치되는 본딩층; 상기 본딩층 상에 배치되는 버퍼층; 상기 버퍼층 상에 배치되는 금속층; 및 상기 금속층의 타면 상에 배치되는 도금층을 포함하고, 상기 금속층은 니켈(Ni), 철(Fe) 및 크롬(Cr)을 포함하는 합금을 포함하고, 상기 버퍼층은 상기 제 1 버퍼층 및 제 2 버퍼층을 포함하고, 상기 제 1 버퍼층은 상기 제 2 버퍼층과 상기 금속층 사이에 배치되고, 상기 제 2 버퍼층은 제 2-1 버퍼층 및 제 2-2 버퍼층을 포함하고, 상기 제 2-1 버퍼층은 상기 제 1 버퍼층 및 상기 제 2-2 버퍼층 사이에 배치되고, 상기 제 2-2 버퍼층의 표면 조도는 상기 제 2-1 버퍼층의 표면 조도보다 크다.

발명의 효과

- [14] 실시예에 따른 스마트 IC 기판은 회로 패턴을 형성하는 금속층을 포함한다. 상기 금속층은 합금을 포함한다. 자세하게, 상기 금속층은 설정된 비율의 철, 니켈 및 크롬을 포함하는 합금을 포함한다. 이에 따라, 상기 금속층은 향상된 내부식성, 내산화성, 내마모성 및 경도를 가진다.
- [15] 따라서, 상기 금속층이 외부에 노출되어도 상기 금속층이 부식되는 것을 방지할 수 있다. 또한, 상기 금속층이 외부에 노출되어도, 상기 금속층이 외부의 충격에 의해 손상되는 것을 방지할 수 있다.
- [16] 따라서, 상기 금속층의 제 2 면(컨택면) 상에 배치되는 별도의 도금층을 생략할 수 있다. 이에 따라, 상기 스마트 IC 기판의 두께가 감소된다. 또한, 상기 스마트 IC 기판의 공정 효율이 향상된다.
- [17] 또한, 제 1 실시예에 따른 스마트 IC 기판은 버퍼층을 포함한다. 상기 버퍼층은 금속층 및 본딩층 사이에 배치된다. 상기 버퍼층은 제 1 버퍼층 및 제 2 버퍼층을 포함한다. 상기 버퍼층은 상기 제 2 버퍼층에 의해 설정 범위의 표면 조도를 가진다.
- [18] 상기 금속층은 상기 합금을 포함하고, 상기 합금은 압연 공정에 의해 형성된다. 이에 따라, 상기 금속층의 표면 조도가 감소할 수 있다. 따라서, 설정된 크기의 표면 조도를 가지는 상기 버퍼층이 상기 금속층 및 상기 본딩층 사이에 배치된다. 이에 의해, 상기 금속층과 상기 본딩층의 접착력이 향상된다. 따라서, 상기 스마트 IC 기판의 신뢰성이 향상된다.
- [19] 또한, 제 1 실시예에 따른 스마트 IC 기판은 금속층을 포함한다. 상기 금속층은 제 1 영역 및 제 2 영역이 정의된다. 상기 제 1 영역은 상기 홀과 중첩되지 않고,

상기 제 2 영역은 상기 홀과 중첩된다. 상기 제 2 영역 상에는 상기 버퍼층이 배치되지 않는다. 상기 제 2 영역은 상기 금속층과 상기 버퍼층이 접촉되는 영역이 아니다. 따라서, 상기 제 2 영역 상에 상기 버퍼층이 배치되지 않아도, 상기 금속층과 상기 버퍼층의 접착력은 유지된다.

- [20] 또한, 상기 도금층은 상기 금속층과 직접 접촉할 수 있다. 이에 따라, 상기 칩에서 전달되는 신호가 상기 금속층으로 용이하게 전달될 수 있다. 따라서, 상기 스마트 IC 기판의 전기적 특성이 향상될 수 있다.

도면의 간단한 설명

- [21] 도 1은 제 1 실시예에 따른 스마트 IC 기판의 제 1 면의 상면도이다.
 [22] 도 2는 제 1 실시예에 따른 스마트 IC 기판의 제 2 면의 상면도이다.
 [23] 도 3은 도 2의 A-A' 영역을 절단한 단면도이다.
 [24] 도 4는 도 3의 A 영역의 확대도이다.
 [25] 도 5는 도 3의 B 영역의 확대도이다.
 [26] 도 6은 도 2의 A-A' 영역을 절단한 다른 단면도이다.
 [27] 도 7은 도 6의 C 영역의 확대도이다.
 [28] 도 8은 도 6의 C 영역의 다른 확대도이다.
 [29] 도 9는 도 2의 A-A' 영역을 절단한 다른 단면도이다.
 [30] 도 10은 도 9의 D 영역의 확대도이다.
 [31] 도 11은 도 2의 A-A' 영역을 절단한 다른 단면도이다.
 [32] 도 12는 도 11의 E 영역의 확대도이다.
 [33] 도 13은 도 2의 A-A' 영역을 절단한 다른 단면도이다.
 [34] 도 14는 도 13의 F 영역의 확대도이다.
 [35] 도 15는 도 2의 A-A' 영역을 절단한 다른 단면도이다.
 [36] 도 16은 도 15의 G 영역의 확대도이다.
 [37] 도 17은 실시예에 따른 스마트 IC 모듈의 제 2 면의 상면도이다.
 [38] 도 18은 도 17의 B-B' 영역을 절단한 단면도이다.
 [39] 도 19는 실시예에 따른 스마트 IC 카드의 분해 사시도이다.
 [40] 도 20은 실시예에 따른 스마트 IC 모듈의 결합을 설명하기 위한 도면이다.

발명의 실시를 위한 최선의 형태

- [41] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 기술 사상은 설명되는 일부 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실시예들간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.
- [42] 또한, 본 발명의 실시예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사

전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다.

- [43] 또한, 본 발명의 실시예에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, “및(와) B, C중 적어도 하나(또는 한개이상)”로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나 이상을 포함할 수 있다.
- [44] 또한, 본 발명의 실시예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다.
- [45] 그리고, 어떤 구성 요소가 다른 구성 요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결, 결합 또는 접속되는 경우 뿐만 아니라, 그 구성 요소와 그 다른 구성 요소 사이에 있는 또 다른 구성 요소로 인해 '연결', '결합' 또는 '접속' 되는 경우도 포함할 수 있다.
- [46] 또한, 각 구성 요소의 "상(위) 또는 하(아래)"에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되는 경우 뿐만 아니라 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다.
- [47] 또한 “상(위) 또는 하(아래)”으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [48]
- [49] 이하, 도면들을 참조하여 실시예에 따른 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 스마트 IC 카드를 설명한다.
- [50]
- [51] 도 1 내지 도 5를 참조하여 제 1 실시예에 따른 스마트 IC 기판(1000)을 설명한다.
- [52] 도 1 내지 도 5를 참조하면, 제 1 실시예에 따른 스마트 IC 기판은 기재(100), 본딩층(200), 금속층(300), 버퍼층(400) 및 도금층(500)을 포함한다.
- [53] 상기 기재(100)는 제 1 면(1S) 및 제 2 면(2S)을 포함한다. 상기 제 1 면(1S) 및 상기 제 2 면(2S)은 서로 반대되는 면이다.
- [54] 상기 제 1 면(1S)은 컨택면(Contact Surface)으로 정의된다. 자세하게, 상기 제 1 면(1S)은 직접적인 또는 간접적인 접촉에 의해 상기 스마트 IC 모듈의 정보를 인식하는 면이다. 또한, 상기 제 2 면(2S)은 본딩면(Bonding Surface)으로 정의된다. 자세하게, 상기 제 2 면(2S)은 칩이 실장되는 면이다. 상기 제 2 면(2S)은 상기 IC 카드의 본체와 접촉되는 면이다.
- [55] 상기 기재(100)는 수지 물질을 포함한다. 상기 기재(100)는 유리섬유를 포함하는 프리프레그(prepreg)를 포함할 수 있다. 자세하게, 상기 기재(100)는 에폭시 수

지의 내부에 유리 섬유 및 실리콘계 필러(Si filler)가 분산된 물질을 포함할 수 있다.

- [56] 또는, 상기 기재(100)는 리지드(rigid)하거나 또는 플렉서블(flexible)할 수 있다. 예를 들어, 상기 기재(100)는 유리 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 기재(100)는 소다라임유리(soda lime glass) 또는 알루미늄실리케이트유리와 같은 화학 강화/반강화유리를 포함할 수 있다. 또는, 상기 기재(100)는 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 또는 사파이어를 포함할 수 있다.
- [57] 또는, 상기 기재(100)는 광등방성 필름을 포함할 수 있다. 일례로, 상기 기재(100)는 COC(Cyclic Olefin Copolymer), COP(Cyclic Olefin Polymer), 광등방 폴리 카보네이트(polycarbonate, PC) 또는 광등방 폴리메틸메타크릴레이트(PMMA)를 포함할 수 있다.
- [58] 또는, 상기 기재(100)는 부분적으로 곡면을 가지면서 휘어질 수 있다. 즉, 상기 기재(100)는 부분적으로는 평면을 가지고, 부분적으로는 곡면을 가지면서 휘어질 수 있다. 자세하게, 상기 기재(100)의 끝단은 곡면을 가지면서 휘어질 수 있다. 또는, 상기 기재(100)는 랜덤한 곡률을 가지면서 휘어질 수 있다.
- [59] 상기 기재(100)는 설정 범위의 두께를 가질 수 있다. 예를 들어, 상기 기재(100)의 두께는 80 μ m 내지 150 μ m, 90 μ m 내지 140 μ m 또는 100 μ m 내지 120 μ m 일 수 있다. 상기 기재(100)의 두께가 80 μ m 미만인 경우, 상기 기재(100)의 지지력이 감소한다. 또한, 상기 기재(100)의 두께가 150 μ m 초과인 경우, 상기 스마트 IC 기판(1000)의 두께가 증가될 수 있다. 이에 의해, 상기 스마트 IC 카드의 크기가 증가된다.
- [60] 상기 기재(100)는 절연성을 가진다. 이에 의해, 상기 기재(100)는 회로 간의 쇼트를 방지한다. 또한, 상기 기재(100)는 회로를 형성하는 공정 중에 회로를 지지하는 역할을 한다.
- [61]
- [62] 상기 기재(100)는 홀을 포함한다. 자세하게, 상기 기재(100)는 복수의 홀(H)을 포함한다.
- [63] 상기 복수의 홀 중 적어도 하나의 홀은 와이어 본딩이 되는 영역이다. 상기 도금층(500)은 상기 홀과 대응되는 영역에 배치된다. 예를 들어, 복수의 홀은 모두 와이어 본딩이 되는 영역이다. 또는, 복수의 홀 중 일부의 홀은 와이어 본딩이 되는 영역이고, 다른 일부의 홀은 와이어 본딩이 되지 않는 영역이다. 상기 칩(C)과 상기 도금층은 상기 홀(H)을 통해서 와이어 본딩된다.
- [64] 상기 홀(H)은 설정 범위의 폭을 가진다. 상기 홀(H)의 폭은 상기 홀의 직경 또는 홀의 내측면 사이의 최소 거리로 정의될 수 있다. 예를 들어, 상기 홀(H)의 폭은 500 μ m 내지 1000 μ m, 600 μ m 내지 900 μ m 또는 700 μ m 내지 800 μ m 일 수 있다. 상기 홀(H)의 폭이 500 μ m 미만인 경우, 상기 홀(H)을 통해 와이어 본딩이 어려워진다. 또한, 상기 홀(H)의 폭이 1000 μ m 초과인 경우, 상기 기재(100)의 지지력이 감소한다.

- [65]
- [66] 상기 본딩층(200)은 상기 기재(100) 상에 배치된다. 자세하게, 상기 본딩층(200)은 상기 제 1 면(1S) 상에 배치된다.
- [67] 상기 본딩층(200)은 수지 물질을 포함한다. 예를 들어, 상기 본딩층(200)은 에폭시 수지, 아크릴 수지 및 폴리이미드 수지 중 적어도 하나를 포함할 수 있다. 또한, 상기 본딩층(200)은 천연 고무, 가소제, 경화제 및 인계 난연제 중 적어도 하나의 첨가물을 포함할 수 있다. 이에 의해, 상기 본딩층(200)의 유연성이 향상된다.
- [68] 상기 본딩층(200)은 설정 범위의 두께를 가질 수 있다. 예를 들어, 상기 본딩층(200)의 두께는 $15\mu\text{m}$ 내지 $35\mu\text{m}$, $20\mu\text{m}$ 내지 $30\mu\text{m}$ 또는 $22\mu\text{m}$ 내지 $28\mu\text{m}$ 일 수 있다. 상기 본딩층(200)의 두께가 $15\mu\text{m}$ 미만인 경우, 상기 본딩층(200)의 접착력이 감소한다. 이에 의해, 상기 본딩층(200) 상의 금속층이 탈락될 수 있다. 또한, 상기 본딩층(200)의 두께가 $35\mu\text{m}$ 초과인 경우, 상기 스마트 IC 기판(1000)의 두께가 증가될 수 있다. 이에 의해, 상기 스마트 IC 카드의 크기가 증가된다.
- [69]
- [70] 상기 스마트 IC 기판(1000)은 복수의 전도성 패턴(P)들을 포함한다. 상기 전도성 패턴(P)들은 상기 제 1 면(1S) 상에 배치된다. 상기 전도성 패턴(P)들은 상기 본딩층(200) 상에 배치된다. 상기 전도성 패턴(P)들은 상기 컨택면 상에 배치된다. 상기 전도성 패턴(P)들은 상기 스마트 IC 기판(1000)의 회로패턴일 수 있다.
- [71] 상기 전도성 패턴(P)들은 서로 이격하여 배치된다. 상기 홀(H)은 각각의 전도성 패턴(P)과 대응되는 영역 상에 배치된다.
- [72] 상기 전도성 패턴(P)은 상기 금속층(300)에 의해 형성된다.
- [73] 상기 금속층(300)은 상기 기재(100) 상에 배치된다. 상기 금속층(300)은 상기 본딩층(200) 상에 배치된다. 상기 금속층(300)은 금속 물질을 포함한다. 자세하게, 상기 금속층(300)은 합금을 포함할 수 있다. 더 자세하게, 상기 금속층(300)은 2원계 합금 또는 3원계 합금을 포함할 수 있다.
- [74] 상기 금속층(300)은 설정 범위의 두께를 가질 수 있다. 예를 들어, 상기 금속층(300)의 두께는 $30\mu\text{m}$ 내지 $75\mu\text{m}$, $40\mu\text{m}$ 내지 $65\mu\text{m}$ 또는 $50\mu\text{m}$ 내지 $60\mu\text{m}$ 일 수 있다. 상기 금속층(300)의 두께가 $30\mu\text{m}$ 미만인 경우, 상기 금속층(300)의 저항이 증가한다. 또한, 상기 금속층(300)의 두께가 $75\mu\text{m}$ 초과인 경우, 상기 스마트 IC 기판(1000)의 두께가 증가될 수 있다. 이에 의해, 상기 스마트 IC 카드의 크기가 증가된다. 또한, 공정 효율이 감소할 수 있다.
- [75]
- [76] 상기 버퍼층(400)은 상기 기재(100) 상에 배치된다. 상기 버퍼층(400)은 상기 본딩층(200) 상에 배치된다. 상기 버퍼층(400)은 상기 금속층(300)의 하부에 배치된다. 상기 버퍼층(400)은 상기 본딩층(200)과 상기 금속층(300) 사이에 배치된다.
- [77] 상기 버퍼층(400)은 제 1 버퍼층(410) 및 제 2 버퍼층(420)을 포함할 수 있다. 상기 제 2 버퍼층(420)은 상기 본딩층(200) 상에 배치되고, 상기 제 1 버퍼층(410)은

상기 제 2 버퍼층(420) 상에 배치된다. 즉, 상기 제 1 버퍼층(410)은 상기 제 2 버퍼층(420)과 상기 금속층(300) 사이에 배치된다.

- [78] 상기 버퍼층(400)은 상기 본딩층(200)과 상기 금속층(300)의 접착력을 향상시킬 수 있다.
- [79]
- [80] 앞서 설명하였듯이, 상기 금속층(300)은 합금을 포함할 수 있다.
- [81] 상기 금속층(300)은 니켈(Ni), 철(Fe) 및 크롬(Cr)을 포함하는 합금을 포함할 수 있다.
- [82] 예를 들어, 상기 금속층(300)은 모넬(Monel) 계열의 합금 또는 인코넬(inconel) 계열의 합금을 포함할 수 있다. 자세하게, 상기 금속층(300)은 니켈을 주성분으로 하면서, 크롬 및 철을 포함하는 니켈(Ni)-크롬(Cr)-철(Fe) 제 1 합금을 포함할 수 있다. 상기 합금에서 주성분의 의미는 합금을 구성하는 복수의 금속 중 가장 많은 중량%를 가지는 금속으로 정의한다.
- [83] 예를 들어, 상기 제 1 합금은 60 중량% 내지 80 중량%, 65 중량% 내지 78 중량% 또는 70 중량% 내지 75 중량%의 니켈을 포함할 수 있다. 상기 제 1 합금이 상기 중량% 범위의 니켈을 포함하므로, 상기 금속층(300)의 내부식성, 내산화성, 내마모성 및 경도가 향상할 수 있다.
- [84] 또한, 상기 제 1 합금은 10 중량% 내지 22 중량%, 11 중량% 내지 21 중량% 또는 12 중량% 내지 18 중량%의 크롬을 포함할 수 있다. 상기 제 1 합금이 상기 중량% 범위의 크롬을 포함하므로, 상기 금속층의 니켈 용출량이 감소될 수 있다.
- [85] 또한, 상기 제 1 합금은 3 중량% 내지 20 중량%, 5 중량% 내지 15 중량% 또는 7 중량% 내지 11 중량%의 철을 포함할 수 있다. 상기 제 1 합금이 상기 중량% 범위의 철을 포함하므로, 상기 금속층의 압연성(또는 연성력)이 증가될 수 있다. 이에 따라, 상기 금속층의 두께가 감소될 수 있다. 또한, 상기 금속층의 표면 조도가 균일해질 수 있다.
- [86]
- [87] 또는, 상기 금속층(300)은 씨스(sus) 계열의 합금을 포함할 수 있다. 자세하게, 상기 금속층(300)은 철을 주성분으로 하면서, 크롬 및 니켈을 포함하는 철(Fe)-크롬(Cr)-니켈(Ni) 제 2 합금을 포함할 수 있다.
- [88] 예를 들어, 상기 제 2 합금은 60 중량% 내지 80 중량%, 61 중량% 내지 78 중량% 또는 63 중량% 내지 75 중량%의 철을 포함할 수 있다. 상기 제 2 합금이 상기 중량% 범위의 철을 포함하므로, 상기 금속층(300)의 내부식성, 내산화성, 내마모성 및 경도가 향상될 수 있다. 또한, 상기 금속층의 압연성(또는 연성력)이 증가될 수 있다.
- [89] 또한, 상기 제 1 합금은 10 중량% 내지 22 중량%, 13 중량% 내지 21 중량% 또는 15 중량% 내지 10 중량%의 크롬을 포함할 수 있다. 상기 제 1 합금이 상기 중량% 범위의 크롬을 포함하므로, 상기 금속층의 니켈 용출량이 감소될 수 있다.

- [90] 또한, 상기 제 1 합금은 3 중량% 내지 20 중량%, 5 중량% 내지 18 중량% 또는 7 중량% 내지 15 중량%의 니켈을 포함할 수 있다. 상기 제 1 합금이 상기 중량% 범위의 니켈을 포함하므로, 상기 금속층의 표면 조도 변화율이 감소될 수 있다. 또한, 상기 금속층의 에칭율이 향상될 수 있다.
- [91] 상기 금속층(300)은 상기 제 1 합금 또는 상기 제 2 합금을 포함할 수 있다.
- [92] 이에 따라, 상기 금속층(300) 상에 배치되는 도금층을 생략할 수 있다. 자세하게, 상기 금속층(300)은 상기 버퍼층(400)과 마주보는 제 1 면(301) 및 상기 제 1 면(301)과 반대되는 제 2 면(302)을 포함한다.
- [93] 종래에는, 상기 제 2 면(302) 상에 별도의 도금층을 배치하였다. 상기 도금층은 상기 금속층(300)의 부식을 방지하는 역할을 하였다. 또한, 사용자에게 노출되는 컨택면의 심미성을 향상시키는 역할을 하였다.
- [94] 상기 도금층은 복수의 금속층을 포함한다. 예를 들어, 상기 도금층은 니켈층 상에 금(Au)층을 배치하였다. 또는, 상기 도금층은 니켈층 상에 팔라듐(Pd)층을 배치하였다. 또는, 상기 도금층은 니켈층 상에 은(Ag)층을 배치하였다.
- [95] 상기 도금층을 형성하는 공정에 의해 스마트 IC 기판의 제조 공정 시간이 증가되고, 공정 비용이 증가하는 문제점이 있었다.
- [96] 제 1 실시예에 따른 스마트 IC 기판은 상기 제 1 합금 또는 상기 제 2 합금을 포함하는 금속층을 포함한다. 이에 따라, 상기 제 2 면(302) 상에 배치되는 도금층을 생략할 수 있다.
- [97] 자세하게, 상기 금속층이 상기 제 1 합금 또는 상기 제 2 합금을 포함하므로, 상기 금속층의 내부식성이 향상된다. 이에 따라, 상기 금속층이 외부에 바로 노출되어도, 상기 금속층의 부식을 방지할 수 있다.
- [98] 또한, 상기 금속층이 상기 제 1 합금 또는 상기 제 2 합금을 포함하므로, 상기 금속층의 니켈 용출량이 감소한다. 이에 따라, 상기 금속층이 외부에 바로 노출되어도, 사용자가 니켈에 접촉되는 것을 방지할 수 있다.
- [99] 따라서, 제 1 실시예에 따른 스마트 IC 기판은 공정 효율이 향상된다. 또한, 별도의 도금층이 제거되므로, 스마트 IC 기판의 두께가 감소된다.
- [100] 한편, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 하기의 특성을 가질 수 있다.
- [101]
- [102] *82 자세하게, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 0.07Ω 내지 0.35Ω의 저항을 가질 수 있다. 또한, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 30μm/min 내지 70 μm/min의 에칭율(μm/min)을 가질 수 있다. 또한, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 0.2% 내지 6.0%의 표면 조도 변화율을 가질 수 있다. 또한, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 4gf 이상의 와이어 본딩성을 가질 수 있다. 또한, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 0 내

지 $0.28 \mu\text{g}/\text{cm}^2/\text{week}$ 의 니켈 용출량을 가질 수 있다. 또한, 상기 제 1 합금 및 상기 제 2 합금 중 어느 하나의 합금을 포함하는 금속층(300)은 5B 이상의 도금 밀착력을 가질 수 있다.

[103]

[104] 한편, 상기 제 1 합금 또는 상기 제 2 합금은 압연 공정에 의해 형성된다. 이에 따라, 상기 금속층(300)의 표면 조도가 감소된다. 따라서, 상기 금속층(300)과 상기 본딩층의 접착력이 감소된다.

[105] 이를 해결하기 위해, 제 1 실시예에 따른 스마트 IC 기판은 버퍼층(400)을 포함한다. 상기 버퍼층(400)은 상기 제 1 면(301)과 상기 본딩층(200) 사이에 배치된다.

[106] 상기 버퍼층(400)은 제 1 버퍼층(410) 및 제 2 버퍼층(420)을 포함할 수 있다. 상기 제 2 버퍼층(420)은 상기 본딩층(200) 상에 배치된다. 상기 제 1 버퍼층(410)은 상기 제 2 버퍼층(420) 상에 배치된다. 즉, 상기 제 1 버퍼층(410)은 상기 제 2 버퍼층(420)과 상기 금속층(300) 사이에 배치된다.

[107] 상기 제 1 버퍼층(410)은 금속을 포함할 수 있다. 예를 들어, 상기 제 1 버퍼층(410)은 니켈을 포함할 수 있다. 상기 금속층(300)과 상기 제 2 버퍼층(420)의 접착력은 상기 제 1 버퍼층(410)에 의해 향상된다.

[108] 상기 제 2 버퍼층(420)은 금속을 포함할 수 있다. 예를 들어, 상기 제 2 버퍼층(420)은 구리(Cu)를 포함할 수 있다. 상기 금속층(300)과 상기 본딩층(200)의 접착력은 상기 제 2 버퍼층(420)에 의해 향상된다.

[109] 도 4를 참조하면, 상기 제 2 버퍼층(420)은 제 2-1 버퍼층(421) 및 제 2-2 버퍼층(422)을 포함할 수 있다. 상기 제 2-1 버퍼층(421)은 상기 제 1 버퍼층(410) 및 상기 제 2-2 버퍼층(422) 사이에 배치된다.

[110] 상기 제 2-1 버퍼층(421) 및 상기 제 2-2 버퍼층(422)은 일체로 형성된다.

[111] 상기 제 2-1 버퍼층(421)은 금속을 포함할 수 있다. 즉, 상기 제 2-1 버퍼층(421)은 금속층이다. 예를 들어, 상기 제 2-1 버퍼층(421)은 구리를 포함할 수 있다. 상기 제 2-2 버퍼층(422)은 산화금속을 포함할 수 있다. 즉, 상기 제 2-2 버퍼층(422)은 금속산화층이다. 예를 들어, 상기 제 2-2 버퍼층(422)은 산화구리를 포함할 수 있다.

[112] 상기 제 2-2 버퍼층(422)은 상기 제 2 버퍼층(420)의 일부 영역을 산화하여 형성될 수 있다. 상기 제 2-2 버퍼층(422)의 표면 조도는 산화 공정에 의해 증가된다. 즉, 상기 본딩층(200)과 마주보는 상기 제 2-2 버퍼층(422)의 표면 조도는 상기 제 2-1 버퍼층(421)의 표면 조도보다 클 수 있다.

[113] 자세하게, 상기 제 2-2 버퍼층(422)의 표면 조도는 상기 금속층(300)의 표면 조도보다 클 수 있다. 또한, 상기 제 2-2 버퍼층(422)의 표면 조도는 상기 제 1 버퍼층의 표면 조도보다 클 수 있다. 또한, 상기 제 2-2 버퍼층(422)의 표면 조도는 상기 도금층의 표면 조도보다 클 수 있다. 자세하게, 상기 제 2-2 버퍼층(422)의 표면 조도는 상기 제 1 도금층(510)의 표면 조도보다 클 수 있다. 또한, 상기 제 2-2

버퍼층(422)의 표면 조도는 상기 제 2 도금층(520)의 표면 조도보다 클 수 있다. 또한, 상기 제 2-2 버퍼층(422)의 표면 조도는 상기 기재(100)의 표면 조도보다 클 수 있다.

- [114] 상기 제 2-2 버퍼층(422)과 상기 본딩층(200)의 일면 사이의 표면 조도는 상기 제 2-1 버퍼층(421)과 상기 제 2-2 버퍼층(422) 사이의 표면 조도보다 클 수 있다. 또한, 상기 제 2-2 버퍼층(422)과 상기 본딩층(200)의 일면 사이의 표면 조도는 상기 기재의 제 1 면(1S)과 상기 상기 본딩층(200)의 타면 사이의 표면 조도보다 클 수 있다. 또한, 상기 제 2-2 버퍼층(422)과 상기 본딩층(200)의 일면 사이의 표면 조도는 상기 금속층(300)과 상기 제 1 버퍼층(420) 사이의 표면 조도보다 클 수 있다.
- [115]
- [116] 상기 제 2-2 버퍼층(422)의 두께는 상기 제 2-1 버퍼층(421)의 두께보다 작을 수 있다. 예를 들어, 상기 제 2-2 버퍼층(422)의 두께는 상기 제 2 버퍼층 두께의 20% 이하, 10% 이하 또는 5%이하일 수 있다.
- [117] 상기 금속층(300)과 상기 본딩층(200)의 접착력은 상기 버퍼층(400)에 의해 향상될 수 있다. 자세하게, 상기 버퍼층(400)은 상기 제 2-2 버퍼층(422)을 포함한다. 상기 제 2-2 버퍼층(422)은 상기 본딩층(200)과 마주본다. 이에 따라, 상기 버퍼층(400)과 상기 본딩층(200)의 접착 면적은 상기 제 2-2 버퍼층(422)에 의해 증가된다. 따라서, 상기 금속층(300)과 상기 본딩층(200)의 접착력이 향상된다. 따라서, 상기 금속층(300)을 용이하게 형성할 수 있다. 또한, 상기 금속층(300)의 탈막을 방지할 수 있다. 이에 따라, 상기 스마트 IC 기판의 공정 효율 및 신뢰성이 향상될 수 있다.
- [118]
- [119] 상기 도금층(500)은 상기 금속층(300)의 하부에 배치된다. 자세하게, 상기 도금층(500)은 상기 금속층의 제 1 면(301) 상에 배치된다. 상기 도금층(500)은 상기 홀(H)과 중첩되는 영역 상에 배치된다.
- [120] 상기 도금층(500)은 상기 칩과 연결되는 와이어와 연결된다. 즉, 상기 칩과 상기 도금층은 와이어 본딩된다. 이에 의해, 상기 칩과 상기 금속층(300)은 상기 칩과 전기적으로 연결된다.
- [121] 상기 도금층(500)은 제 1 도금층(510) 및 제 2 도금층(520)을 포함할 수 있다. 상기 제 1 도금층(510)은 상기 제 1 면(301) 하부에 배치되고, 상기 제 2 도금층(520)은 상기 제 1 도금층(510) 하부에 배치된다. 즉, 상기 제 1 도금층(510)은 상기 금속층(300) 및 상기 제 2 도금층(520) 사이에 배치된다.
- [122] 상기 제 1 도금층(510)은 금속을 포함할 수 있다. 상기 제 1 도금층(510)은 상기 제 1 버퍼층(410)과 동일한 물질을 포함할 수 있다. 예를 들어, 상기 제 1 도금층(510)은 니켈을 포함할 수 있다. 상기 금속층(300)과 상기 제 2 도금층(520)의 접착력은 상기 제 1 도금층(510)에 의해 향상될 수 있다. 즉, 상기 제 1 도금층(510)은 버퍼층일 수 있다.

- [123] 상기 제 2 도금층(520)은 금속을 포함할 수 있다. 상기 제 2 도금층(520)은 금, 은 및 팔라듐 중 적어도 하나의 금속을 포함할 수 있다. 상기 도금층(500)과 상기 와이어는 상기 제 2 도금층(520)에 의해 본딩될 수 있다.
- [124] 상기 버퍼층(400)은 부분적으로 제거될 수 있다,
- [125] 자세하게, 상기 금속층(300)은 복수의 영역으로 구분될 수 있다. 자세하게, 상기 금속층(300)은 제 1 영역(1A) 및 제 2 영역(2A)을 포함할 수 있다. 상기 제 1 영역(1A)은 상기 홀(H)과 중첩되지 않는 영역이다. 상기 제 2 영역(2A)은 상기 홀(H)과 중첩되는 영역이다.
- [126] 상기 제 1 영역(1A) 상에는 상기 버퍼층(400)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 버퍼층(400)이 배치되지 않는다. 즉, 상기 버퍼층(400)은 상기 홀(H)의 내부에 배치되지 않는다. 이에 의해, 상기 도금층(500)은 상기 금속층(300)과 직접 접촉할 수 있다.
- [127] 상기 버퍼층(400)은 상기 금속층(300)과 상기 본딩층(200)의 접착력을 위한 층이다. 상기 금속층(300)은 상기 홀(H)과 중첩되는 영역에서는 상기 본딩층(200)과 접촉되지 않는다. 따라서, 상기 제 2 영역(2A)의 버퍼층(400)이 제거되어도, 상기 금속층(300)과 상기 본딩층(200)의 접착력은 유지될 수 있다.
- [128] 또한, 상기 제 2 영역(2A)의 버퍼층(400)이 제거되므로, 상기 도금층(500)과 상기 금속층(300) 사이의 거리가 짧아질 수 있다. 이에 따라, 상기 칩에서 전달되는 신호는 상기 금속층(300)으로 용이하게 전달될 수 있다.
- [129]
- [130] 한편, 상기 제 1 버퍼층(410), 상기 제 2 버퍼층(420), 상기 제 1 도금층(510) 및 상기 제 2 도금층(520)은 설정된 두께를 가질 수 있다.
- [131] 상기 제 1 버퍼층의 두께(T1)는 상기 제 2 버퍼층의 두께(T2)보다 작을 수 있다. 상기 제 1 버퍼층의 두께(T1)는 상기 제 1 도금층의 두께(T3)보다 작을 수 있다. 상기 제 1 버퍼층의 두께(T1)는 상기 제 2 도금층의 두께(T4)보다 클 수 있다.
- [132] 상기 제 2 버퍼층의 두께(T2)는 상기 제 1 도금층의 두께(T3)와 동일할 수 있다. 또는, 상기 제 2 버퍼층의 두께(T2)는 상기 제 1 도금층의 두께(T3)보다 클 수 있다. 또는, 상기 제 2 버퍼층의 두께(T2)는 상기 제 1 도금층의 두께(T3)보다 작을 수 있다.
- [133] 상기 제 1 버퍼층의 두께(T1)는 $1\mu\text{m}$ 이하일 수 있다. 예를 들어, 상기 제 1 버퍼층의 두께(T1)는 $0.6\mu\text{m}$ 내지 $1\mu\text{m}$, $0.7\mu\text{m}$ 내지 $1\mu\text{m}$ 또는 $0.8\mu\text{m}$ 내지 $1\mu\text{m}$ 일 수 있다.
- [134] 상기 제 1 버퍼층의 두께(T1)가 $0.6\mu\text{m}$ 미만이면, 상기 제 1 버퍼층(410)과 상기 제 2 버퍼층(420)의 접착력이 감소될 수 있다. 이에 의해, 상기 금속층(300)과 상기 버퍼층(400)의 접착력이 감소될 수 있다. 또한, 상기 제 1 버퍼층의 두께(T1)가 $1\mu\text{m}$ 초과하면, 상기 버퍼층을 형성하는 공정 효율이 감소될 수 있다. 또한, 상기 제 2 영역(2A)의 버퍼층을 제거하는 공정시간이 증가할 수 있다.
- [135] 상기 제 2 버퍼층의 두께(T2)는 $3\mu\text{m}$ 내지 $8\mu\text{m}$, $3.5\mu\text{m}$ 내지 $7\mu\text{m}$ 또는 $4\mu\text{m}$ 내지 $6\mu\text{m}$ 일 수 있다.

- [136] 상기 제 2 버퍼층의 두께(T2)가 $3\mu\text{m}$ 미만이면, 상기 제 2-2 버퍼층(422)을 형성하는 공정이 어려울 수 있다. 이에 의해, 상기 제 2 버퍼층(420)에서 원하는 크기의 표면조도가 형성되지 않을 수 있다. 이에 의해, 상기 금속층(300)과 상기 본딩층(200)의 접착력이 감소될 수 있다. 또한, 상기 제 2 버퍼층의 두께(T2)가 $8\mu\text{m}$ 초과하면, 상기 버퍼층을 형성하는 공정 효율이 감소될 수 있다. 또한, 상기 제 2 영역(2A)의 버퍼층을 제거하는 공정시간이 증가할 수 있다.
- [137] 상기 제 1 도금층의 두께(T3)는 $2\mu\text{m}$ 내지 $9\mu\text{m}$, $3\mu\text{m}$ 내지 $8\mu\text{m}$ 또는 $4\mu\text{m}$ 내지 $7\mu\text{m}$ 일 수 있다.
- [138]
- [139] *118상기 제 1 도금층의 두께(T3)가 $2\mu\text{m}$ 미만이면, 상기 제 1 도금층(510)과 상기 제 2 도금층(520)의 접착력이 감소될 수 있다. 이에 의해, 상기 금속층(300)과 상기 도금층(500)의 접착력이 감소될 수 있다. 또한, 상기 칩과 상기 도금층을 와이어 본딩할 때, 열 및 압력에 의해, 상기 도금층이 손상될 수 있다.
- [140] 또한, 상기 제 1 도금층의 두께(T3)가 $9\mu\text{m}$ 초과하면, 상기 도금층을 형성하는 공정 효율이 감소될 수 있다.
- [141] 상기 제 2 도금층의 두께(T4)는 $0.5\mu\text{m}$ 이하일 수 있다. 자세하게, 상기 제 2 도금층의 두께(T4)는 $0.1\mu\text{m}$ 내지 $0.5\mu\text{m}$, $0.15\mu\text{m}$ 내지 $0.4\mu\text{m}$ 또는 $0.2\mu\text{m}$ 내지 $0.35\mu\text{m}$ 일 수 있다. 상기 제 2 도금층의 두께(T4)가 $0.1\mu\text{m}$ 미만이면, 상기 와이어와 상기 제 2 도금층(520)의 본딩력이 감소될 수 있다. 상기 제 2 도금층의 두께(T4)가 $0.5\mu\text{m}$ 초과하면, 공정 비용이 증가하고, 공정 효율이 감소될 수 있다.
- [142]
- [143] 제 1 실시예에 따른 스마트 IC 기판은 회로 패턴을 형성하는 금속층을 포함한다. 상기 금속층은 합금을 포함한다. 자세하게, 상기 금속층은 설정된 비율의 철, 니켈 및 크롬을 포함하는 합금을 포함한다. 이에 따라, 상기 금속층은 향상된 내부식성, 내산화성, 내마모성 및 경도를 가진다.
- [144] 따라서, 상기 금속층이 외부에 노출되어도 상기 금속층이 부식되는 것을 방지할 수 있다. 또한, 상기 금속층이 외부에 노출되어도, 상기 금속층이 외부의 충격에 의해 손상되는 것을 방지할 수 있다.
- [145] 따라서, 상기 금속층의 제 2 면(컨택면) 상에 배치되는 별도의 도금층을 생략할 수 있다. 이에 따라, 상기 스마트 IC 기판의 두께가 감소된다. 또한, 상기 스마트 IC 기판의 공정 효율이 향상된다.
- [146] 또한, 제 1 실시예에 따른 스마트 IC 기판은 버퍼층을 포함한다. 상기 버퍼층은 금속층 및 본딩층 사이에 배치된다. 상기 버퍼층은 제 1 버퍼층 및 제 2 버퍼층을 포함한다. 상기 버퍼층은 상기 제 2 버퍼층에 의해 설정 범위의 표면 조도를 가진다.
- [147] 상기 금속층은 상기 합금을 포함하고, 상기 합금은 압연 공정에 의해 형성된다. 이에 따라, 상기 금속층의 표면 조도가 감소할 수 있다. 따라서, 설정된 크기의 표면 조도를 가지는 상기 버퍼층이 상기 금속층 및 상기 본딩층 사이에 배치된다.

이에 의해, 상기 금속층과 상기 본딩층의 접착력이 향상된다. 따라서, 상기 스마트 IC 기판의 신뢰성이 향상된다.

- [148] 또한, 제 1 실시예에 따른 스마트 IC 기판은 금속층을 포함한다. 상기 금속층은 제 1 영역 및 제 2 영역이 정의된다. 상기 제 1 영역은 상기 홀과 중첩되지 않고, 상기 제 2 영역은 상기 홀과 중첩된다. 상기 제 2 영역 상에는 상기 버퍼층이 배치되지 않는다. 상기 제 2 영역은 상기 금속층과 상기 버퍼층이 접착되는 영역이 아니다. 따라서, 상기 제 2 영역 상에 상기 버퍼층이 배치되지 않아도, 상기 금속층과 상기 버퍼층의 접착력은 유지된다.
- [149] 또한, 상기 도금층은 상기 금속층과 직접 접촉할 수 있다. 이에 따라, 상기 칩에서 전달되는 신호가 상기 금속층으로 용이하게 전달될 수 있다. 따라서, 상기 스마트 IC 기판의 전기적 특성이 향상될 수 있다.
- [150]
- [151] 이하, 도 6 내지 도 8을 참조하여, 제 2 실시예에 따른 스마트 IC 기판을 설명한다. 제 1 실시예와 동일 또는 유사한 설명에 대해서는 설명을 생략한다. 제 1 실시예와 동일한 구성에 대해서는 동일한 도면 부호를 부여한다.
- [152] 도 6 및 도 7을 참조하면, 상기 버퍼층(400)은 부분적으로 제거될 수 있다,
- [153] 자세하게, 상기 금속층(300)은 복수의 영역으로 구분될 수 있다. 자세하게, 상기 금속층(300)은 제 1 영역(1A) 및 제 2 영역(2A)을 포함할 수 있다. 상기 제 1 영역(1A)은 상기 홀(H)과 중첩되지 않는 영역이다. 상기 제 2 영역(2A)은 상기 홀(H)과 중첩되는 영역이다.
- [154] 상기 제 1 영역(1A) 상에는 상기 버퍼층(400)이 배치된다. 자세하게, 상기 제 1 영역(1A) 상에는 상기 제 1 버퍼층(410) 및 상기 제 2 버퍼층(420)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 버퍼층(400)이 부분적으로 배치된다. 자세하게, 상기 제 2 영역(2A) 상에는 상기 제 1 버퍼층(410)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 상기 제 2 버퍼층(420)이 부분적으로 배치된다. 자세하게, 상기 제 2 영역(2A) 상의 상기 제 2-2 버퍼층(422)은 제거된다. 이에 의해, 상기 제 2 영역(2A) 상에는 상기 제 1 버퍼층(410) 및 상기 제 2-1 버퍼층(421)이 배치된다. 이에 의해, 상기 도금층(500)은 상기 제 2-1 버퍼층(421)과 접촉할 수 있다.
- [155] 상기 제 2-2 버퍼층(422)은 산화금속층이다. 이에 따라, 상기 제 2-2 버퍼층(422)은 전기 전도성이 거의 없거나 0일 수 있다. 이에 따라, 상기 도금층(500)과 상기 금속층(300)이 상기 제 2-2 버퍼층(422)에 의해 절연될 수 있다. 이에 따라, 상기 제 2-2 버퍼층(422)은 제거하고, 상기 금속층(300)과 상기 도금층(500)을 전기적으로 연결할 수 있다.
- [156] 상기 버퍼층(400)은 상기 금속층(300)과 상기 본딩층(200)의 접착력을 위한 층이다. 상기 금속층(300)은 상기 홀(H)과 중첩되는 영역에서는 상기 본딩층(200)과 접착되지 않는다. 따라서, 상기 제 2 영역(2A)의 상기 제 2-2 버퍼층(422)이 제거되어도, 상기 금속층(300)과 상기 본딩층(200)의 접착력은 유지될 수 있다.
- [157]

- [158] 상기 도금층(500)은 상기 홀(H)과 중첩되는 영역 상에 배치된다. 상기 도금층(500)은 상기 금속층(300) 상에 배치된다. 자세하게, 상기 도금층(500)은 버퍼층(400) 상에 배치된다. 자세하게, 상기 도금층(500)은 상기 제 2-1 버퍼층(421) 상에 배치된다.
- [159] 상기 도금층(500)은 상기 칩과 연결되는 와이어와 연결된다. 즉, 상기 칩과 상기 도금층은 와이어 본딩된다. 이에 의해, 상기 칩과 상기 금속층(300)은 상기 칩과 전기적으로 연결된다.
- [160] 상기 도금층(500)과 상기 금속층(300) 사이에는 상기 제 1 버퍼층(410) 및 상기 제 2-1 버퍼층(421)이 잔류한다.
- [161] 이에 따라, 상기 와이어 본딩되는 영역의 강도가 증가할 수 있다. 상기 칩과 상기 도금층은 열 및 압력에 의해 와이어 본딩될 수 있다. 이에 따라, 상기 와이어 본딩 공정 중에 상기 도금층이 손상될 수 있다. 제 2 실시예에 따른 스마트 IC 기판은 이를 방지할 수 있다. 즉, 상기 제 1 버퍼층(410) 및 상기 제 2-1 버퍼층(421)은 상기 도금층(500)과 상기 금속층(300) 사이에 잔류한다.
- [162] 따라서, 상기 와이어 본딩되는 영역의 강도가 향상될 수 있다. 따라서, 상기 와이어 본딩 공정 중에 상기 도금층이 손상되는 것을 방지할 수 있다. 이에 따라, 상기 스마트 IC 기판의 신뢰성이 향상될 수 있다.
- [163]
- [164] 한편, 도 8을 참조하면, 상기 제 2-1 버퍼층(421)의 두께는 영역마다 다를 수 있다. 자세하게, 상기 제 1 영역(1A)의 상기 제 2-1 버퍼층의 두께(T1-1)와 상기 제 2 영역(2A)의 상기 제 2-1 버퍼층의 두께(T1-2)는 다를 수 있다. 자세하게, 상기 제 2 영역(2A)의 상기 제 2-1 버퍼층의 두께(T1-2)는 상기 제 1 영역(1A)의 상기 제 2-1 버퍼층의 두께(T1-1)보다 클 수 있다. 자세하게, 상기 제 2-1 버퍼층의 두께(T1-2)는 상기 제 2-2 버퍼층의 두께 만큼 상기 제 1 영역(1A)의 상기 제 2-1 버퍼층의 두께(T1-1)보다 클 수 있다.
- [165] 상기 제 2-2 버퍼층(422)은 선택적 산화에 의해 형성될 수 있다. 예를 들어, 상기 제 2 영역(2A) 상에 마스크를 한 후, 상기 제 2 버퍼층(420)을 산화할 수 있다. 이에 따라, 상기 제 2-2 버퍼층(422)은 상기 제 1 영역(1A)에만 형성되고, 상기 제 2 영역(2A)에는 형성되지 않는다.
- [166] 따라서, 상기 제 2-1 버퍼층(421)의 두께는 영역마다 달라진다. 자세하게, 상기 제 2 영역(2A)은 산화 영역인 제 2-2 버퍼층(422)이 형성되지 않는다. 이에 의해, 상기 제 2 영역(2A)의 상기 제 2-1 버퍼층(421)의 두께는 상기 제 1 영역(1A)의 상기 제 2-1 버퍼층(421)의 두께보다 클 수 있다.
- [167] 따라서, 상기 와이어 본딩되는 영역의 두께가 두꺼워진다. 이에 의해, 상기 와이어 본딩되는 영역의 강도가 향상될 수 있다. 따라서, 상기 와이어 본딩 공정 중에 상기 도금층이 손상되는 것을 방지할 수 있다. 이에 따라, 상기 스마트 IC 기판의 신뢰성이 향상될 수 있다.
- [168]

- [169] 이하, 도 9 및 도 10을 참조하여, 제 3 실시예에 따른 스마트 IC 기판을 설명한다. 제 1 실시예와 동일 또는 유사한 설명에 대해서는 설명을 생략한다. 제 1 실시예와 동일한 구성에 대해서는 동일한 도면 부호를 부여한다.
- [170] 도 9 및 도 10을 참조하면, 상기 버퍼층(400)은 상기 제 1 버퍼층(410) 및 상기 제 2 버퍼층(420)을 포함한다. 상기 제 1 버퍼층(410) 및 상기 제 2 버퍼층(420)은 설정된 두께를 가질 수 있다.
- [171] 상기 제 1 버퍼층의 두께(T1)는 상기 제 2 버퍼층의 두께(T2)보다 클 수 있다. 상기 제 1 버퍼층의 두께(T1)는 상기 제 2 도금층의 두께(T4)보다 클 수 있다.
- [172] 상기 제 1 버퍼층의 두께(T1)는 $6\mu\text{m}$ 이상일 수 있다. 예를 들어, 상기 제 1 버퍼층의 두께(T1)는 $6\mu\text{m}$ 내지 $11\mu\text{m}$, $7\mu\text{m}$ 내지 $10\mu\text{m}$ 또는 $8\mu\text{m}$ 내지 $9\mu\text{m}$ 일 수 있다.
- [173] 상기 제 1 버퍼층의 두께(T1)가 $6\mu\text{m}$ 미만이면, 상기 제 1 버퍼층(410)과 상기 제 2 도금층(520)의 접착력이 감소될 수 있다. 이에 의해, 상기 금속층(300)과 상기 제 2 도금층(520)의 접착력이 감소될 수 있다. 또한, 상기 제 2 도금층(520)과 상기 칩을 와이어 본딩할 때, 상기 제 1 버퍼층(410)에 크랙이 형성될 수 있다.
- [174] 또한, 상기 제 1 버퍼층의 두께(T1)가 $11\mu\text{m}$ 초과하면, 상기 버퍼층을 형성하는 공정 효율이 감소될 수 있다. 또한, 상기 스마트 IC 기판의 두께가 증가할 수 있다.
- [175] 상기 제 2 버퍼층의 두께(T2)는 $3\mu\text{m}$ 내지 $8\mu\text{m}$, $3.5\mu\text{m}$ 내지 $7\mu\text{m}$ 또는 $4\mu\text{m}$ 내지 $6\mu\text{m}$ 일 수 있다.
- [176] 상기 제 2 버퍼층의 두께(T2)가 $3\mu\text{m}$ 미만이면, 상기 제 2-2 버퍼층(422)을 형성하는 공정이 어려울 수 있다. 이에 의해, 상기 제 2 버퍼층(420)에서 원하는 크기의 표면조도가 형성되지 않을 수 있다. 이에 의해, 상기 금속층(300)과 상기 본딩층(200)의 접착력이 감소될 수 있다. 또한, 상기 제 2 버퍼층의 두께(T2)가 $8\mu\text{m}$ 초과하면, 상기 버퍼층을 형성하는 공정 효율이 감소될 수 있다. 또한, 상기 제 2 영역(2A)의 버퍼층을 제거하는 공정시간이 증가할 수 있다.
- [177] 상기 제 1 버퍼층의 두께는 상기 범위에서 상기 제 2 버퍼층의 두께보다 클 수 있다.
- [178]
- [179] 상기 버퍼층(400)은 부분적으로 제거될 수 있다,
- [180] 자세하게, 상기 금속층(300)은 복수의 영역으로 구분될 수 있다. 자세하게, 상기 금속층(300)은 제 1 영역(1A) 및 제 2 영역(2A)을 포함할 수 있다. 상기 제 1 영역(1A)은 상기 홀(H)과 중첩되지 않는 영역이다. 상기 제 2 영역(2A)은 상기 홀(H)과 중첩되는 영역이다.
- [181] 상기 제 1 영역(1A) 상에는 상기 버퍼층(400)이 배치된다. 자세하게, 상기 제 1 영역(1A) 상에는 상기 제 1 버퍼층(410) 및 상기 제 2 버퍼층(420)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 버퍼층(400)이 부분적으로 배치된다. 자세하게, 상기 제 2 영역(2A) 상에는 상기 제 1 버퍼층(410)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 상기 제 2 버퍼층(420)이 배치되지 않는다. 자세하게, 상기 제 2 영역

(2A) 상의 상기 제 2 버퍼층(420)은 제거된다. 이에 의해, 상기 제 2 영역(2A) 상에는 상기 제 1 버퍼층(410)만 배치된다. 이에 따라, 상기 홀(H)에서 상기 제 1 버퍼층(410)의 일면이 노출될 수 있다. 따라서, 상기 도금층은 상기 제 1 버퍼층(410)과 접촉한다.

[182] 상기 버퍼층(400)은 상기 금속층(300)과 상기 본딩층(200)의 접착력을 위한 층이다. 상기 금속층(300)은 상기 홀(H)과 중첩되는 영역에서는 상기 본딩층(200)과 접촉되지 않는다. 따라서, 상기 제 2 영역(2A)의 상기 제 2 버퍼층(420)이 제거되어도, 상기 금속층(300)과 상기 본딩층(200)의 접착력은 유지될 수 있다.

[183]

[184] 상기 도금층은 상기 홀(H)과 중첩되는 영역 상에 배치된다. 상기 도금층은 제 2 도금층(520)만을 포함할 수 있다. 즉, 상기 제 1 도금층(510)은 생략된다.

[185] 상기 제 2 도금층(520)은 상기 금속층(300) 상에 배치된다. 자세하게, 상기 제 2 도금층(520)은 상기 제 1 버퍼층(410) 상에 배치된다.

[186] 상기 제 1 버퍼층(410) 상기 제 1 도금층(510)과 동일 또는 유사한 물질을 포함할 수 있다. 이에 따라, 상기 제 2 도금층(520)은 상기 제 1 버퍼층(410)과 용이하게 접합될 수 있다.

[187] 상기 제 2 도금층(520)은 상기 칩과 연결되는 와이어와 연결된다. 즉, 상기 칩과 상기 제 2 도금층(520)은 와이어 본딩된다. 이에 의해, 상기 칩과 상기 금속층(300)은 상기 칩과 전기적으로 연결된다.

[188] 상기 제 2 도금층(520)과 상기 금속층(300) 사이에는 상기 제 1 버퍼층(410)이 잔류한다. 상기 제 1 버퍼층(410)은 상기 제 1 도금층(510)과 동일 또는 유사한 물질을 포함한다. 이에 따라, 상기 제 2 도금층(520)은 상기 제 1 버퍼층(410)과 용이하게 접합된다. 또한, 상기 제 1 버퍼층(410)은 설정 범위의 두께로 형성된다. 예를 들어, 상기 제 1 버퍼층의 두께(T1)는 상기 제 2 버퍼층의 두께(T2)보다 클 수 있다. 이에 따라, 상기 제 2 도금층(520)에 와이어를 본딩할 때, 열 및 압력에 의해 상기 제 2 도금층 또는 상기 제 1 버퍼층이 손상되는 것을 방지할 수 있다.

[189] 따라서, 상기 칩과 상기 도금층을 와이어 본딩할 때, 상기 제 1 도금층을 형성하는 공정을 생략할 수 있다. 따라서, 상기 스마트 IC 기판의 공정 효율이 향상될 수 있다.

[190]

[191] 이하, 도 11 및 도 12를 참조하여, 제 4 실시예에 따른 스마트 IC 기판을 설명한다. 제 1 실시예와 동일 또는 유사한 설명에 대해서는 설명을 생략한다. 제 1 실시예와 동일한 구성에 대해서는 동일한 도면 부호를 부여한다.

[192] 도 11 및 도 12를 참조하면, 상기 버퍼층(400)은 부분적으로 제거될 수 있다,

[193] 자세하게, 상기 금속층(300)은 복수의 영역으로 구분될 수 있다. 자세하게, 상기 금속층(300)은 제 1 영역(1A) 및 제 2 영역(2A)을 포함할 수 있다. 상기 제 1 영역(1A)은 상기 홀(H)과 중첩되지 않는 영역이다. 상기 제 2 영역(2A)은 상기 홀(H)과 중첩되는 영역이다.

- [194] 상기 제 1 영역(1A) 상에는 상기 버퍼층(400)이 배치된다. 자세하게, 상기 제 1 영역(1A) 상에는 상기 제 1 버퍼층(410) 및 상기 제 2 버퍼층(420)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 버퍼층(400)이 부분적으로 배치된다. 자세하게, 상기 제 2 영역(2A) 상에는 상기 제 1 버퍼층(410)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 상기 제 2 버퍼층(420)이 배치되지 않는다. 자세하게, 상기 제 2 영역(2A) 상의 상기 제 2 버퍼층(420)은 제거된다. 이에 의해, 상기 제 2 영역(2A) 상에는 상기 제 1 버퍼층(410)만 배치된다. 이에 따라, 상기 홀(H)에서 상기 제 1 버퍼층(410)의 일면이 노출될 수 있다.
- [195] 상기 제 2-2 버퍼층(422)은 산화금속층이다. 이에 따라, 상기 제 2-2 버퍼층(422)은 전기 전도성이 거의 없거나 0일 수 있다. 이에 따라, 상기 도금층(500)과 상기 금속층(300)이 상기 제 2-2 버퍼층(422)에 의해 절연될 수 있다. 이에 따라, 상기 제 2-2 버퍼층(422)을 포함하는 상기 제 2 버퍼층(420)은 제거한다.
- [196] 상기 버퍼층(400)은 상기 금속층(300)과 상기 본딩층(200)의 접착력을 위한 층이다. 상기 금속층(300)은 상기 홀(H)과 중첩되는 영역에서는 상기 본딩층(200)과 접착되지 않는다. 따라서, 상기 제 2 영역(2A)의 상기 제 2 버퍼층(420)이 제거되어도, 상기 금속층(300)과 상기 본딩층(200)의 접착력은 유지될 수 있다.
- [197] 상기 도금층(500)은 상기 홀(H)과 중첩되는 영역 상에 배치된다. 상기 도금층(500)은 상기 금속층(300) 상에 배치된다. 자세하게, 상기 도금층(500)은 버퍼층(400) 상에 배치된다. 자세하게, 상기 도금층(500)은 상기 제 1 버퍼층(410) 상에 배치된다. 이에 따라, 상기 제 1 도금층(510)은 상기 제 1 버퍼층(410)과 접촉한다.
- [198] 상기 도금층(500)은 상기 칩과 연결되는 와이어와 연결된다. 즉, 상기 칩과 상기 도금층은 와이어 본딩된다. 이에 의해, 상기 칩과 상기 금속층(300)은 상기 칩과 전기적으로 연결된다.
- [199] 상기 도금층(500)과 상기 금속층(300) 사이에는 상기 제 1 버퍼층(410)이 잔류한다. 상기 제 1 버퍼층(410)과 상기 제 1 도금층(510)은 동일한 물질을 포함할 수 있다. 예를 들어, 상기 제 1 버퍼층(410)과 상기 제 1 도금층(510)은 니켈을 포함할 수 있다.
- [200] 이에 따라, 상기 제 1 도금층(510)의 두께가 감소될 수 있다. 즉, 상기 금속층(300)과 상기 제 1 도금층(510) 사이에 제 1 버퍼층(510)이 잔류하므로, 상기 제 1 도금층(510)의 두께가 감소될 수 있다. 따라서, 상기 제 1 도금층(510)을 형성하는 공정시간이 단축될 수 있다.
- [201] 또한, 상기 제 1 버퍼층(410)과 상기 제 1 도금층(510)은 동일한 물질을 포함하므로, 상기 칩에서 전달되는 신호가 상기 제 1 버퍼층(410)과 상기 제 1 도금층(510)의 계면에서 간섭되지 않는다. 따라서, 상기 스마트 IC 기판의 전기적인 특성이 향상될 수 있다.
- [202]

- [203] 이하, 도 13 내지 도 16을 참조하여, 제 5 실시예에 따른 스마트 IC 기판을 설명한다. 제 1 실시예와 동일 또는 유사한 설명에 대해서는 설명을 생략한다. 제 1 실시예와 동일한 구성에 대해서는 동일한 도면 부호를 부여한다.
- [204] 도 13 및 도 14를 참조하면, 상기 금속층(300) 및 상기 버퍼층(400)은 부분적으로 제거될 수 있다,
- [205] 자세하게, 상기 금속층(300)은 복수의 영역으로 구분될 수 있다. 자세하게, 상기 금속층(300)은 제 1 영역(1A) 및 제 2 영역(2A)을 포함할 수 있다. 상기 제 1 영역(1A)은 상기 홀(H)과 중첩되지 않는 영역이다. 상기 제 2 영역(2A)은 상기 홀(H)과 중첩되는 영역이다.
- [206] 상기 제 1 영역(1A) 상에는 상기 버퍼층(400)이 배치된다. 또한, 상기 제 2 영역(2A) 상에는 버퍼층(400)이 배치되지 않는다. 상기 제 2 영역(2A) 상의 버퍼층은 제거된다. 따라서, 상기 버퍼층(400)은 상기 홀(H)의 내부에 배치되지 않는다.
- [207] 상기 버퍼층(400)은 상기 금속층(300)과 상기 본딩층(200)의 접착력을 위한 층이다. 상기 금속층(300)은 상기 홀(H)과 중첩되는 영역에서는 상기 본딩층(200)과 접착되지 않는다. 따라서, 상기 제 2 영역(2A)의 버퍼층(400)이 제거되어도, 상기 금속층(300)과 상기 본딩층(200)의 접착력은 유지될 수 있다.
- [208] 또한, 상기 제 2 영역(2A) 상의 금속층(300)은 부분적으로 제거될 수 있다. 이에 따라, 상기 제 1 영역(1A) 상의 금속층의 두께(T5-1)와 상기 제 2 영역(2A) 상의 금속층의 두께(T5-2)는 달라질 수 있다. 자세하게, 상기 제 1 영역(1A) 상의 금속층의 두께(T5-1)는 상기 제 2 영역(2A) 상의 금속층의 두께(T5-2)보다 클 수 있다.
- [209] 상기 제 2 영역(2A) 상의 금속층이 부분적으로 제거되므로, 상기 금속층(300)은 홈부(R)를 포함할 수 있다. 상기 홈부(R)는 상기 제 2 영역(2A) 상에 형성된다. 상기 홈부(R)는 상기 홀(H)가 대응되는 영역에 형성된다. 상기 홈부(R)는 상기 홀(H)과 연결된다.
- [210]
- [211] 상기 도금층(500)은 상기 홀(H)과 중첩되는 영역 상에 배치된다. 상기 도금층(500)은 상기 금속층(300) 상에 배치된다.
- [212] 상기 도금층(500)은 상기 홀(H)의 일부 영역 및 상기 홈부(R)의 내부에 형성된다. 상기 도금층(500)은 상기 홈부(R)의 내부를 메우면서 배치된다. 이에 따라, 상기 도금층(500)의 측면의 일부분은 상기 금속층(300)과 접촉한다.
- [213] 상기 도금층(500)은 상기 칩과 연결되는 와이어와 연결된다. 즉, 상기 칩과 상기 도금층은 와이어 본딩된다. 이에 의해, 상기 칩과 상기 금속층(300)은 상기 칩과 전기적으로 연결된다.
- [214] 상기 도금층(500)의 측면은 상기 금속층(300)과 접촉한다. 이에 따라, 상기 도금층(500)과 상기 금속층(300)의 접촉 면적이 증가된다. 따라서, 상기 칩에서 전달되는 신호가 이동하는 영역이 증가된다. 따라서, 상기 스마트 IC 기판의 전기적 특성이 향상될 수 있다.

- [215] 또한, 상기 도금층(500)과 상기 금속층(300)의 접촉 면적이 증가하므로, 상기 도금층(500)과 상기 금속층(300)의 접합력이 향상될 수 있다.
- [216] 또한, 상기 제 2 영역(2A)의 버퍼층(400)이 제거되므로, 상기 도금층(500)과 상기 금속층(300) 사이의 거리가 짧아질 수 있다. 이에 따라, 상기 칩에서 전달되는 신호는 상기 금속층(300)으로 용이하게 전달될 수 있다.
- [217]
- [218] 한편, 도 15 및 도 16을 참조하면, 상기 도금층(500)은 상기 홈부(R)의 내부에만 배치될 수 있다. 즉, 상기 도금층(500)은 상기 홈부(G)의 내부에 매립될 수 있다.
- [219] 이에 따라, 상기 도금층(500)의 외면은 모두 상기 금속층(300)과 접촉한다. 이에 따라, 상기 도금층(500)과 상기 금속층(300)의 접촉 면적이 증가한다. 따라서, 상기 스마트 IC 기판의 전기적 특성 및 접합력이 향상될 수 있다.
- [220]
- [221] 이하, 도 17 및 도 18을 참조하여 스마트 IC 모듈을 설명한다.
- [222] 도 17 및 도 18을 참조하면, 상기 스마트 IC 모듈(2000)은 앞서 설명한 실시예들에 따른 스마트 IC 기판(1000) 및 칩(C)을 포함한다.
- [223] 상기 칩(C)은 상기 제 2 면(2S) 상에 배치된다. 자세하게, 상기 칩(C)은 상기 본딩면 상에 배치된다.
- [224] 상기 칩(C)은 상기 제 2 도금층(520)과 연결된다. 자세하게, 상기 칩(C)과 상기 제 2 도금층(520)은 와이어(W)에 의해 본딩된다. 이에 따라, 상기 칩(C)과 상기 전도성 패턴(P)들은 전기적으로 연결된다.
- [225] 상기 와이어(W)는 금속을 포함한다. 자세하게, 상기 와이어(W)는 상기 제 2 도금층(520)과 다른 물질을 포함할 수 있다. 예를 들어, 상기 와이어(W)는 금, 구리 또는 알루미늄을 포함할 수 있다.
- [226] 상기 칩(C) 상에는 몰딩 부재(M)가 배치될 수 있다. 상기 몰딩 부재(M)는 상기 칩(C) 및 상기 와이어(W)를 덮으면서 배치된다. 이에 따라, 외부의 충격에 의해 와이어 본딩이 손상되는 것을 방지할 수 있다.
- [227]
- [228] 이하, 도 19 및 도 20을 참조하여 실시예에 따른 스마트 IC 카드를 설명한다.
- [229] 도 19 및 도 20을 참조하면, 상기 스마트 IC 카드(3000)는 본체부(3100), 제 1 보호층(3210) 및 제 2 보호층(3220)을 포함할 수 있다.
- [230] 상기 본체부(3100)는 수용부(3110)를 포함한다. 상기 스마트 IC 모듈(2000)은 상기 수용부(3110) 내부에 배치된다.
- [231] 상기 IC 카드는 다양한 모드로 구동될 수 있다. 예를 들어, 상기 IC 카드는 접촉식 카드로 구동될 수 있다.
- [232] 또는, 상기 본체부(3100) 상에는 안테나 패턴(미도시)이 배치될 수 있다. 자세하게, 상기 안테나 패턴은 상기 본체부(3100)의 가장자리에 코일 형상으로 배치될 수 있다. 이에 따라, 상기 IC 카드는 비접촉식 카드, 콤비 카드 또는 하이브리드 카드로 구동될 수 있다.

- [233] 상기 스마트 IC 모듈(2000)은 상기 수용부(3110)의 내부에 삽입된다. 상기 스마트 IC 모듈(2000)과 상기 본체부(3100)는 접착층(3120)에 의해 접착된다. 이에 의해, 상기 스마트 IC 모듈(2000)은 상기 수용부(3110)에 삽입되어 고정된다.
- [234] 상기 제 1 보호층(3210)은 상기 본체부(3100)의 상부에 배치된다. 상기 제 1 보호층(3210)은 투명한 물질을 포함할 수 있다. 상기 제 1 보호층(3210)은 투명한 수지 물질을 포함할 수 있다. 상기 제 1 보호층(3210)은 적어도 하나의 층으로 배치될 수 있다. 즉, 상기 제 1 보호층(3210)은 복수의 층을 포함할 수 있다.
- [235] 상기 제 2 보호층(3220)은 상기 본체부(3100)의 하부에 배치된다. 상기 제 2 보호층(3220)에는 자기 스트라이프(magnetic stripe)가 배치될 수 있다. 상기 제 2 보호층(3220)은 투명한 물질을 포함할 수 있다. 상기 제 2 보호층(3220)은 투명한 수지 물질을 포함할 수 있다. 상기 제 2 보호층(3220)은 적어도 하나의 층으로 배치될 수 있다. 즉, 상기 제 2 보호층(3220)은 복수의 층을 포함할 수 있다.
- [236] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [237] 또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부한 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재;
 상기 제 1 면 상에 배치되는 본딩층;
 상기 본딩층 상에 배치되는 버퍼층;
 상기 버퍼층 상에 배치되는 금속층; 및
 상기 금속층의 타면 상에 배치되는 도금층을 포함하고,
 상기 금속층은 니켈(Ni), 철(Fe) 및 크롬(Cr)을 포함하는 합금을 포함하고,
 상기 버퍼층은 상기 제 1 버퍼층 및 제 2 버퍼층을 포함하고,
 상기 제 1 버퍼층은 상기 제 2 버퍼층과 상기 금속층 사이에 배치되고,
 상기 제 2 버퍼층은 제 2-1 버퍼층 및 제 2-2 버퍼층을 포함하고,
 상기 제 2-1 버퍼층은 상기 제 1 버퍼층 및 상기 제 2-2 버퍼층 사이에 배치
 되고,
 상기 제 2-2 버퍼층의 표면 조도는 상기 제 2-1 버퍼층의 표면 조도보다 큰
 스마트 IC 기판.
- [청구항 2] 제 1항에 있어서,
 상기 제 1 버퍼층 및 상기 제 2-1 버퍼층은 금속을 포함하고,
 상기 제 2-2 버퍼층은 산화금속을 포함하는 스마트 IC 기판.
- [청구항 3] 제 1항에 있어서,
 상기 도금층은 상기 금속층 하에 배치되는 제 1 도금층 및 상기 제 1 도금
 층 하부의 제 2 도금층을 포함하고,
 상기 제 1 버퍼층과 상기 제 1 도금층을 동일 금속을 포함하는 스마트 IC
 기판.
- [청구항 4] 제 3항에 있어서,
 상기 제 1 도금층의 두께는 상기 제 1 버퍼층의 두께보다 큰 스마트 IC 기
 판.
- [청구항 5] 제 1항에 있어서,
 상기 기재 및 상기 본딩층을 관통하는 복수의 홀이 형성되고,
 상기 금속층은 상기 홀과 중첩되지 않는 제 1 영역 및 상기 홀과 중첩되는
 제 2 영역을 포함하고,
 상기 제 1 영역 상에는 상기 버퍼층이 배치되고,
 상기 제 2 영역 상에는 상기 버퍼층이 배치되지 않고,
 상기 도금층은 상기 금속층과 접촉하는 스마트 IC 기판.
- [청구항 6] 제 1항에 있어서,
 상기 기재 및 상기 본딩층을 관통하는 복수의 홀이 형성되고,
 상기 금속층은 상기 홀과 중첩되지 않는 제 1 영역 및 상기 홀과 중첩되는
 제 2 영역을 포함하고,
 상기 제 1 영역 상에는 제 1 버퍼층 및 상기 제 2 버퍼층이 배치되고,

- 상기 제 2 영역 상에는 상기 제 1 버퍼층 및 상기 제 2-1 버퍼층이 배치되고,
 상기 도금층은 상기 제 2-1 버퍼층과 접촉하는 스마트 IC 기판.
- [청구항 7] 제 6항에 있어서,
 상기 제 2 영역의 제 2-1 버퍼층의 두께는 상기 제 1 영역의 제 2-1 버퍼층의 두께보다 큰 스마트 IC 기판.
- [청구항 8] 제 1항에 있어서,
 상기 도금층은 상기 금속층 하에 배치되는 제 2 도금층을 포함하고,
 상기 제 2 도금층은 금, 은 및 팔라듐 중 적어도 하나를 포함하고,
 상기 제 1 버퍼층의 두께는 상기 제 2 버퍼층 및 상기 제 2 도금층의 두께보다 큰 스마트 IC 기판.
- [청구항 9] 제 8항에 있어서,
 상기 기재 및 상기 본딩층을 관통하는 복수의 홀이 형성되고,
 상기 금속층은 상기 홀과 중첩되지 않는 제 1 영역 및 상기 홀과 중첩되는 제 2 영역을 포함하고,
 상기 제 1 영역 상에는 제 1 버퍼층 및 상기 제 2 버퍼층이 배치되고,
 상기 제 2 영역 상에는 상기 제 1 버퍼층이 배치되고,
 상기 제 2 도금층은 상기 제 1 버퍼층과 접촉하는 스마트 IC 기판.
- [청구항 10] 제 1항에 있어서,
 상기 기재 및 상기 본딩층을 관통하는 복수의 홀이 형성되고,
 상기 금속층은 상기 홀과 중첩되지 않는 제 1 영역 및 상기 홀과 중첩되는 제 2 영역을 포함하고,
 상기 제 1 영역 상에는 제 1 버퍼층 및 상기 제 2 버퍼층이 배치되고,
 상기 제 2 영역 상에는 상기 제 1 버퍼층이 배치되고,
 상기 도금층은 상기 제 1 버퍼층과 접촉하는 제 1 도금층 및 상기 제 1 도금층 하부의 제 2 도금층을 포함하는 스마트 IC 기판.