

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
26. Dezember 2024 (26.12.2024)



(10) Internationale Veröffentlichungsnummer
WO 2024/260592 A1

(51) Internationale Patentklassifikation:

H04L 1/00 (2006.01) *H03M 13/05* (2006.01)
H04L 25/49 (2006.01) *H03M 13/31* (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2024/055992

(22) Internationales Anmeldedatum:
07. März 2024 (07.03.2024)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
23180790.0 21. Juni 2023 (21.06.2023) EP

(71) Anmelder: **INOVA SEMICONDUCTORS GMBH**
[DE/DE]; Grafingerstr. 26, 81671 München (DE).

(72) Erfinder: **KLUGE, Fabian**; Oberlindberg 2, 94366 Perasdorf (DE). **NEUMANN, Roland**; Am Ellbach 7b, 83646 Bad Tölz (DE).

(74) Anwalt: **REICH, Jochen**; Herrnstr. 15, 80539 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: EFFICIENTLY TRANSMITTABLE BIT SEQUENCE WITH RESTRICTED DISPARITY, AND ENCODED FORWARD ERROR CORRECTION

(54) Bezeichnung: EFFIZIENT ÜBERTRAGBARE BITFOLGE MIT EINGESCHRÄNKTER DISPARITÄT UND KODierter VORWÄRTSFEHLERKORREKTUR

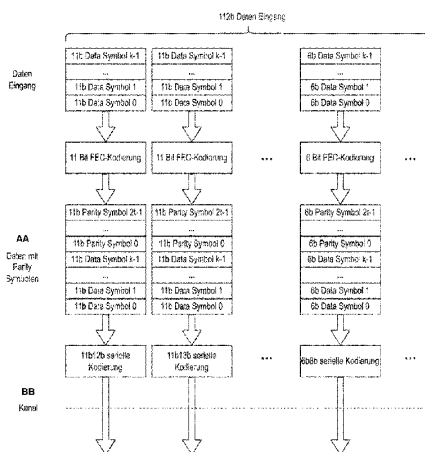


Fig.: 8A

AA Data with parity symbols
BB Channel
112b Data Input, Parity Symbol
6, 11 Bit FEC Encoding
66b, 11b12b, 11b13b Serial encoding

(57) Abstract: The present invention relates to a method for generating a bit sequence that can be transmitted efficiently and has a limited disparity and a limited run length. The proposed method allows data to be able to be transmitted particularly efficiently on a transmission channel. Compared to the prior art, the invention offers, among other things, the advantage that the physical behaviour on a transmission channel can always be deterministically controlled despite a reduction in resource requirements. Thus, according to the proposed method, bit errors are minimal and a transmission error can be corrected efficiently, i.e. with minimal technical effort. Furthermore, the encoders used are designed with a minimal number of gates, and the proposed method implicitly includes an form of nesting that allows so-called burst errors to be corrected particularly advantageously.

(57) Zusammenfassung: Die vorliegende Erfindung ist auf ein Verfahren zum Erzeugen einer effizient übertragbaren Bitfolge mit einer eingeschränkten Disparität und einer eingeschränkten Lauflänge gerichtet. Das vorgeschlagene Verfahren erlaubt es, dass Daten über einen Übertragungskanal besonders effizient übertragen werden können. Die Erfindung schafft gegenüber dem Stand der Technik unter anderem den Vorteil, dass trotz einer Reduzierung des Ressourcenbedarfs das physikalische Verhalten auf einem Übertragungskanal stets deterministisch kontrollierbar ist. So sind gemäß dem vorgeschlagenen Verfahren die Bitfehler minimal und ein Übertragungsfehler kann effizient, d.h. mit minimalem technischem Aufwand, korrigiert werden. Darüber hinaus sind die verwendeten Kodierer bezüglich ihrer Anzahl der Gatter minimal ausgestaltet und es ist dem vorgeschlagenen Verfahren eine Verschachtelung implizit, die darauf abstellt, dass sogenannte Burst Fehler besonders vorteilhaft korrigiert werden können.

[Fortsetzung auf der nächsten Seite]

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)