

半导体结构及其制备方法

本申请要求于 2024 年 4 月 15 日提交中国专利局、申请号为 202410452734.7、申请名称为“半导体结构及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及集成电路技术领域，特别是涉及一种半导体结构及其制备方法。

背景技术

随着动态随机存取存储器（Dynamic Random Access Memory，简称 DRAM）技术的发展，存储单元的尺寸越来越小，其阵列架构由 $8F^2$ 到 $6F^2$ 再到 $4F^2$ （F：在给定工艺条件下可获得的最小图案尺寸）。

然而，在 $4F^2$ 设计的结构中，如何尽可能地缩小单个阵列区晶体管面积，追求更高的芯片面积利用率，仍是当前亟需解决的问题。

发明内容

基于此，本申请提供一种半导体结构及其制备方法，可以缩小器件体积，降低制备工艺难度。

一方面，本申请根据一些实施例，提供一种半导体结构，其特征在于，包括：

有源柱，在第一方向和第二方向上呈阵列排布，第一方向与第二方向相交；

位线，在第一方向上延伸，在第二方向上间隔排列，并连接沿第一方向排列的有源柱；

屏蔽线，位于相邻两条所述位线之间，并且在第一方向上延伸，在第二方向上与位线交替排列；

位线接触结构；位于位线和有源柱之间并连接位线和有源柱，位线接触结构在第二方向的宽度小于位线和有源柱在所述第二方向上的宽度。

在一些实施例中，所述位线接触结构连接在所述第二方向上相邻的两个所述有源柱。

在一些实施例中，所述屏蔽线在第三方向上的宽度不小于所述位线在第三方向上的宽度，所述第三方向与所述第一方向和所述第二方向相交。

在一些实施例中，所述位线的宽度随着所述位线向所述位线接触结构延伸而减小。

在一些实施例中，半导体结构还包括：

位线保护层，所述位线保护层位于位线远离所述位线接触结构的一面；

位线隔离层，所述位线隔离层位于相邻两条所述位线之间，所述屏蔽线位于所述位线隔离层中；

所述位线保护层和所述位线隔离层的材料不同。

在一些实施例中，所述位线包括至少一层金属材料；

所述屏蔽线包括至少一层金属材料。

在一些实施例中，半导体结构还包括：

屏蔽线阻挡层，所述屏蔽线阻挡层覆盖所述屏蔽线层。

在一些实施例中，所述位线隔离层与所述屏蔽线之间有空隙。

在一些实施例中，所述屏蔽线在垂直所述第一方向的截面形状为锥状、长条状、椭圆状、星状或其他适合的形状。

在一些实施例中，半导体结构还包括：

字线，所述字线在所述第二方向上延伸，在所述第一方向上间隔排列，所述字线连接在所述第二方向上的所述有源柱；

存储结构，所述存储结构与所述有源柱连接，位于所有源柱远离所述位线的一端。

另一方面，本申请还根据一些实施例，提供一种半导体结构的制备方法，包括：

形成有源柱，所述有源柱在第一方向和第二方向上呈阵列排布，所述第一方向与所述第二方向相交；

形成位线，所述位线在第一方向上延伸，在第二方向上间隔排列，并连接沿第一方向排列的有源柱；

形成屏蔽线，所述屏蔽线位于相邻两条所述位线之间，并且在第一方向上延伸，在第二方向上与所述位线交替排列；

形成位线接触结构；所述位线接触结构连接所述位线和所述有源柱，所述位线接触结构在所述第二方向的宽度小于所述位线和所述有源柱在所述第二方向上的宽度。

在一些实施例中，所述形成位线包括：

提供衬底，所述衬底在第三方向上具有第一表面和第二表面，所述第三方向与所述第一方向和所述第二方向相交；

在所述第一表面上图形化刻蚀形成位线隔离沟槽，所述位线隔离沟槽底部的尺寸大于所述位线隔离沟槽顶部的尺寸，所述位线隔离沟槽沿第一方向延伸，在第二方向上间隔排列；

填充所述位线隔离沟槽，形成位线隔离层；

在所述第二表面研磨处理露出所述位线隔离层，以所述位线隔离层为掩膜刻蚀所述衬底形成位线沟槽；

在所述位线沟槽中填充至少一层金属材料形成所述位线；

在所述位线上形成位线保护层，所述位线保护层和所述位线隔离层材料不同。

在一些实施例中，所述形成屏蔽线包括：

在所述第二表面上以所述位线保护层为掩膜层，刻蚀所述位线隔离层形成屏蔽线沟槽，所述屏蔽线沟槽的深度不小于所述位线沟槽的深度；

在所述屏蔽线沟槽内填充至少一层金属材料形成所述屏蔽线。

在一些实施例中，所述位线接触结构包括金属硅化物，形成金属硅化物包括：

在所述位线沟槽底部沉积金属材料层，高温处理形成金属硅化物；或

在所述位线隔离沟槽底部沉积金属材料层，高温处理形成金属硅化物。

在一些实施例中，填充所述位线隔离沟槽，形成位线隔离层后还包括：

在所述第一表面上图形化刻蚀形成字线隔离沟槽，所述字线隔离沟槽的深度小于所述位线隔离沟槽的深度，所述位线隔离沟槽沿第二方向延伸，在第一方向上间隔排列，所述字线隔离沟槽和所述位线隔离沟槽形成所述有源柱；

形成有源柱后还包括：

在所述字线隔离沟槽中形成字线，所述字线在所述第二方向上延伸，在所述第一方向上间隔排列，所述字线连接在所述第二方向上的所述有源柱；

在所述有源柱远离所述位线的一端形成存储结构。

本申请提供的半导体结构及其制备方法至少具有如下有益效果：

本申请提供的半导体结构及其制备方法，通过在晶圆背面形成金属位线可以减小位线电阻，在位线之间形成金属屏蔽线可以减小相邻位线之间的耦合电容，提高器件的稳定性。通过衬底、位线隔离层和位线保护层之间的材料不同，设置不同的刻蚀选择比，使用自对准刻蚀工艺进行刻蚀可以减少光罩次数，降低生产成本。此外，相邻位线可以公用一条位线，可以降低设备工艺难度。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1a 为一些公开实施例提供的半导体结构的俯视示意图，图 1b 和图 1c 分别为沿位线和字线方向的截面结构示意图；

图 2 为本申请一些实施例提供的半导体结构沿字线方向的截面结构示意图；

图 3a-图 3e 为本申请另一些实施例提供的半导体结构沿字线方向的截面结构示意图；

图 4a-图 4l 为本申请一些实施例提供的用于制备半导体结构的方法的各阶段沿字线方向的截面结构示意图；

图 5a-图 5f 为本申请另一些实施例提供的用于制备半导体结构的方法的各阶段沿字线方向的截面结构示意图；

附图标记说明：

1、衬底；2、字线；3、位线；4、有源柱；5、字线隔离沟槽；6、位线隔离沟槽；601、初始位线隔离沟槽；602、第一位线隔离沟槽；603、第二位线隔离沟槽；7、侧壁保护层；8、位线隔离层；9、存储接触；10、位线接触结构；11、存储结构；12、位线沟槽；13、位线材料层；301、位线第一材料层；302、位线第二材料层；14、位线保护层；15、屏蔽线沟槽；16、屏蔽线；1601、屏蔽线第一材料层；1602、屏蔽线第二材料层；17、空隙；18、屏蔽线阻挡层。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

应当明白，当元件或层被称为“在…上”、“相邻…”或“与…相连接”时，其可以直接地在其它元件或层上、与之相邻、相连接，或者可以存在居间的元件或层。应当明白，尽管可使用术语第一、第二等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂区称为第二掺杂区，且类似地，可以将第二掺杂区称为第一掺杂区；第一掺杂区与第二掺杂区为不同的掺杂区。

空间关系术语例如“在…上”在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在…上”的元件或特征将取向为在其它元件或特征“下”。因此，示例性术语“在…上”可包括上和下两个取向。此外，器件也可以包括另外地取向（譬如，旋转 90 度或其它取向），

并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用时，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本申请的理想实施例（和中间结构）的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本申请的范围。

请参考图 1a，在一些相关实施例中，半导体结构可以包括多条位线（biteline，BL）3 可以沿第一方向（例如为 X 方向）延伸，沿第二方向（例如为 Y 方向）排列，多条字线（wordline，WL）2 可以沿第二方向延伸，沿第一方向排列，位线 3 和字线 2 在空间相交于有源柱 4，多个有源柱 4 可以沿垂直与衬底 1 方向的第三方向延伸（例如为 Z 方向）且呈阵列排列。在位线 3 制备时，首先形成并填充位线隔离沟槽 6，参考图 1c 图，然后刻蚀形成字线隔离沟槽 5，参考图 1b 图，在字线隔离沟槽中通过离子注入、掺杂或金属扩散对衬底进行改性形成位线 3。随着位线 3 的尺寸越来越小，位线 3 的电阻越来越大，同时相邻位线 3 之间的距离也越来越小，相应的耦合效应也越来越大，这极大的影响了半导体结构的性能。此外，位线 3 形成的工艺过程中同时也会对字线隔离沟槽、存储接触和有源柱等造成一定的伤害，也极大的限制了半导体结构制备工艺的发展。

本申请提供一种半导体结构及其制备方法，可以缩小器件体积，其详细内容将在后续实施例中得以阐述。

一方面，本申请根据一些实施例，提供一种半导体结构。

请参阅图 2，在一些实施例中，该半导体结构可以包括多条位线 3、多个有源柱 4、多条屏蔽线 16 和位线接触结构 10。其中多条位线 3 在第一方向上（例如为 X 方向）延伸，在第二方向上（例如为 Y 方向）间隔排列，第一方向与所述第二方向相交；多条屏蔽线 16，位于相邻两条位线 3 之间，并且在第一方向上延伸，在第二方向上与位线 3 交替排列；多个有源柱 4，在远离位线 3 的第三方向上（例如为 Z 方向）延伸，在第一方向和第二方向上呈阵列排布；位线接触结构 10，位于位线 3 和有源柱 4 之间并连接位线 3 和有源柱 4，位线接触结构 10 在第二方向的宽度小于位线和有源柱在所述第二方向上的宽度。

在上述实施例提供的半导体结构中，屏蔽线 16 位于相邻的位线 3 之间，与位线在第二方向上交替排列，屏蔽线 16 可以降低相邻两条位线 3 之间的耦合效应，提供半导体结构的稳定性。位线接触结构 10 在第二方向上的宽度小于位线 3 和有源柱 4 在第二方向上的宽度，可以使位线 3 的在第二方向的宽度增大，减小

位线 3 的电阻，同时可以降低位线 3 的制备难度。

请参阅图 2 和图 3a 图，在一些实施例中，一个位线接触结构可以连接一个有源柱 4，一个位线接触结构 10 也可以连接在第二方向上的相邻的两个有源柱 4，参考图 2，即相邻的两个有源柱 4 共用一个位线接触结构 10 和一条位线 3，这样可以降低位线密度，提高集成度且增大位线之间间距，同时也可以提高位线 3 的宽度，减小位线 3 的电阻，提高器件的性能。

请继续参阅图 2，在一些实施例中，屏蔽线 16 在第三方向上（例如为 Z 方向）的宽度 D1 不小于位线 3 在第三方向上（例如为 Z 方向）的宽度 D2，屏蔽线 16 在第三方向上（例如为 Z 方向）的宽度 D1 要超过位线 3 在第三方向上（例如为 Z 方向）的宽度 D2，可选的，屏蔽线 16 在第三方向上（例如为 Z 方向）的宽度 D1 要超过位线 3 和位线接触结构 10 在第三方向上（例如为 Z 方向）的宽度之和，这样屏蔽线 16 就可以完全屏蔽相邻位线 3 之间的耦合效应，提高器件的性能。

请继续参阅图 2，在一些实施例中，位线 3 在第二方向上（例如为 Y 方向）的宽度随着所述位线向所述位线接触结构延伸而减小，可以理解为位线呈倒梯形，这样即可以减小位线 3 的电阻，也可以减小位线 3 的制备工艺难度。

请继续参阅图 2，在一些实施例中，该半导体结构可以包括位线保护层 14 和位线隔离层 8，位线保护层 14 位于位线 3 远离所述位线接触结构 10 的一面上并沿第一方向（例如为 X）延伸，在第二方向（例如为 Y）排列，位线隔离层 8 位于相邻位线 3 之间，使相邻位线之间绝缘隔离。位线保护层 14 和位线隔离层 8 的材质均不做具体限定。作为示例，位线保护层 14 的材质可以包括但不限于氮化硅、氧化硅、氮氧化硅以及氮碳化硅等或其组合，位线隔离层 8 的材质可以包括但不限于氮化硅、氧化硅、氮氧化硅以及氮碳化硅等或其组合。但是位线隔离层 8 和位线保护层 14 的材质必须不同，例如，位线保护层 14 可以为氮化硅，位线隔离层可以为氧化硅，这样在刻蚀位线隔离层 8 时，可以使用自对准的方法，以位线保护层 14 为模板，选择性刻蚀位线保护层 8，既可以降低工艺难度，也可以节省成本。

请继续参阅图 2 和参阅图 3c，在一些实施例中，位线 3 和屏蔽线 16 可以为一层，也可以为多层，例如图 3c 中，位线 3 包括位线第一材料层 301 和位线第二材料层 302，位线第一材料层 301 和位线第二材料层 302 的位置关系不做具体限定，作为示例，位线第一材料层 301 和位线第二材料层 302 可以是堆叠、包围以及半包围等等。屏蔽线 16 可以包括屏蔽线第一材料层 1601 和屏蔽线第二材料层 1602，屏蔽线第一材料层 1601 和屏蔽线第二材料层 1602 的位置关系不做具体限定，作为示例，屏蔽线第一材料层 1601 和屏蔽线第二材料层 1602 可以是堆叠、包围以及半包围等等。位线 3 和屏蔽线 16 的材质不做具体限定，作为示例，位线 3 的材质可以包括例如掺杂多晶硅、金属、导电金属氮化物、导电金属硅化物、导电金属氧化物或其组合。例如，位线 3 可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 或其组合。屏蔽

线 16 的材质可以包括例如掺杂多晶硅、金属、导电金属氮化物、导电金属硅化物、导电金属氧化物或其组合。例如，屏蔽线 16 可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 或其组合。位线 3 和屏蔽线 16 至少包括一种金属材料层，这样可以减少位线 3 和屏蔽线 16 的电阻，提高器件性能。

请继续参阅图 2，在一些实施例中，该半导体结构可以包括直流偏压电源（direct current bias, DC bias），DC bias 与屏蔽线 16 可以通过连接接触连接（未示出），给屏蔽线 16 一个稳定电压，使屏蔽线 16 形成一个导电屏障，进而使相邻的两条位线 3 其中一条通电或断电时，两外一条影响减小或不受影响。

请参阅图 3b，在一些实施例中，屏蔽线 16 与位线隔离层 8 至少有一部分没有完全接触，屏蔽线 16 与位线隔离层 8 之间有空隙 17，空隙 17 在屏蔽线 16 与位线隔离层 8 的相对位置不做具体限定，作为示例，空隙 17 可以位于屏蔽线的底部，一侧侧壁以及半包围屏蔽线等等，空隙 17 的大小和形状也不做具体限制，作为示例，空隙可以为球状、水滴状、短管状、椭球状、长条状或其他适合的形状。由于空气的介电常数为 1.001，接近真空的介电常数，空隙 17 和位线隔离层 8 一起体现为低介电常数效果，以降低整体介电常数，这样可以减少寄生电容，避免产生位线 3 与相邻位线 3 之间的电容耦合效应，从而降低寄生电容对器件性能参数的影响。

请参阅图 3d，在一些实施例中，屏蔽线 16 在垂直所述第一方向的截面形状呈不规则结构，例如，可以为锥状、长条状、椭圆状、星状或其他适合的形状，屏蔽线形成在位线隔离层 8 中，屏蔽线 16 的大小收位线隔离层 8 材质和设备刻蚀能力的影响，屏蔽线 16 呈不规则结构可以增大工艺制备窗口，减小制备工艺成本。

请参阅图 3e，在一些实施例中，屏蔽线 16 上方还可以设置屏蔽线阻挡层 18，屏蔽线阻挡层 18 覆盖屏蔽线 16，可以保护屏蔽线 16 在后续工艺中不被伤害，屏蔽线阻挡层 18 的材料不做限制，可以与位线保护层 14 的材料相同或不同。

请继续参阅图 2 和图 3a-图 3e，在一些实施例中，半导体结构还包括字线 2、有源柱一端的存储接触 9、存储结构 11 以及位于存储结构 11 上的后段连线和保护层（图中未示出）。具体的，字线 2 沿第二方向延伸，在第一方向上排列，字线环绕有源柱 4、在有源柱一侧、两侧或三侧，控制有源柱 4 的电荷移动。字线的材质不做具体限定，作为示例，字线 2 的材质可以包括例如掺杂多晶硅、金属、导电金属氮化物、导电金属硅化物、导电金属氧化物或其组合。例如，字线 2 可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 或其组合。

存储接触 9 位于有源柱 4 远离位线接触 10 的一端，连接有源柱 4 和存储结构 11，存储接触 9 的材料不做具体限定，作为示例，存储接触 9 的材质可以包括掺杂的多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、

Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 和它们的组合中的至少一种，可以减小有源柱 4 与存储结构 11 的接触电阻。

存储结构 11 可以是电容器结构，电容器包括上下电极板和位于上下电极板之间的高 k 介电材料；还可以是可变电阻存储结构，可变电阻存储结构是通过施加到存储器元件的电脉冲而切换至两种电阻状态，例如，可变电阻存储结构可以包括其晶体状态根据电流量而改变的相变材料、钙钛矿化合物、过渡金属氧化物、磁性材料、铁磁材料或反铁磁材料。

另一方面，本申请还根据一些实施例，提供一种半导体结构的制备方法。为了更清楚的说明本申请一些实施例中半导体结构的制备方法，以下可以结合图 1 至图 3 理解本申请的一些实施例。

图 4a-图 4l 是示出了用于描述用于制造根据一些实施例的半导体存储器件的方法的中间步骤的视图。

参考图 4a，提供衬底 1，所述衬底在第三方向上（例如 Z 方向）具有相对的第一表面和第二表面，在第一表面图形化刻蚀形成初始位线隔离沟槽 601。

具体的，在一些实施例中，衬底 1 的材质不做具体限定，作为示例，衬底 1 的材质可以包括硅（Si）、硅锗（SiGe）、硅锗碳（SiGeC）、碳化硅（SiC）、砷化镓（GaAs）、砷化铟（InAs）、磷化铟（InP）或其它的 III/V 半导体材料或 II/VI 半导体材料等等。

在一些实施例中图形化刻蚀形成初始位线隔离沟槽 601 可以包括在衬底 1 第一表面形成掩膜层，掩膜层可以包括一层、两层或多层材料层，沉积光刻胶层，曝光显影后刻蚀掩膜层和衬底 1 形成初始位线隔离沟槽 601。刻蚀方法可以使用干法刻蚀也可以使用湿法刻蚀或两种混合使用，不做具体限定。参考图 2 和图 3a，一列有源柱 4 可以连接一列位线 3，也可以相邻的两列有源柱 4 共用一列位线 3，这样相邻的两列有源柱 4 共用一条位线能够减少相邻位线之间的空间，以缩小器件体积，还可以使得半导体结构的内部布局更加合理，从而有效提升半导体结构的存储密度，本实施例采用两列有源柱 4 共用一条位线 3 作为示例，形成的初始位线隔离沟槽 601 是采用了双倍间距，即在相邻的初始位线隔离沟槽 601 之间的衬底是双倍的有源柱 4 和一个位线隔离沟槽 6 的距离，这样可以增大工艺制备窗口，提高了器件性能的稳定性。

参考图 4b，在一些实施例中，对未被刻蚀去除的掩膜层进行修饰，使其尺寸大小符合位线沟槽 6 的宽度，或使暴露出未被刻蚀的衬底的宽度相当于有源柱 4 的宽度，具体宽度不做限定，可以根据工艺要求，例如 10nm 至 40nm 之间的任一宽度。在初始位线隔离沟槽 601 中以及衬底第一表面和衬底第一表面未被刻蚀去除的掩膜层表面沉积侧壁保护层 7，侧壁保护层 7 能够保护衬底第一表面和衬底第一表面未被刻蚀去除的掩膜层表面在后续工艺过程中不被破坏。刻蚀侧壁保护层 7，使初始位线隔离沟槽 601 底部的侧壁保护层打开，然后采用同向刻蚀，形成第一位线隔离沟槽 602，同向刻蚀可以使用干法刻蚀也可以使用湿法刻蚀或两种混合使用，不做具体限定。由于采用了同向刻蚀，第一位线隔离沟槽 602 在第二方向的宽度比初始位线隔离沟槽 601 在第二方向的宽度大，第一位线隔离沟槽 602 两边的部分衬底被刻蚀去除。

参考图 4c, 在一些实施例中, 在初始位线隔离沟槽 601 和第一位线隔离沟槽 602 中填充绝缘材料, 平坦化处理露出未被刻蚀去除的掩膜层。具体的, 在一些实施例中, 绝缘材料可以包括但不限于氮化硅、氧化硅、氮氧化硅以及氮碳化硅等或其组合, 绝缘材料的材质与掩膜层的材质不同。沉积的方法可以包括但不限于化学气相沉积法、流动性化学气相沉积法、原子层沉积法、旋涂法以及高强度沉积法等或其组合。选择性刻蚀未被去除的掩膜层, 掩膜层和位线隔离层 8 的材料不同, 可以不通过光罩, 采用自对准方法进行刻蚀, 刻蚀的方法可以采用干法刻蚀也可以使用湿法刻蚀或两种混合使用, 对掩膜层进行修饰, 其尺寸与位线隔离沟槽 6 一致, 去除掩膜层后即形成了第二位线隔离沟槽 603 的图形。

参考图 4d, 在一些实施例中, 根据上述步骤形成的第二位线隔离沟槽 603 图形, 形成第二位线隔离沟槽 603, 第二位线隔离沟槽 603 沿第一方向延伸, 位于相邻的第一位线隔离沟槽 602 之间, 在第二方向上与第一位线隔离沟槽 602 间隔排列。由于第一位线隔离沟槽 602 和第二位线隔离沟槽 603 是间隔排列, 且是分步形成, 在单独制备第一位线隔离沟槽 602 和单独制备第二位线隔离沟槽 603 时, 相邻的位线隔离沟槽 6 之间的距离较大, 增大了工艺制备的窗口, 提高了器件的稳定性。

参考图 4e, 在一些实施例中, 在第二位线隔离沟槽 603 底部形成位线接触 10 和在有源柱的顶端形成存储接触 9, 位线接触 10 位于第二位线隔离沟槽 603 的底部且与两侧的衬底连接, 在第二方向上与相邻的第一位线隔离沟槽 602 接触。具体的, 在第二位线隔离沟槽 603 以及衬底表面形成侧壁保护层, 防止后续工艺对衬底的损坏或影响, 刻蚀去除第二位线隔离沟槽 603 底部和衬底表面的保护层, 露出衬底, 通过离子注入, 沉积高浓度掺杂材料进行扩散, 或沉积金属材料进行金属硅化反应等合适的方法形成位线接触 10 和存储接触 9, 位线接触 10 和存储接触 9 可分步形成, 也可以一步形成, 不做具体限制。存储接触 9 的材质不做具体限制, 作为示例, 存储接触 9 的材质可以包括掺杂的多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 和它们的组合中的至少一种。位线接触 10 的材质不做具体限制, 作为示例, 位线接触 10 的材质可以包括掺杂的多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 和它们的组合中的至少一种。

参考图 4f, 在一些实施例中, 在第二位线隔离沟槽 603 中填充绝缘材料形成位线隔离层 8, 平坦化处理, 位线隔离结构 8 沿第一方向延伸, 在第二方向间隔排列。

参考图 1b 和图 4g, 在一些实施例中, 在衬底第一表面图形化刻蚀形成字线隔离沟槽 5, 字线隔离沟槽 5 和位线隔离沟槽 6 形成有源柱 4。在字线隔离沟槽 5 中形成字线 2, 字线 2 沿第二方向延伸, 在第一方向上排列, 字线环绕有源柱 4、在有源柱一侧、两侧或三侧, 控制有源柱 4 的电荷移动。字线的材质不做具体限定, 作为示例, 字线 2 的材质可以包括例如掺杂多晶硅、金属、导电金属氮化物、导电金属硅化物、导电金属氧化物或其组合。例如, 字线 2 可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、

Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 或其组合。

在存储接触 9 上形成存储结构 11，以及在存储结构 11 上形成后段连线（图中未示出），存储结构 11 可以是电容器结构，电容器包括上电极板、下电极板和位于上电极板和下电极板之间的高 k 介电材料；还可以是可变电阻存储结构，可变电阻存储结构是通过施加到存储器元件的电脉冲而切换至两种电阻状态，例如，可变电阻存储结构可以包括其晶体状态根据电流量而改变的相变材料、钙钛矿化合物、过渡金属氧化物、磁性材料、铁磁材料或反铁磁材料。

参考图 4h，在一些实施例中，翻转衬底，对衬底的第二表面采用研磨工艺进行减薄处理，以位线隔离层 8 为刻蚀终止层。

参考图 4 中 i，在一些实施例中，由于位线隔离层 8 与衬底材质不同，可以采用自对准工艺，选择性刻蚀去除衬底材料形成位线沟槽 12。自对准工艺可以减少曝光次数，降低工艺成本。

参考图 4j，在一些实施例中，在位线沟槽 12 中沉积位线材料层 13，位线材料层 13 的材料不做具体限制，作为示例，位线材料层 13 可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 或其组合。

参考图 4k，在一些实施例中，回刻位线材料层 13 形成位线 3，并在位线 3 上形成位线保护层 14，采用研磨工艺对位线保护层 14 进行平坦化处理。具体的，采用选择性刻蚀方法刻蚀去除部分位线材料层 13，使位线材料层 13 只形成在位线沟槽 12 内形成位线 3，可以使用干法刻蚀也可以使用湿法刻蚀或两种混合使用。在位线 3 上通过沉积位线保护层 14，位线保护层 14 材质可以包括但不限于氮化硅、氧化硅、氮氧化硅以及氮碳化硅等或其组合，位线保护层 14 的材质与位线隔离层 8 的材质不同。

参考图 4l，在一些实施例中，刻蚀位线隔离层 8，在位线隔离层 8 中形成屏蔽线沟槽 15。具体的，由于位线隔离层 8 和位线保护层 14 的材质不同，可以采用自对准刻蚀方法刻蚀去除部分位线隔离层 8 形成屏蔽线沟槽 15，可以使用干法刻蚀也可以使用湿法刻蚀或两种混合使用，一些实施例中，可以先使用干法刻蚀形成一定的深度的沟槽，然后在使用湿法刻蚀，在沟槽底部同向刻蚀使沟槽底部的宽度较大，形成不同形成沟槽，防止由于沟槽底部小屏蔽线材料无法填充造成断路的问题，采用自对准刻蚀工艺可以减少光刻工艺次数，降低生产成本，提高器件的稳定性。

有前述步骤可知，位线隔离层 8 在第二方向上的宽度大，屏蔽线沟槽 15 的工艺窗口也就越大，同时屏蔽线沟槽 15 在第三方向的深度也会越大，屏蔽线沟槽 15 的底部低于位线 3 在第三方向的最低平面，这样在后续形成的位线屏蔽线 16 可以完成的保护位线 3 不受相邻位线的信号干扰，在一些实施例中，屏蔽线沟槽 15 的底部可以低于位线接触 10 在第三方向的最低平面，从而提高器件的稳定性。屏蔽线沟槽 15 的形状也不做具体限定，作为示例，屏蔽线沟槽 15 在第二方向上的截面形状可以为锥状、长条状、椭圆

状、星状或其他适合的形状。

请继续参考图 2 和图 3a-图 3e，在屏蔽线沟槽 15 内沉积导电材料形成屏蔽线 16，在一些实施例中，屏蔽线 16 可以为一层，也可以为多层，例如图 3c 中，屏蔽线 16 可以包括屏蔽线第一材料层 1601 和屏蔽线第二材料层 1602，屏蔽线第一材料层 1601 和屏蔽线第二材料层 1602 的位置关系不做具体限定，作为示例，屏蔽线第一材料层 1601 和屏蔽线第二材料层 1602 可以是堆叠、包围以及半包围等等。屏蔽线 16 的材质可以包括例如掺杂多晶硅、金属、导电金属氮化物、导电金属硅化物、导电金属氧化物或其组合。例如，屏蔽线 16 可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 或其组合。屏蔽线 16 至少包括一种金属材料层，这样可以减少屏蔽线 16 的电阻，提高器件性能。

请继续参阅图 3b，在一些实施例中，屏蔽线 16 与位线隔离层 8 至少有一部分没有完全接触，屏蔽线 16 与位线隔离层 8 之间有空隙 17，空隙 17 在屏蔽线 16 与位线隔离层 8 的相对位置不做具体限定，作为示例，空隙 17 可以位于屏蔽线的底部，一侧侧壁以及半包围屏蔽线等等，空隙 17 的大小和形状也不做具体限制，作为示例，空隙可以为球状、水滴状、短管状、椭球状、长条状或其他适合的形状。由于空气的介电常数为 1.001，接近真空的介电常数，空隙 17 和位线隔离层 8 一起体现为低介电常数效果，以降低整体介电常数，这样可以减少寄生电容，避免产生位线 3 与相邻位线 3 之间的电容耦合效应，从而降低寄生电容对器件性能参数的影响。

请继续参阅图 3d，在一些实施例中，屏蔽线 16 在第三方上的截面形状可以呈不规则结构，例如，可以为锥状、长条状、椭圆状、星状或其他适合的形状，屏蔽线形成在位线隔离层 8 中，屏蔽线 16 的大小受位线隔离层 8 材质和设备刻蚀能力的影响，屏蔽线 16 呈不规则结构可以增大工艺制备窗口，减小制备工艺成本。

请继续参阅图 3e，在一些实施例中，屏蔽线 16 上方还可以设置屏蔽线阻挡层 18，屏蔽线阻挡层 18 覆盖屏蔽线 16，可以保护屏蔽线 16 在后续工艺中不被伤害，屏蔽线阻挡层 18 的材料不做限制，可以与位线保护层 14 的材料相同或不同。

请继续参阅图 2，在一些实施例中，屏蔽线 16 在第三方向上（例如为 Z 方向）的宽度 D1 不小于位线 3 在第三方向上（例如为 Z 方向）的宽度 D2，屏蔽线 16 在第三方向上（例如为 Z 方向）的宽度 D1 要超过位线 3 在第三方向上（例如为 Z 方向）的宽度 D2，可选的，屏蔽线 16 在第三方向上（例如为 Z 方向）的宽度 D1 要超过位线 3 和位线接触结构 10 在第三方向上（例如为 Z 方向）的宽度之和，这样屏蔽线 16 就可以完全屏蔽相邻位线 3 之间的耦合效应，提高器件的性能。

请继续参阅图 2，在一些实施例中，该半导体结构可以包括直流偏压电源（direct current bias, DC bias），DC bias 与屏蔽线 16 可以通过连接接触连接（未示出），给屏蔽线 16 一个稳定电压，使屏蔽线 16 形成一

个导电屏障,进而使相邻的两条位线3其中一条通电或断电时,另外一条影响减小或不受影响。

图5a-图5f是示出了用于描述用于制造根据一些实施例的半导体存储器件的方法的中间步骤的视图。为了描述方便,将简要描述或省略与参考图4a-图41描述的部分重复的部分。为了参考,图5a是示出了图4d之后的中间步骤的视图。

参阅图5a,在一些实施例中,直接填充第二位线隔离沟槽603,填充第二位线隔离沟槽603的材质不做具体限定,可以与填充第一位线隔离沟槽602的材质相同,也可以不同。进行平坦化处理,露出衬底1第一表面,或未完全填充,露出有源柱4的顶端,在有源柱的顶端形成存储接触9,具体的,通过离子注入,沉积高浓度掺杂材料进行扩散,沉积金属材料进行金属硅化反应等合适的方法形成存储接触9。存储接触9的材质不做具体限制,作为示例,存储接触9的材质可以包括掺杂的多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi和它们的组合中的至少一种。

参阅图1b和图5b,在一些实施例中,在衬底第一表面图形化刻蚀形成字线隔离沟槽5,字线隔离沟槽5和位线隔离沟槽6形成有源柱4。在字线隔离沟槽中形成字线2,字线2沿第二方向延伸,在第一方向上排列,字线环绕有源柱4、在有源柱一侧、两侧或三侧,控制有源柱4的电荷移动。字线的材质不做具体限定,作为示例,字线2的材质可以包括例如掺杂多晶硅、金属、导电金属氮化物、导电金属硅化物、导电金属氧化物或其组合。例如,字线2可以包括但不限于掺杂多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi或其组合。

在存储接触9上形成存储结构11,以及在存储结构11上形成后段连线(图中未示出),存储结构11可以是电容器结构,电容器包括上下电极板和位于上下电极板之间的高k介电材料;还可以是可变电阻存储结构,可变电阻存储结构是通过施加到存储元件的电脉冲而切换至两种电阻状态,例如,可变电阻存储结构可以包括其晶体状态根据电流量而改变的相变材料、钙钛矿化合物、过渡金属氧化物、磁性材料、铁磁材料或反铁磁材料。

参阅图5c和图5d,在一些实施例中,翻转衬底,对衬底1的第二表面进行减薄,进行平坦化处理,以第一位线隔离层8为刻蚀终止层。

参阅图5e,在一些实施例中,由于位线隔离层8与衬底材质不同,可以采用自对准工艺,选择性刻蚀去除衬底材料形成位线沟槽12。自对准工艺可以减少曝光次数,降低工艺成本。

参阅图5f,在一些实施例中,在位线沟槽12的底部形成位线接触10,通过离子注入,沉积高浓度掺杂材料进行扩散,或沉积金属材料进行金属硅化反应等合适的方法形成位线接触10,位线接触10的材质不做具体限制,作为示例,位线接触10的材质可以包括掺杂的多晶硅、Al、Cu、Ti、Ta、Ru、W、Mo、

Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi 和它们的组合中的至少一种。

随后，参照图 4j 至图 4l，形成位线 3 和屏蔽线 16。由此，可以制造参考图 2 和图 3a 至图 3e 描述的半导体存储器件。

需要注意的是，本申请实施例中的半导体结构的制备方法均可用于制备对应的半导体结构，故而方法实施例与结构实施例之间的技术特征，在不产生冲突的前提下可以相互替换及补充，以使得本领域技术人员能够获悉本申请的技术内容。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对本申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权 利 要 求 书

1. 一种半导体结构，包括：

有源柱（4），所述有源柱（4）在第一方向和第二方向上呈阵列排布，所述第一方向与所述第二方向相交；
位线（2），所述位线（2）在第一方向上延伸，在第二方向上间隔排列，并连接沿第一方向排列的有源柱（4）；

屏蔽线（16），所述屏蔽线（16）位于相邻两条所述位线（2）之间，并且在第一方向上延伸，在第二方向上与所述位线（2）交替排列；

位线接触结构（10），所述位线接触结构（10）位于所述位线（2）和所述有源柱（4）之间并连接所述位线（2）和所述有源柱（4），所述位线接触结构（10）在所述第二方向的宽度小于所述位线（2）和所述有源柱（4）在所述第二方向上的宽度。

2. 根据权利要求1所述的半导体结构，其中，所述位线接触结构（10）连接在所述第二方向上相邻的两个所述有源柱（4）。

3. 根据权利要求1或2所述的半导体结构，其中，所述屏蔽线（16）在第三方向上的宽度不小于所述位线（2）在第三方向上的宽度，所述第三方向与所述第一方向和所述第二方向相交。

4. 根据权利要求3所述的半导体结构，其中，所述位线（2）在第二方向上的宽度随着所述位线（2）向所述位线接触结构（10）延伸而减小。

5. 根据权利要求1-3任一项所述的半导体结构，还包括：

位线保护层（14），所述位线保护层（14）位于位线（2）远离所述位线接触结构（10）的一面；

位线隔离层（8），所述位线隔离层（8）位于相邻两条所述位线（2）之间，所述屏蔽线（16）位于所述位线隔离层（8）中；

所述位线保护层（14）和所述位线隔离层（8）的材料不同。

6. 根据权利要求1-3任一项所述的半导体结构，其中，所述位线（2）包括至少一层金属材料；

所述屏蔽线（16）包括至少一层金属材料。

7. 根据权利要求4至6任意一项所述的半导体结构，还包括：

屏蔽线阻挡层（18），所述屏蔽线阻挡层（18）覆盖所述屏蔽线（16）。

8. 根据权利要求1-7任一项所述的半导体结构，其中，所述位线隔离层（8）与所述屏蔽线（16）之间有空隙（17）。

9. 根据权利要求1-8任一项所述的半导体结构，其中，所述屏蔽线（16）在垂直所述第一方向的截面形状为锥状、长条状、椭圆状、星状或其他适合的形状。

10. 根据权利要求 1-9 任一项所述的半导体结构，还包括

字线（2），所述字线（2）在所述第二方向上延伸，在所述第一方向上间隔排列，所述字线（2）连接在所述第二方向上的所述有源柱（4）；

存储结构（11），所述存储结构（11）与所述有源柱（4）连接，位于所有源柱（4）远离所述位线（2）的一端。

11. 一种半导体结构的制备方法，包括：

形成有源柱（4），所述有源柱（4）在第一方向和第二方向上呈阵列排布，所述第一方向与所述第二方向相交；

形成位线（2），所述位线（2）在第一方向上延伸，在第二方向上间隔排列，并连接沿第一方向排列的有源柱（4）；

形成屏蔽线（16），所述屏蔽线（16）位于相邻两条所述位线（2）之间，并且在第一方向上延伸，在第二方向上与所述位线（2）交替排列；

形成位线接触结构（10）；所述位线接触结构（10）连接所述位线（2）和所述有源柱（4），所述位线接触结构（10）在所述第二方向的宽度小于所述位线（2）和所述有源柱（4）在所述第二方向上的宽度。

12. 根据权利要求 11 所述的半导体结构的制备方法，其中，所述形成位线（2）包括：

提供衬底（1），所述衬底（1）在第三方向上具有第一表面和第二表面，所述第三方向与所述第一方向和所述第二方向相交；

在所述第一表面上图形化刻蚀形成位线隔离沟槽（6），所述位线隔离沟槽（6）底部的尺寸大于所述位线隔离沟槽（6）顶部的尺寸，所述位线隔离沟槽（6）沿第一方向延伸，在第二方向上间隔排列；

填充所述位线隔离沟槽（6），形成位线隔离层（8）；

在所述第二表面研磨处理露出所述位线隔离层（8），以所述位线隔离层（8）为掩膜刻蚀所述衬底形成位线沟槽（12）；

在所述位线沟槽（12）中填充至少一层金属材料形成所述位线（2）；

在所述位线（2）上形成位线保护层（14），所述位线保护层（14）和所述位线隔离层（8）材料不同。

13. 根据权利要求 11 或 12 所述的半导体结构的制备方法，其中，所述形成屏蔽线（16）包括：

在所述第二表面上以所述位线保护层（14）为掩膜层，刻蚀所述位线隔离层（8）形成屏蔽线沟槽（15），所述屏蔽线沟槽（15）的深度不小于所述位线沟槽（12）的深度；

在所述屏蔽线沟槽（15）内填充至少一层金属材料形成所述屏蔽线（16）。

14. 根据权利要求 11-13 任一项所述的半导体结构的制备方法，其中，所述位线接触结构（10）包括金属

硅化物，形成金属硅化物包括：

在所述位线沟槽（12）底部沉积金属材料层，热处理形成金属硅化物；或

在所述位线隔离沟槽（6）底部沉积金属材料层，热处理形成金属硅化物。

15. 根据权利要求 12 所述的半导体结构的制备方法，其中，填充所述位线隔离沟槽（6），形成位线隔离层（8）后还包括：

在所述第一表面上图形化刻蚀形成字线隔离沟槽（5），所述字线隔离沟槽（5）的深度小于所述位线隔离沟槽（6）的深度，所述位线隔离沟槽（6）沿第二方向延伸，在第一方向上间隔排列，所述字线隔离沟槽（5）和所述位线隔离沟槽（6）形成所述有源柱（4）；

形成有源柱（4）后还包括：

在所述字线隔离沟槽（5）中形成字线（2），所述字线（2）在所述第二方向上延伸，在所述第一方向上间隔排列，所述字线（2）连接在所述第二方向上的所述有源柱（4）；

在所述有源柱（4）远离所述位线（2）的一端形成存储结构（11）。