(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 9 月 9 日(09.09.2011)

PCT

(10) 国際公開番号
WO 2011/108189 A1

(51) 国際特許分類:
H01L 27/12 (2006.01)

(21) 国際出願番号: PCT/JP2011/000607

(22) 国際出願日: 2011 年 2 月 3 日(03.02.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-047897 2010 年 3 月 4 日(04.03.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 (Shin-Etsu Handotai Co., Ltd.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 桑原 登 (KUWABARA, Susumu) [JP/JP]; 〒3790196 群馬県安中市磯部２丁目１３番１号信越半導体株式会社 磯部工場内 Gunma (JP).

(74) 代理人: 好宮 幹夫 (YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野７丁目６番１１号第一下谷ビル８Ｆ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

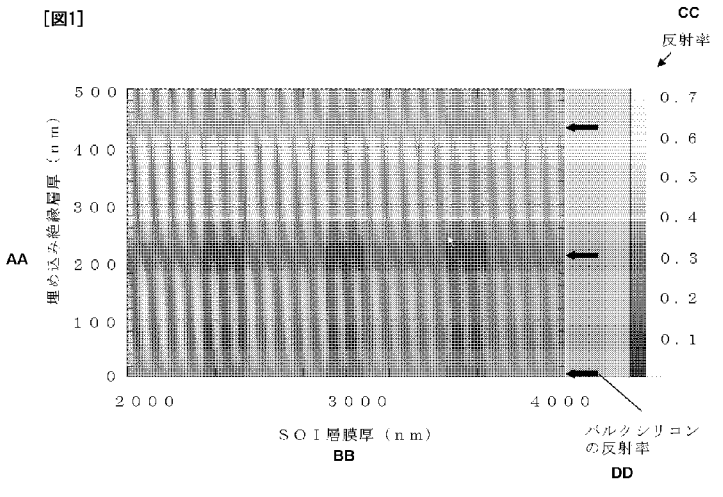
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: METHOD FOR PRODUCING AND METHOD FOR DESIGNING SOI WAFER

(54) 発明の名称 : ＳＯＩウェーハの設計方法及び製造方法

[図1]



AA THICKNESS OF BURIED INSULATOR LAYER (NM)
BB THICKNESS OF SOI LAYER (NM)
CC REFLECTANCE
DD REFLECTANCE OF BULK SILICON

(57) Abstract: The disclosed method for producing an SOI wafer—which is used in a device fabrication step or inspection step having a step for radiating light of wavelength λ onto the SOI wafer wherein an SOI layer has been formed on a buried insulator layer and that performs position control of the SOI wafer on the basis of the strength of light reflected from the SOI wafer—has at least: a step for designing the thickness of the buried insulator layer of the SOI wafer in accordance with the wavelength (λ) of light used in the step for performing position control of the SOI wafer after production; and a step for fabricating the SOI wafer wherein an SOI layer has been formed on the buried insulator layer of the designed thickness. As a result, a method for producing and a method for designing and SOI wafer are provided that can suppress variations in reflectance of light that accompany variations in SOI-layer thickness, increasing the accuracy of position control of the SOI wafer, and that can have a shared mechanism with that for position control used in a device fabrication step or inspection step of a bulk silicon wafer, reducing costs.

(57) 要約:

[続葉有]

WO 2011/108189 A1