

明 細 書

発明の名称：電力変換回路の横流電流抑制制御装置

技術分野

[0001] 本発明は、インバータユニットを並列接続した電力変換回路において、各インバータユニットの電流責務を均等化するための横流電流抑制制御装置に関する。

背景技術

電力変換装置では、大容量化のため複数のインバータユニットを並列に接続する手法が用いられることがある。この手法を用いることにより、大容量機専用のインバータユニットを設計する必要がなくなる。その反面、各インバータユニット間で横流が発生し、電流責務がばらつきやすくなる。これにより特定のインバータユニットの寿命が短くなり、最悪の場合、過電流や過熱でスイッチング素子が熱的ダメージを負うこともある。

[0002] 対策として各インバータユニットに横流抑制リアクトルを接続する方法が従来から用いられているが、コストや重量、損失の増加などの新たな問題が生じる。この問題の解決のため、制御により横流を抑制する手法が検討されている（例えば、特許文献１～４）。

[0003] 特許文献１の段落〔００１１〕～〔００１５〕には、横流電流を検出してオンパルス幅を調整することにより出力電流不平衡を抑制できることが開示されている。

[0004] 特許文献２の段落〔０００９〕～〔００１０〕には、ゲート線を磁気結合することにより、ゲート信号のタイミングにばらつきがある場合でもスイッチング素子の動作タイミングを揃えることができることが開示されている。

[0005] 特許文献３の段落〔００２０〕には、平均出力電流と各インバータユニット出力電流との差分から横流電流を検出し、出力電圧指令値を補正する方法が開示されている。

[0006] 特許文献４の段落〔００２６〕には、ゲート信号に遅延を与えてインバータユニット間のゲート信号のばらつきを補償し、出力電流を均等にする方法

が開示されている。また、段落〔0052〕には、横流電流を検出し横流電流増加時には異常と判断してインバータユニットを停止する方法が開示されている。

先行技術文献

特許文献

- [0007] 特許文献1：特開平10-94259号公報
特許文献2：特開2009-148001号公報
特許文献3：特開2000-060137号公報
特許文献4：特開平10-04673号公報
特許文献5：特開2008-048569号公報
特許文献6：特開平2-7714号公報
特許文献7：特開2006-288148号公報

発明の概要

- [0008] 特許文献1は横流電流を検出しパルス幅を調整する方式である。パルスの立ち上がりを遅らせ立ち下がり早くすることでパルス幅を狭くしている。しかし、並列接続されているインバータユニットのうち、片側のインバータユニットを駆動するためのゲート信号の伝送経路が長い、スイッチング素子のゲート容量が大きいなどゲート回路の物理的構成やスイッチング素子の特性誤差に起因するゲート信号の遅延外乱があり、例えばパルス幅を変更せずに立ち上がりも立ち下がりも早める必要がある場合には対応できず、横流電流が増加してしまう問題がある。
- [0009] 特許文献2は並列接続される各インバータユニットの同じアームに相当するスイッチング素子を磁氣的に結合する方式である。この方式では、磁氣的に結合するスイッチング素子同士でゲート信号の電荷を充電、または放電するタイミングを揃えることができる。しかし、スイッチング素子の個体差によりゲート容量が異なる場合、またはスイッチング素子のターンONするゲート電圧しきい値が異なる場合には、スイッチング素子の動作タイミングを揃えることができず、横流が発生してしまう問題がある。

- [0010] 特許文献3は横流電流を検出し電圧指令値を補正する方式である。この方式はPWM変調の使用を前提としているため、電圧指令値を正側に補正すればゲート信号のパルス幅を広くすることができ、負側に補正すればパルス幅を狭めることができるが、この方式も特許文献1と同様、ゲート信号のパルス幅を変更せずに早めたり遅くしたりすることが困難であった。
- [0011] 特許文献4はゲート信号の立ち上がりと立ち下がりを個別に調整できるようにした方式である。しかし、横流電流を検出し遅延量を調整しているわけではないため、遅延量は運転前に手動で調整する必要があり、温度変化や経年劣化などによりスイッチング素子の特性に変化が生じた場合に手動で再調整を行う必要がある。
- [0012] さらに、上記の方式はいずれも電流がスイッチング素子を通過した際に生じる電圧降下（コレクターエミッタ間の飽和電圧） $V_{ce(sat)}$ や順方向電圧降下 V_f のずれ、配線の寄生インダクタンス成分のずれなどを補償する機能がない。このような外乱があると、仮にインバータユニット間でゲート信号のタイミングを完全に調整できたとしても、横流電流が発生、増加してしまう。そのため、横流電流の発生に耐える定格のスイッチング素子の選定や横流電流の発生に耐える定格の横流抑制リアクトルの取り付けが必要となる。また、横流電流を抑制できるようリアクトルのインダクタンスも大きくする必要がある。
- [0013] 以上示したようなことから、インバータユニットを並列接続した電力変換装置において、ゲート信号のタイミングに起因する横流電流だけでなく、個々のスイッチング素子の特性誤差や、伝送回路の距離や形状による物理的構成等に起因するゲート信号の遅延外乱に起因する横流電流を抑制することが課題となる。
- [0014] 本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、スイッチング素子を有する直流電圧源にインバータユニットを並列接続した電力変換回路における横流電流を抑制する横流電流抑制制御装置であって、横流電流抑制制御装置は、スイッチング半周期に1回動作し、立ち上がりのゲ

ート遅延指令値と、立ち下がりのゲート遅延指令値とを演算するゲート遅延指令値演算ブロックと、前記立ち上がりのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち上がり遅延付加器と、前記立ち下がりのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち下がり遅延付加器と、を各インバータユニットの各相にそれぞれ設け、前記ゲート遅延指令値演算ブロックは、インバータユニット出力電流指令値とインバータユニット出力電流検出値との偏差を横流電流としてゲインを乗算する比例アンプと、各スイッチング素子のターンON、ターンOFFごとでかつ前記各インバータユニット出力電流検出値の符号とゲート指令値の符号との論理積結果が真値であるときに閉動作する第1スイッチにより前記横流電流を入力する積分アンプと、この積分アンプからの信号を入力して前記各インバータユニット出力電流検出値の符号で閉動作する第2スイッチと、を備え、比例アンプと前記第2スイッチとの出力を加算して、立ち上がりのゲート遅延指令値と立ち下がりのゲート遅延指令値を出力することを特徴とする。

- [0015] また、別の態様として、直流電圧源にインバータユニットを並列接続した電力変換回路における横流電流を抑制する横流電流抑制制御装置であって、横流電流抑制制御装置は、スイッチング半周期に1回動作し、立ち上がりのゲート遅延指令値と、立ち下がりのゲート遅延指令値とを演算するゲート遅延指令値演算部と、前記立ち上がりのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち上がり遅延付加器と、前記立ち下がりのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち下がり遅延付加器と、が各インバータユニットの各相にそれぞれ設けられ、前記ゲート遅延指令値演算ブロックは、インバータユニット出力電流指令値とインバータユニット出力電流検出値との偏差を横流電流としてゲインを乗算する比例アンプと、各スイッチング素子に対応して設けられ、インバータユニット出力電流検出値の符号で動作する第1スイッチで前記横流電流を入力する積分アンプと、この積分アンプからの信号を入力してインバータユニット出力電流検出値の符号で動作する第2スイッチと、を備え、比例アンプと積分アンプと

の出力を加算して、立ち上がりのゲート遅延指令値と立ち下がりゲートのゲート遅延指令値を出力することを特徴とする。

[0016] また、その一態様として、横流電流の絶対値が設定値以下の時、比例アンプの出力を零とし、積分アンプの更新を停止させ、横流電流の絶対値が設定値以上の時、前記絶対値から設定値を減算した値を比例アンプと積分アンプの入力とすることを特徴とする。

[0017] また、その一態様として、前記インバータユニット出力電流指令値は、インバータ出力電流検出値をインバータユニットの台数で除算した値とすることを特徴とする。

[0018] また、別の態様として、前記インバータユニット出力電流指令値は、ある別のインバータユニットの出力電流検出値とすることと特徴とする。

[0019] また、その一態様として、前記インバータユニット出力電流検出値が設定値以下の時、比例アンプの出力を零とし、積分アンプの更新を停止させ、前記インバータ出力電流検出値の絶対値が設定値以上の時、前記絶対値から設定値を減算した値を比例アンプと積分アンプの入力とし、前記インバータユニット出力電流指令値と前記インバータユニット出力電流検出値との偏差が零となるように比例積分演算を行い、比例積分演算結果と、比例アンプと、積分アンプの出力の加算値をゲート遅延指令値とすることを特徴とする。

[0020] また、その一態様として、前記比例積分演算には、前記インバータユニット出力電流指令値と前記インバータユニット出力電流検出値の実効値を用いることを特徴とする。

[0021] また、その一態様として、前記比例積分演算には、前記インバータユニット出力電流指令値と前記インバータユニット出力電流検出値における基本波1周期あたりの絶対値の電流平均値を用いることを特徴とする。

[0022] また、その一態様として、前記インバータ出力電流の絶対値がしきい値よりも小さい時は、積分アンプの更新を停止することを特徴とする。

[0023] また、その一態様として、前記ゲート遅延指令値演算ブロックを、キャリア三角波の頂点時に動作させることを特徴とする。

- [0024] また、その一態様として、前記ゲート遅延指令値演算ブロックを、ゲート指令値が変化した時に動作させることを特徴とする。
- [0025] また、前記各インバータユニットは、マルチレベルインバータであることを特徴とする。
- [0026] また、キャリア三角波の半周期でスイッチング回数が1回でなかった場合、積分アンプの更新を停止することを特徴とする。
- [0027] また、電力変換回路の試運転時には、積分アンプの初期値設定開始時にはゲート指令に遅延を加えず、そのまま出力し、電力変換回路の試運転時において、遅延時間計測対象外の1つのインバータユニットのスイッチング素子を1つオンにした状態で、遅延時間計測対象のインバータユニットのスイッチング素子にパルスのオン指令を出力し、前記2つのスイッチング素子と横流抑制リアクトルとを含む閉回路を形成し、前記遅延時間計測対象のインバータユニットにおいて、ゲート信号がオンとなってからインバータユニット電流検出値の微分結果が閾値を超えるまでの時間および、ゲート信号がオフとなってからインバータユニット電流検出値の微分結果が閾値を下回るまでの時間を計測し、その時間を積分アンプの初期値とし、電力変換回路の試運転時から通常運転時に変更されたとき、積分アンプの値をリセットし、前記初期値の値を積分アンプに入力することを特徴とする。
- [0028] また、電力変換回路の試運転時においてインバータユニット電流検出値の検出に使用する電流検出器を、全てのインバータユニットにおいて特定のインバータユニットのものに限定したことを特徴とする。
- [0029] また、電力変換回路の試運転時において、遅延時間を計測する際にインバータユニットの直流電圧を通常運転時よりも低くすることを特徴とする。
- [0030] また、電力変換回路の試運転時において、前記オン状態とする遅延時間計測対象以外のうち、1つのインバータユニットのスイッチング素子のゲート駆動回路の正側の電圧を下げ、スイッチング素子の電圧降下を通常運転時よりも高くすることを特徴とする。
- [0031] また、電力変換回路の運転開始またはインバータユニット合計の出力電流

が電流閾値を超えてから一定の期間、PWMキャリア周波数を増加することを特徴とする。

[0032] 本発明によれば、インバータユニットを並列接続した電力変換回路において、ゲート信号のタイミングに起因する横流電流だけでなく、個々のスイッチング素子の特性差や、伝送回路の距離や形状による物理的構成等に起因するゲート信号の遅延外乱に起因する横流電流を抑制することが可能となる。

図面の簡単な説明

[0033] [図1]実施形態1における電力変換回路の1相あたりの回路構成図である。

[図2]実施形態1における横流電流抑制制御ブロックを示すブロック図である。
。

[図3]実施形態1における各波形を示すタイムチャートである。

[図4]実施形態2における横流電流抑制制御ブロックを示すブロック図である。
。

[図5]実施形態3における横流電流抑制制御ブロックを示すブロック図である。
。

[図6]実施形態4における横流電流抑制制御ブロックを示すブロック図である。
。

[図7]実施形態5における横流電流抑制制御ブロックを示すブロック図である。
。

[図8]実施形態6における横流電流抑制制御ブロックを示すブロック図である。
。

[図9]実施形態7における横流電流抑制制御ブロックを示すブロック図である。
。

[図10]実施形態8における横流電流抑制制御ブロックを示すブロック図である。
。

[図11]実施形態9における電力変換回路の1相あたりの回路構成図である。

[図12]実施形態9における横流電流抑制制御ブロックを示すブロック図である。
。

[図13] 3レベルインバータのキャリア三角波と電圧指令値を示すタイムチャートである。

[図14] 実施形態10における電力変換回路の1相あたりの回路構成図である。

[図15] 実施形態10における横流電流抑制制御ブロックを示すブロック図である。

[図16] 実施形態10における初期値決定ブロックを示すブロック図である。

[図17] 実施形態10における積分アンプの初期値を求める際の各信号を示す波形図である。

[図18] 実施形態10における積分アンプの初期値を求める際の各信号を示す波形図である。

[図19] 実施形態11における初期値決定ブロックを示すブロック図である。

[図20] 実施形態11における積分アンプの初期値を求める際の各信号を示す波形図である。

[図21] 実施形態12における電力変換回路の1相あたりの回路構成図である。

[図22] 実施形態12における予備充電回路制御ブロックを示すブロック図である。

[図23] 実施形態13におけるゲートドライブ回路を示す回路構成図である。

[図24] 実施形態13における初期値決定ブロックを示すブロック図である。

[図25] 実施形態13における積分アンプの初期値を求める際の各信号の波形図である。

[図26] 実施形態14におけるキャリア三角波の周波数決定部録を示すブロック図である。

発明を実施するための形態

[0034] [実施形態1]

図1は、インバータユニットを並列接続した電力変換回路の主回路を示す構成図である。

- [0035] 図1に示すように、直流電圧源 V_{dc} の両端子には、スイッチング素子 T_{u1} とスイッチング素子 T_{x1} とを直列接続したインバータユニット1が接続される。また、直流電圧源 V_{dc} には、インバータユニット1と並列にインバータユニット2～Nが接続される。
- [0036] 各インバータユニット1～Nにおけるスイッチング素子 $T_{u1} \sim N$ と $T_{x1} \sim N$ の共通接続点には、それぞれ横流抑制リアクトル $L_1 \sim L_N$ の一端が接続される。また、横流抑制リアクトル $L_1 \sim L_N$ の他端同士は接続され、その共通接続点はリアクトル L_{11} の一端に接続される。
- [0037] また、横流抑制リアクトル $L_1 \sim L_N$ の出力側には、電流検出器 $CTU_1 \sim CTU_N$ が設けられ、各インバータユニット1～Nの出力電流 $i_{invU_1} \sim i_{invU_N}$ を検出信号 $i_{invU1det} \sim i_{invUNdet}$ として検出する。また、リアクトル L_{11} の出力側に電流検出器 CTU が設けられ、インバータユニット合計の出力電流 i_{invU} を検出信号 $i_{invUdet}$ として検出する。
- [0038] 図1では、インバータユニット1～NにおいてU相のみを示しているが、例えば3相の電力変換回路の場合には、V相、W相も図1と同様に構成される。
- [0039] 図2に本実施形態1におけるインバータユニット1相あたりの横流電流抑制制御ブロックを示す。ここではインバータユニットがN台あり、横流電流抑制制御ブロックではN番目のインバータユニットNを制御対象とすることを想定している。
- [0040] 本実施形態1は横流電流を検出して、ゲート信号のタイミングを調整することで横流電流を抑制するものである。
- [0041] PWM変調器21は、出力電圧指令値 V_{uref} を入力し、キャリア三角波 V_{carry} との振幅を比較してゲート指令値 G_{ref} を生成する。この出力電圧指令値 V_{uref} はフィードフォワードで与えられるものの他、インバータユニットの電圧制御部（図示省略）または電流制御部（図示省略）の出力としてもよい。また、キャリア三角波 V_{carry} は、インバータユ

ニットの制御部（図示省略）から出力される。

[0042] ゲート指令値 G_{ref} は、1で上アームのスイッチング素子 T_{uN} へのゲート信号 G_{uN} をONにして下アームのスイッチング素子 T_{xN} へのゲート信号 G_{xN} をOFFにする、0で上アームのスイッチング素子 T_{uN} へのゲート信号 G_{uN} をOFFにして下アームのスイッチング素子 T_{xN} へのゲート信号 G_{xN} をONにすることを意味する。

[0043] 遅延付加器 $Delay_U$ は、ゲート遅延指令値演算ブロック23が出力する立ち上がりゲート遅延指令値 $Delay_{ref_U}$ を元に、ゲート指令値 G_{ref} が0から1に立ち上がるタイミングを遅延させる。

[0044] 遅延付加器 $Delay_D$ は、ゲート遅延指令値演算ブロック23が出力する立ち下がりゲート遅延指令値 $Delay_{ref_D}$ を元に、ゲート指令値 G_{ref} が1から0に立ち下がるタイミングを遅延させる。

[0045] デッドタイム処理器24は、遅延処理が行われたゲート指令値 G_{ref_N} にデッドタイムを付加し、上アームのスイッチング素子 T_{uN} のゲート信号 G_{uN} と下アームのスイッチング素子 T_{xN} のゲート信号 G_{xN} を出力する。

[0046] 頂点検出器22は、前記各スイッチング素子のスイッチング周期の $1/2$ に1回動作（以下、スイッチング半周期）して、キャリア三角波 V_{carry} の上下の頂点を検出する。キャリア三角波に頂点が生じる度に、頂点検出器22の出力信号に基づいて、ゲート遅延指令値演算ブロック23を動作させる。

[0047] 次に、ゲート遅延指令値演算ブロック23について説明する。

[0048] 除算器 div は、インバータ出力電流検出値 $I_{invUndet}$ をインバータユニット台数 N で除算してインバータユニット1台における平均値を算出し、この平均値を各インバータユニット出力電流指令値 $I_{invUndet}/N$ とする。

[0049] 減算器 sub は、インバータユニット出力電流指令値 $I_{invUndet}/N$ とインバータユニット出力電流検出値 $I_{invUNdet}$ の偏差（横流電

流)を求める。比例アンプPは偏差を任意のゲインで乗算する。

[0050] 符号検出器25は、インバータユニット電流検出値 $I_{invUNdet}$ が正ならば「1」、負なら「0」を出力する（符号検出器25の入力値が「0」の場合、出力はどちらでも良い）。

[0051] NOT素子NOT1, NOT2は符号検出器25の出力を反転する（図2では、見やすさを優先して作成したため2個の入出力信号は同一）。AND素子AND1は、ゲート指令値 G_{ref} とインバータユニット出力電流検出値 $I_{invUNdet}$ の符号との論理積を出力する。AND素子AND2は、ゲート指令値 G_{ref} とインバータユニット出力電流検出値 $I_{invUNdet}$ の符号の反転信号との論理積を出力する。AND素子AND3は、ゲート指令値 G_{ref} の反転信号とインバータユニット出力電流検出値 $I_{invUNdet}$ の符号との論理積を出力する。AND素子AND4は、ゲート指令値 G_{ref} の反転信号とインバータユニット出力電流検出値 $I_{invUNdet}$ の符号の反転信号との論理積を出力する。

[0052] 入力スイッチSW11は、インバータユニット出力電流検出値 $I_{invUNdet} > 0$ かつ、ゲート指令値 $G_{ref} = 「1」$ の時に閉じる。入力スイッチSW21は、インバータユニット出力電流検出値 $I_{invUNdet} < 0$ かつ、ゲート指令値 $G_{ref} = 1$ の時に閉じる。入力スイッチSW31は、インバータユニット出力電流検出値 $I_{invUNdet} > 0$ かつ、ゲート指令値 $G_{ref} = 「0」$ の時に閉じる。入力スイッチSW41は、インバータユニット出力電流検出値 $I_{invUNdet} < 0$ かつ、ゲート指令値 $G_{ref} = 「0」$ の時に閉じる。

[0053] 積分アンプI1～I4は、入力スイッチSW11～SW14の出力を積分処理する。

[0054] 出力スイッチSW12は、インバータユニット出力電流検出値 $I_{invUNdet} > 0$ の時に閉じ、積分アンプI1の出力を後段に出力する。出力スイッチSW22は、インバータユニット出力電流検出値 $I_{invUNdet} < 0$ の時に閉じ、積分アンプI2の出力を後段に出力する。出力スイッチS

W32は、インバータユニット出力電流検出値 $I_{invUndet} > 0$ の時に閉じ、積分アンプ13の出力を後段に出力する。出力スイッチSW42は、インバータユニット出力電流検出値 $I_{invUndet} < 0$ の時に閉じ、積分アンプ14の出力を後段に出力する。

[0055] 加算器add1は、比例アンプPと出力スイッチSW12および出力スイッチSW22の出力を加算する。この加算器add1の出力を、乗算器mulにおいて-1倍して符号を反転する。この乗算器mulの出力がゲート指令値Grefが「0」から「1」に立ち上がるタイミングのゲート遅延指令値DelayrefUとなる。また、加算器add2は比例アンプPと出力スイッチSW32および出力スイッチSW42の出力を加算する。この加算器add2の出力が、ゲート指令値Grefが「1」から「0」に立ち下がるタイミングのゲート遅延指令値DelayrefDとなる。

[0056] [比例アンプPによるゲート遅延指令値]

横流電流（偏差）である $I_{invUndet} / N - I_{invUndet}$ を比例アンプPに入力し、任意のゲインを乗算した値を加算器add1, add2に出力し、加算器add1, add2からゲート遅延指令値DelayrefU, Dとして出力される。比例アンプPは横流電流が大きくなると、それに比例して大きなゲート遅延指令値DelayrefU, Dを出力するもので、横流電流検出後のスイッチング動作に即座に反映する。

[0057] 横流電流（偏差）が正の場合は、自身のインバータユニット出力電流検出値 $I_{invUndet}$ がその平均（インバータユニット出力電流指令値 $I_{invUndet} / N$ ）よりも小さい状態を示している。この時、立ち上がりのゲート遅延指令値DelayrefUは負の値になりゲート指令値Grefの立ち上がりには進みの補正がかかり、立ち下がりゲート遅延指令値DelayrefDは正の値になりゲート指令値Grefの立ち下がりには遅れの補正がかかる。これにより、ゲート信号GuNのパルス幅は大きくなり、ゲート信号GxNのパルス幅は小さくなることで出力電流を増やそうと動作する。

[0058] [積分アンプ 1 1 ~ 1 4 によるゲート遅延指令値]

積分アンプ 1 1 ~ 1 4 は、各々の積分アンプが直前まで出力していた値を記憶しておく。そして、今回のスイッチング動作による横流電流を検出し各々の積分アンプ 1 1 ~ 1 4 に入力してゲインをかけた値と、積分アンプに記憶していた値と、を加算して新しい積分アンプの値として出力する。これは一般的な積分アンプと同じ動作である。これによりスイッチング動作を数回行うことでスイッチング素子やゲート制御基板、伝送路の距離の差など外乱による遅延差を学習し、ゲート信号のタイミングのずれを完全に補償することができる。

[0059] ただし、インバータユニットの 1 相にはスイッチング素子が 2 個あり、さらに立ち上がりと立ち下がりで特性に差があることを考慮すれば、積分アンプは 1 相あたり 4 個必要になる。そのため、図 2 では 1 相あたり 1 1 ~ 1 4 の積分アンプを用意している。また、このゲート遅延指令値は対応するスイッチング素子にのみ反映させる必要がある。そのため、4 個ある積分アンプ 1 1 ~ 1 4 の入出力にスイッチ S 1 1, S 1 2, S 2 1, S 2 2, S 3 1, S 3 2, S 4 1, S 4 2 を用意し、条件によって積分アンプ 1 1 ~ 1 4 の動作・停止を切り換える。

[0060] [積分アンプ 1 1 の出力するゲート遅延指令値]

積分アンプ 1 1 の後段にある出力スイッチ SW 1 2 は、インバータユニット出力電流検出値 $I_{invUndet}$ の向きが正の時に閉じる。このため、インバータユニット出力電流検出値 $I_{invUndet}$ の向きが正で上アームのスイッチング素子 T_{uN} が OFF から ON に切り替わる時に出力スイッチ SW 1 2 が ON になり、ゲート指令値 G_{ref} には指令値通りの遅延が遅延付加器 $Delay_U$ において付加される。上アームのスイッチング素子 T_{uN} が ON から OFF に切り替わる時も出力スイッチ SW 1 2 が ON になるが、この時はゲート信号が立ち下がりとなるため、ゲート指令値 G_{ref} に遅延は付加されない。

[0061] 入力スイッチ SW 1 1 は、インバータユニット出力電流検出値 I_{invU}

N d e t の向きが正、かつゲート指令値 G r e f が「1」で上アームのスイッチング素子 T u N が O N の時に閉じる。よって、上アームのスイッチング素子 T u N が O F F から O N に切り替わった後で生じた横流電流を入力し、積分アンプ 1 内部で記憶している値と入力値を加算して更新する。以上の動作により、この積分アンプ 1 は上アームのスイッチング素子 T u N のターン O N の遅延指令演算を担当する。

[0062] [積分アンプ 1 3 の出力するゲート遅延指令値]

積分アンプ 1 3 後段の出力スイッチ S W 3 2 は、インバータユニット出力電流検出値 I i n v U N d e t の向きが正の時に閉じる。このため、インバータユニット出力電流検出値 I i n v U N d e t の向きが正で上アームのスイッチング素子 T u N が O N から O F F に切り替わる時に出力スイッチ S W 3 2 が O N になり、ゲート指令値 G r e f には指令値通りの遅延が遅延付加器 D e l a y D において付加される。

[0063] 入力のスイッチ S W 3 1 は、インバータユニット出力電流検出値 I i n v U N d e t の向きが正、かつゲート指令値 G r e f が 0 で上アームのスイッチング素子 T u N が O F F の時に閉じる。よって、上アームのスイッチング素子 T u N が O N から O F F に切り替わった後で生じた横流電流を入力し、積分アンプ 1 3 内部で記憶している値と入力値を加算して更新する。

[0064] この条件ではインバータユニット出力電流検出値 I i n v U N d e t の向きが正であるため、電流が下アームを流れる時はスイッチング素子 T x N に逆並列されているダイオードを導通する。このため、下アームのスイッチング素子 T x N が O N でも O F F でも電流には影響を与えない。電流の導通経路を決めているのは上アームのスイッチング素子 T u N の導通状態である。

[0065] 以上の動作により、この積分アンプ 1 3 は上アームのスイッチング素子 T u N のターン O F F の遅延指令演算を担当する。

[0066] [積分アンプ 1 2, 1 4 の出力するゲート遅延指令値]

積分アンプ 1 2, 1 4 ではインバータユニット出力電流検出値 I i n v U N d e t の向きが負の時に出力スイッチ S W 2 2, S W 4 2 が閉じる。このた

め、インバータユニット出力電流検出信号 $I_{invUNdet}$ の向きが負で上アームのスイッチング素子 T_{uN} が ON から OFF に切り替わる時に出力スイッチ SW_{22} が ON になり、ゲート指令値 G_{ref} には指令値通りの遅延量が遅延付加器 $DelayD$ において付加される。

[0067] また、インバータユニット出力電流検出値 $I_{invUNdet}$ の向きが負で上アームのスイッチング素子 T_{uN} が OFF から ON に切り替わる時に出力スイッチ SW_{42} が ON になり、ゲート指令値 G_{ref} には指令値通りの遅延が遅延付加器 $DelayD$ において付加される。インバータユニット出力電流検出値 $I_{invUNdet}$ の向きが負の場合、電流の導通経路を決めているのは下アームのスイッチング素子の状態となる。そのため、積分アンプ I_2 , I_4 は下アームの遅延指令値を出力する。

[0068] 以上の動作により、積分アンプ I_2 は下アームのスイッチング素子 T_{xN} のターン OFF, 積分アンプ I_4 は下アームのスイッチング素子 T_{xN} のターン ON を担当する。

[0069] 以上の横流電流抑制制御ブロックの動作について、例を挙げて説明する。ここではインバータユニット出力電流検出値 $I_{invUNdet}$ の符号が正で、インバータユニット出力電流検出値 $I_{invUNdet} < \text{インバータユニット出力電流指令値 } I_{invUdet} / N$ 、すなわち、偏差が正で制御対象のインバータユニット N の出力電流が小さい場合を想定する。なお、ゲート指令値は $G_{ref} = 「1」$ とする。

[0070] 頂点検出器 22 により、キャリア三角波 V_{carry} の頂点が検出されるとゲート遅延指令値演算ブロック 23 が動作し、入力スイッチ SW_{11} , 出力スイッチ SW_{12} , SW_{32} が閉じる。前回のゲート遅延指令値演算ブロック 23 が動作した時はゲート指令値 $G_{ref} = 「0」$ のキャリア三角波 V_{carry} の頂点であり、その後ゲート指令値 $G_{ref} = 「1」$ になり上アームのスイッチング素子 T_{uN} がターン ON して生じた横流電流が符号検出器 25 で検出されている状態であるため、AND 素子 $AND1$ の出力が「1」になり、入力スイッチ SW_{11} を閉じて積分アンプ I_1 に偏差（横流電流

）を入力し、上アームのスイッチング素子 T_{uN} のターンONのタイミング遅延量を更新する。

[0071] また、出力スイッチ SW_{32} が閉じるため、 $Delay_{refD}$ は比例アンプ P と積分アンプ I_3 の加算結果になる。比例アンプ P は現在の横流電流を検出して、次のスイッチング動作時におけるゲート信号のタイミングを調整する。符号検出器 25 の出力が正のためインバータユニット N の電流検出値 $I_{invUNdet}$ は上アームのスイッチング素子 T_{uN} を通過している状態にあり、ゲート指令値 $G_{ref} = 「1」$ であるため、上アームのスイッチング素子 T_{uN} はこれからターンOFFを行う。そのため、出力スイッチ SW_{32} を閉じて上アームのスイッチング素子 T_{uN} のターンOFFを担当する積分アンプ I_3 の出力を立ち下がりゲートの遅延指令値 $Delay_{refD}$ に反映させ、上アームのスイッチング素子 T_{uN} のターンOFF時におけるゲート信号のタイミング調整を行う。この時、同時に入力スイッチ SW_{12} も閉じるが、この状態ではゲート指令値 G_{ref} はこれから立ち下がり動作をするため、立ち上がりの遅延指令値である $Delay_{refU}$ は無視される。

[0072] 図3に以上の横流電流抑制制御ブロックにより横流電流が抑制される様子を示す。この図3ではインバータユニットが2台であり、ゲート指令値 G_{ref2} にのみ外乱による遅延があることを想定している。そのため最初のスイッチング動作ではゲート指令値 G_{ref2} の立ち上がりが遅れている。

[0073] この状態ではインバータユニット1の上アームのスイッチング素子 T_{u1} とインバータユニット2の下アームのスイッチング素子 T_{x2} がターンONし、インバータユニット1とインバータユニット2のU相横流抑制リアクトル L_1 、 L_2 にインバータ直流電圧が印加された状態となる。横流抑制リアクトル L_1 、 L_2 は小さいことを想定しているため、インバータユニット1の出力電流 I_{invU1} が急激に増加、インバータユニット2の出力電流 I_{invU2} が減少し、大きな横流電流が発生している。

[0074] これに対し、本実施形態1の制御ではスイッチング半周期となるキャリア

三角波 V_{carry} の頂点で横流電流を検出し、横流抑制制御を行う。インバータユニット 1 の出力電流 I_{invU1} が大きいと、ゲート遅延指令値演算ブロック 23 では比例アンプ P によりゲート指令値 G_{ref1} のターン OFF を早め、ゲート指令値 G_{ref2} のターン OFF を遅らせる。これにより、横流電流を低減する。

[0075] また、この時、インバータユニット出力電流検出値 $I_{invU1det}$ の向きは正であったため、横流電流の原因は上アームのスイッチング素子 T_{u1} 、 T_{u2} のターン ON 時のタイミングずれであることがわかる。そこで、この時の横流電流を積分アンプ I1 に入力し、次回のインバータユニット 1 における上アームのスイッチング素子 T_{u1} のターン ON するゲート信号を遅らせ、インバータユニット 2 における上アームのスイッチング素子 T_{u2} のターン ON するゲート信号を早めることでスイッチング動作のタイミングを調整する。これを数回繰り返すことで、積分アンプ I1 に外乱による遅延を学習させ、遅延を打ち消すことによりスイッチング素子 T_{u1} 、 T_{u2} のスイッチング動作のタイミングを揃える。

[0076] 図 3 では、ゲート指令値 G_{ref1} と G_{ref2} の状態が同じ時でも横流電流が変化している（各々のインバータユニットの電流に微分結果がある）。これは、スイッチング素子の電圧降下 $V_{ce(sat)}$ や逆並列ダイオードの電圧降下 V_f の差、各インバータユニットに取り付けている横流抑制リアクトル L_{11} 、 L_{12} の大きさの差や、寄生インダクタンス成分の差があることを想定しているためである。

[0077] これに対し、本実施形態 1 ではキャリア三角波 V_{carry} の頂点における横流電流のみを検出しインバータユニット間の横流を零にするように動作する。キャリア三角波 V_{carry} に対して基本波の周波数は十分小さいため、キャリア信号の 1 周期に対して電圧指令値 V_{ref} はほぼ一定値と見なせる。このためキャリア三角波 V_{carry} の頂点はパルスのほぼ中心に相当し、キャリア三角波 V_{carry} の頂点における横流電流はパルス間の横流電流の平均値と見なすことができる。よって、キャリア三角波 V_{carry}

yの頂点で横流電流を零にすることにより、出力電圧1パルスにおける電流平均値を等しくすることができる。

[0078] 以上示したように、本実施形態1によれば、横流電流をリアルタイムに細かくサンプリングする必要がない。スイッチング動作のタイミングずれにより横流電流が急激に増加する様子は制御に使用しないため高速な検出器が不要であり、ノイズ除去のためのフィルタを追加しても横流電流抑制制御装置の動作に支障が生じない、インバータユニット間での高速な通信やそれを実現する制御基板が不要という利点を有する。また、演算負荷が軽減し、安価なシステムで横流電流抑制を実現でき、キャリア信号1周期あたりの横流電流平均値を零にすることができる。

[0079] また、横流電流抑制制御装置の制御性能に余裕がある場合は、キャリア三角波 V_{carry} の頂点周辺の出力電流を数回サンプリングしフィルタ処理を行うことで、ノイズに対する動作の安定性を向上させることができる。

[0080] さらに、図3では定常状態に達していてもゲート指令値 G_{ref1} と G_{ref2} のタイミングは完全に一致せず、ずれが生じている。これは、横流電流の平均値を零にするよう動作させることにより、スイッチング素子における電圧降下 $V_{ce(sat)}$ や逆並列ダイオードの電圧降下 V_f 、横流抑制リアクトル L_1 、 L_2 のインピーダンスなどの誤差などによる横流電流を打ち消すように、ゲート指令値 G_{ref1} と G_{ref2} のタイミングをわざとずらす動作が加わるためである。

[0081] すなわち、積分アンプ1～4による横流電流抑制制御により、各インバータユニット間でゲート信号のタイミングを完全には合わせず、ゲート信号のタイミングをずらしてスイッチング素子における電圧降下 $V_{ce(sat)}$ または逆並列ダイオードの電圧降下 V_f などや、あるいは個々のスイッチング素子の特性誤差やゲート回路や、伝送回路の距離や形状による物理的構成に起因するゲート信号の遅延外乱を打ち消すことができる。このため、伝送回路や主回路を構成する素子選定などの別手段で横流電流抑制のための外乱を除去する必要がなくなり、これら外乱が大きな条件でも横流電流抑制

リアクトルを小さくし、コストや重量を軽減することができる。

[0082] また、ケーブルの寄生インダクタンス成分により横流電流抑制に必要なインダクタンスを確保できる可能性があり、この場合は別途リアクトルを設ける必要がない。

[0083] さらに、積分アンプを複数用意することにより、上下アームのスイッチング素子の特性に差がある場合、また1個のスイッチング素子で立ち上がりとし、立ち下がり特性に差がある場合でも横流電流を抑制することができる。

[0084] [実施形態2]

図4に、本実施形態2のインバータユニット1相あたりの横流電流抑制制御ブロックを示す。本実施形態2は、実施形態1に対して以下の変更を行ったものである。

[0085] 積分アンプI3, I4, 入力スイッチSW31, SW41, 出力スイッチSW32, SW42, AND素子AND1~4を削除する。また、入力スイッチSW11, SW21は、ゲート指令値Grefの状態に依存せず、インバータユニット電流検出値IinvUndetの符号のみで動作する。さらに、立ち下りのゲート遅延指令値DelayrefDは、比例アンプP, 出力スイッチSW12, SW22の出力を加算器add1で加算したものとし、立ち上りのゲート遅延指令値DelayrefUは、乗算器mulでゲート遅延指令値DelayrefDに-1を乗じて符号を反転したものとする。

[0086] 本実施形態2では、スイッチング素子の立ち上がりとし、立ち下り特性がほぼ等しいことを条件とした上で積分アンプI3, I4を2個削減し、横流電流抑制制御ブロックの構成を簡略化した方式である。比例アンプPは実施形態1と同じ動作を行う。

[0087] [積分アンプI1の出力するゲート遅延指令値]

入力スイッチSW11, 出力スイッチSW12ともにインバータユニット電流検出値IinvUndetの向きが正の時に閉じる。偏差が正であれば、制御対象のインバータユニット出力電流IinvUNが小さいことを意味す

るが、この時積分アンプ 1 は正の値を出力し、ゲート指令値 G_{refN} の立ち下がりに遅延を付加し立ち上がりを進めるため、ゲート信号 G_{uN} のパルス幅が大きくなり、ゲート信号 G_{xN} のパルス幅が小さくなる。このため、インバータユニット出力電流 i_{nvUN} を増加させるように作用する。

[0088] 入力スイッチ SW_{11} 、出力スイッチ SW_{12} が閉じる時は出力電流が正のため、インバータユニット出力電流 i_{nvUN} は上アームのスイッチング素子 T_{uN} を通過する。積分アンプ 1 は上アームのスイッチング素子 T_{uN} の立ち上がり立ち下がり両方のゲート信号のタイミングを調整する。

[0089] [積分アンプ 2 の出力するゲート遅延指令値]

同様に、積分アンプ 2 が動作する時はインバータユニット出力電流検出値 $i_{nvUNdet}$ が負になり、電流は下アームのスイッチング素子 T_{xN} を通過する。積分アンプ 2 は下アームのスイッチング素子 T_{xN} の立ち上がり立ち下がり両方のゲート信号のタイミングを調整する。

[0090] 以上に示したように、本実施形態 2 ではパルス幅調整にのみ学習機能を追加し、遅延補正の学習機能を削除しているが、比例アンプ P による遅延補正は有効のため、例えば制御基板やインバータユニットの設計で比例アンプ P による遅延補正の範囲内となる横流電流であれば十分対応できる。

[0091] 逆に、スイッチング素子の電圧降下特性を揃えることができる、横流抑制リアクトルの精度を高くすることができる、または配線の長さを均一にして寄生インダクタンス成分を揃えることができる、といった条件を満たせる場合、パルス幅調整を比例アンプ P で行い、遅延特性を積分アンプで補正することもできる。

[0092] 以上のとおり、本実施形態 2 で得られる効果は、実施形態 1 と同様で積分アンプを削減した構成で横流電流抑制制御を実現できる。

[0093] [実施形態 3]

図 5 に、実施形態 3 におけるインバータユニット 1 相あたりの制御ブロックを示す。本実施形態 3 では、実施形態 1 に対して以下の変更を行ったものである。

- [0094] 減算器 sub が出力する $linvUdet/N$ と $linvUN$ との偏差信号（横流電流）をデッドバンド処理器 26 に入力し、その出力を比例アンプ P や積分アンプ $I1 \sim I4$ に入力する。
- [0095] デッドバンド処理器 26 は、入力信号の絶対値がしきい値より小さければ零を出力し、大きければ入力信号をしきい値だけ零に近づけて出力する。
- [0096] 本実施形態 3 では、横流電流の絶対値が小さい時には比例アンプ P の出力を零、積分アンプ $I1 \sim I4$ は前回までの学習結果を出力し更新は行わないようにする方式である。
- [0097] 電流検出器 $CTU1 \sim CTUN$ 、 CTU に検出誤差があるなどの原因により、 $linvU1det + linvU2det + \dots + linvUNdet < linvUdet$ となり、 U 相における各インバータユニットの出力合流点の電流検出値 $linvUdet$ がインバータユニット個別の電流検出値 $linvU1det + linvU2det + \dots + linvUNdet$ の合計よりも大きい場合を考える。このとき、横流が完全に抑制されている場合でも、 $linvUNdet < linvUdet/N$ となる。その結果、すべてのインバータユニットで出力電流を増加させようと動作する。出力電流が増加すると、各インバータユニットの出力合流点の電流検出値 $linvUdet$ まで増加してしまい偏差は増加してしまう。これにより、積分アンプ $I1 \sim I4$ が暴走し遅延指令値は際限なく増えてしまう。
- [0098] 例えば、インバータユニットが N 台の時、インバータユニット個別の電流を自由に決めることができる自由度は N となるが、各インバータユニットの横流電流抑制制御回路が N 個、各インバータユニットの出力合流点の電流を制御する回路が 1 個、合計で制御回路は $N+1$ 個が必要となってしまう自由度が N では不足する。ここで、電流検出器 $CTU1 \sim CTUN$ の合計となるインバータユニット出力電流検出値 $linvU1det + linvU2det + \dots + linvUNdet$ とインバータ出力電流検出器 CTU の電流検出値 $linvUdet$ がずれていると、電流制御と横流電流抑制制御で流そうとする電流の大きさに差が生じ、互いに干渉してしまうことで電流制御と横

流電流抑制制御の積分アンプが暴走する。

[0099] 以上の干渉による不具合を防止するため、電流検出値の差による制御干渉の影響が出やすい横流電流の絶対値が小さくなった段階で積分アンプ $I_1 \sim I_4$ の更新を停止する。

[0100] 本実施形態3によれば、実施形態1の作用効果に加え、横流電流が小さい時は横流電流抑制制御を停止することで、各インバータユニットの出力電流合計値 $I_{invU1det} + I_{invU2det} + \dots + I_{invUNdet}$ と各インバータユニットの出力合流点の電流検出値 $I_{invUdet}$ に誤差がある場合での積分アンプの暴走を抑制することが可能となる。

[0101] [実施形態4]

図6に、本実施形態4のインバータユニット1あたりの制御ブロックを示す。本実施形態4では、実施形態1に対して以下の変更を行ったものである。

[0102] 各インバータユニットの出力電流指令値として、各インバータユニットの出力合流点の電流検出値 $I_{invUdet}$ ではなく任意の代表インバータユニット（ここでは、インバータユニット1）の出力電流検出値 $I_{invU1det}$ を使用する。そのため、除算器 div が不要となり、インバータユニットの台数 N で割る処理は行わない。フィードバックによる制御が行われていれば、本実施形態の構成でも横流電流を抑制することができる。

[0103] 例えば、電流制御を行っている条件でインバータユニット1の出力電流検出値 $I_{invU1det}$ が他のインバータユニットに比べて小さい場合、他のインバータユニットの横流電流抑制制御が出力電流を減少させるよう動作する。すると、インバータ出力電流の合計 I_{invU} まで減少してしまうが、電流制御がインバータ出力電流 I_{invU} を増加させるように動作する。これによりインバータユニット1の出力電流 I_{invU1} が増加し、電流分担を均一にすることができる。また、電圧制御を適用している場合も同様である。

[0104] インバータユニット1では検出値と指令値が同じ信号であるため、常に偏

差が零になり横流電流抑制制御は動作しない。このため、インバータユニット1の横流電流抑制制御回路は省略することができる。

[0105] また、ここでは他のインバータユニットの電流指令値をインバータユニット1の出力電流検出値 $I_{invU1det}$ としたが、各インバータユニットで異なるインバータユニットの出力電流検出値を指令値として参照しても良い。例えば、指令値として近くに位置するインバータユニットの出力電流検出値を選択すれば、配線を簡略化できる。

[0106] また、本実施形態4ではデッドバンド処理器26を追加しなくても実施形態3と同様の効果を得ることができる。例えば、インバータユニットがN台の時、各インバータユニットの横流電流抑制制御回路がN-1個、インバータユニット全体の電流を制御する回路が1個、合計で制御回路はN個であり、この場合には自由度Nと等しくなる。そのため、制御回路が干渉を起こさず、かつすべてのインバータユニットの電流を制御することができる。代表インバータユニット1の出力電流 I_{invU1} に比べて、代表インバータユニット1の電流検出値である $I_{invU1det}$ が大きい場合、残りのインバータユニットすべてで出力電流を増加させるように動作する。すると、横流電流は他のインバータユニットから代表ユニット1に向けて流れ、代表インバータユニット1の出力電流 I_{invU1} は減少、代表インバータユニット1の電流検出値 $I_{invU1det}$ も減少し、偏差は小さくなる。そのため、積分アンプはある点に収束し、制御干渉による横流電流抑制制御の積分アンプの暴走を抑制することができる。

[0107] [実施形態5]

図7に本実施形態5のインバータユニット1相あたりの制御ブロックを示す。本実施形態5では、実施形態1のゲート遅延指令値演算ブロックに対して以下の変更を加えたものである。

[0108] インバータユニット出力電流指令値 $I_{invUdet}/N$ とインバータユニット出力電流検出値 $I_{invUNdet}$ との偏差を求める減算器 sub を、インバータユニット出力電流検出値 $I_{invUNdet}$ を-1倍する乗算

器 $\text{mul}2$ とデッドバンド処理器 27 の組み合わせに変更する。

[0109] また、インバータユニット出力電流検出値 linvUNdet が正ならば 1 を、負ならば -1 を出力する符号検出器 28 と、熱責務均等化ブロック 29 と、符号検出器 28 と熱責務均等化ブロック 29 との積を演算する乗算器 $\text{mul}3$ と、が追加され、乗算器 $\text{mul}3$ の出力は加算器 $\text{add}3$ により比例アンプ P の出力と加算される。

[0110] 次に、熱責務均等化ブロック 29 について説明する。

[0111] 実効値演算器 RMS 1 は、インバータユニット出力電流検出値 linvUNdet からインバータユニット出力電流実効値 linvUNrms を求めて出力する。また、実効値演算器 RMS 2 は、インバータ出力電流検出値 linvUdet からインバータユニット出力電流実効値 linvUrms を求めて出力する。除算器 div は、インバータユニット出力電流実効値 linvUrms をインバータユニット台数 N で除算し、各インバータユニット出力電流実効値の平均値 $\text{linvUrms}/N$ を求める。この各インバータユニット出力電流実効値の平均値 $\text{linvUrms}/N$ とインバータユニット出力電流検出値 linvUNdet の実効値 linvUNrms の偏差を減算器 sub で算出する。この偏差を比例積分アンプ P1 に入力し、比例積分処理を行う。

[0112] 本実施形態 5 は、電流ピークに対してのみ実施形態 1 と同様の横流電流抑制制御を行い、熱責務に対しては比例積分処理による低速な制御を行う方式である。

[0113] まず、本実施形態 5 ではデッドバンド処理器 27 の設定値としてスイッチング素子の絶対定格電流や電力変換回路が出力する最大電流のピーク値に余裕を持たせた電流を設定値にすることを想定している。この設定値を超えた場合のみ横流電流抑制制御が動作し、電流が特定のインバータユニットに集中してスイッチング素子が過電流によりダメージを負う事態を防ぐ。

[0114] しかし、これだけではピーク電流だけが分担された状態となる。そのため電力変換回路の低電流時にはインバータ出力電流 linvU が特定のインバ

ータユニットに集中し、そのインバータユニットのみ発熱が大きくなり部品がダメージを負う可能性がある。そこでインバータ出力電流の実効値 $I_{invU rms}$ を検出し、ゲート信号のタイミングを調整して熱責務の均等化を行う。

[0115] 本実施形態5における熱責務均等化ブロック29内の比例積分アンプPIの動作を説明する。例として各インバータユニット出力電流実効値の平均値 $I_{invU rms} / N > \text{インバータユニット出力電流検出値の実効値 } I_{invUN rms}$ 、かつ、インバータユニット出力電流検出値の実効値 $I_{invUN rms} > 0$ の場合を考えると、制御対象のインバータユニットの出力電流振幅が不足した状態である。この時、比例積分アンプPIの出力は正になり、乗算器mul3の出力も正、立ち上がりのゲート遅延指令値 $Delay_{refU}$ は負に、立ち下がりのゲート遅延指令値 $Delay_{refD}$ は正の値となる。そのため、ゲート信号 G_{uN} のパルス幅が大きくなり、出力電流の増加が促される。

[0116] また、インバータユニット出力電流検出値 $I_{invUN det} < 0$ の場合は、立ち上がりのゲート遅延指令値 $Delay_{refU}$ は正、立ち上がりのゲート遅延指令値 $Delay_{refD}$ は負の値になり、ゲート信号 G_{xN} のパルス幅が大きくなりインバータユニット出力電流の振幅が増加される。これにより制御対象のインバータユニット出力電流実効値 $I_{inv rms}$ が増加される。

[0117] 本実施形態5で追加した熱責務均等化ブロック29は、以下の(1)、(2)の理由により基本波1周期に1回程度動作させることを想定している。

(1) 1相の信号から実効値を求めるには最低でも基本波1周期の時間がかかる

(2) 瞬間的であれば電流が増加してもスイッチング素子の温度上昇はわずかであり、熱責務への影響は小さい。

[0118] これにより、高速(スイッチング半周期)での動作が要求されるピーク電流均等化制御は、インバータユニット単独で処理が完結し、他のインバータ

ユニットの電流検出信号を必要としない。そのため、他のインバータユニットや各インバータユニットの合流点電流といった離れた位置の電流検出信号を伝送する際に遅延が発生する場合には、本実施形態5を適用することで伝送遅延による問題が解決できる。また、高速な信号伝送を必要とせず基本波1周期に1回の伝送でよいとため、安価な信号伝送システムを用いることができる。

[0119] なお、本実施形態5では実効値を使用したか、電流検出値を整流してフィルタを適用するなどして基本波1周期あたりの絶対値の電流平均値を求め、これを横流電流抑制制御に使用しても良い。また、時定数の大きなフィルタを用いることができ、ノイズに対する安定性を向上させることが可能となる。

[0120] [実施形態6]

図8に、本実施形態6のインバータユニット1相あたりの制御ブロックを示す。本実施形態6では、実施形態1のゲート遅延指令値演算ブロック23に以下の変更を加えているものである。

[0121] 絶対値検出ブロックABSにおいて、インバータユニット出力電流 I_{invUN} の絶対値を検出する。この絶対値と所定のしきい値 α とを比較器30により比較し、前記絶対値がしきい値よりも小さい時に「0」、大きい時に「1」を出力する。スイッチSW5は、比較器30の出力が「0」ならOFFになり積分アンプ11, 12, 13, 14の入力信号を「0」とし、「1」ならばスイッチSW5を閉じて積分アンプ11, 12, 13, 14の入力信号を偏差（横流電流）とする。

[0122] 本実施形態6では、積分アンプ11～14の入力側にスイッチSW5を追加した。これにより、インバータユニット出力電流 I_{invUN} の絶対値がしきい値 α より小さい時は、積分アンプ11～14の値の更新を停止できる。

[0123] 積分アンプ11～14の値の更新を停止する理由は、インバータユニット出力電流 I_{invUN} の絶対値が小さい時は、電流が上アームのスイッチン

グ素子 T_{uN} を通過しているか下アーム素子 T_{xN} を通過しているか正確な検出が難しくなるためである。特に、電流検出器 $CTU1 \sim CTUN$ による遅延、フィルタによる遅延、スイッチングリップルによるノイズの重畳により、実際の電流の向きと電流検出器で検出した電流の符号が異なる可能性が十分考えられる。

[0124] 本実施形態6では、このようにインバータユニット出力電流 I_{invUN} の絶対値が小さくなった場合に積分アンプ $I1 \sim I4$ の更新を停止することで、横流電流抑制制御の誤動作を防ぎ、次にインバータユニット出力電流 I_{invUN} が増加した際の各インバータユニット間の横流電流拡大を抑制する。この場合、インバータユニット出力電流 I_{invUN} の絶対値が小さい時には横流電流が拡大する危険性がある。しかし、インバータユニット出力電流 I_{invUN} の絶対値が小さいため、横流電流が発生してもインバータユニット出力電流 I_{inv} が絶対定格の電流値を超えてスイッチング素子が破壊されることはない。また、損失も小さいため熱責務の分担への影響も非常にわずかとなる。そのためインバータユニット出力電流 I_{invUN} の絶対値が小さい時に積分アンプ $I1 \sim I4$ の更新を停止しても、各インバータユニット間の横流電流は問題にはならない。

[0125] 以上示したように、本実施形態6によれば、実施形態1の作用効果に加え、インバータユニット出力電流 I_{invUN} の絶対値が小さい時は横流電流抑制制御を停止することで、遅延やノイズにより検出したインバータユニット出力電流 I_{invUN} の極性に誤りが生じて横流電流抑制制御の誤動作を防ぎ、次にインバータ出力電流 I_{invUN} が増加した際の横流電流の拡大を抑制することができる。

[0126] [実施形態7]

図9に本実施形態7のインバータユニット1相あたりの制御ブロックを示す。本実施形態7は、実施形態1に対して以下の変更を行ったものである。

[0127] ゲート遅延指令演算ブロック23の起動信号を、キャリア三角波 V_{carry} の頂点ではなく、ゲート指令値 G_{ref} の変化を検出した信号に変更す

る。ゲート指令値 G_{ref} の変化は、現在のゲート指令値 G_{ref} と 1 演算時間前のゲート指令値 G_{ref} との排他的論理和 $EXOR$ により検出する。

[0128] これにより、横流電流を検出するタイミングもスイッチング素子が動作する直前となり、キャリア三角波 V_{carry} の頂点で検出した横流電流抑制制御に比べて制御遅延を小さくすることができる。その結果、温度変化、出力電流指令値の変更など電力変換回路の運転条件の変動、外乱発生時の過渡的な応答を向上することができる。また、横流電流抑制制御の動作がキャリア三角波 V_{carry} に依存しないため、PWM変調以外の変調方式に対応することができる。また、本実施形態 7 でも横流電流を細かく検出する必要がないため、高速な電流検出器は不要である。

[0129] ただし、この方法では横流電流が零になるタイミングはキャリア波の頂点ではなくスイッチング直前となる。そのため、キャリア三角波 V_{carry} の 1 周期間の平均電流で見た場合、定常状態における横流電流は実施形態 1 よりも増加する。また、ゲート指令値 G_{ref} の変化が発生したら、 A/D 変換、指令値演算、タイミング調整までを高速に行う必要があり、制御装置には高い性能が必要になる。または、ゲート遅延指令値演算ブロック 23 を常に動作させておき、いつゲート指令値 G_{ref} が変化しても対応できるようにしても良い。

[0130] 本実施形態 7 によれば、実施形態 1 の作用効果に加え、横流電流抑制制御の動作がキャリア三角波 V_{carry} の状態に依存しないため、キャリア三角波 V_{carry} を使用しない変調方式にも対応できる。また、ゲート指令値 G_{ref} の変化直前でゲート遅延指令値演算ブロック 23 を動作させることにより、横流電流抑制制御の制御遅延が小さくなり、制御の安定性を向上でき、横流電流抑制にかかる制御時間を短くすることができる。

[0131] [実施形態 8]

図 10 に実施形態 8 のインバータユニット 1 相あたりの制御ブロックを示す。実施形態 8 は、実施形態 1 に対して以下の変更を行ったものである。

[0132] 符号検出器 31 により、キャリア三角波 V_{carry} の符号を検出し、 A

ND素子AND 1～4に出力する。

- [0133] AND素子AND 1, 2には、符号検出器31の出力の反転信号を入力し、入力スイッチSW 11, SW 21が閉じる条件の1つを、「キャリア三角波 V_{carry} の符号が負であること」に変更する。
- [0134] AND素子AND 3, 4には符号検出器31の出力信号をそのまま入力し、入力スイッチSW 31, SW 41が閉じる条件の1つを、「キャリア三角波 V_{carry} の符号が正であること」に変更する。
- [0135] スイッチSW 7は、立ち上がりのゲート遅延指令値 $Delay_{refU}$ を入力とし、キャリア三角波 V_{carry} の符号が正の時に閉じる。また、スイッチSW 6は、立ち下りのゲート遅延指令値 $Delay_{refD}$ を入力とし、キャリア三角波 V_{carry} の符号が負の時に閉じる。スイッチSW 6, SW 7の出力は、電圧指令値 V_{Uref} に加算されて該当インバータユニットNの電圧指令値 V_{UrefN} となる。この電圧指令値 V_{UrefN} は、PWM変調器21, デッドタイム処理器24を介して、PWM変調およびデッドタイムが付加されてゲート信号 G_{uN} , G_{xN} が生成される。
- [0136] 本実施形態8では、ゲートタイミングを直接変更せずに電圧指令値 V_{Uref} を調整して、間接的にゲートタイミングを変更できるようにした方式である。本実施形態8も実施形態1と同様に、積分アンプ11～14を4個用意している。さらに、キャリア三角波 V_{carry} の符号によりスイッチSW 6とSW 7を切り換え、電圧指令値 V_{Uref} に加算する補正量をキャリア三角波の半周期（スイッチング半周期）で切り換えることができる。
- [0137] 例えば、キャリア三角波 V_{carry} の頂点における符号が正で次のキャリア三角波 V_{carry} の半周期でゲート指令値 G_{ref} が立ち上がる場合には電圧指令値 V_{Uref} を増加させる。また、キャリア三角波 V_{carry} の頂点における符号が負で次のキャリア三角波 V_{carry} の半周期でゲート指令値 G_{ref} が立ち下がる場合には電圧指令値 V_{Uref} を減少させる。これにより、ゲート指令値 G_{ref} の立ち上がりも立ち下がりも両方早くする、といった横流電流抑制制御ができるようになる。

[0138] すなわち、実施形態8の特長として、上記のように電圧指令値 V_{uref} を増加させるまたは減少させる調整を加えることでゲート信号のタイミングを早めることができる点がある。実施形態1では調整対象が電圧指令値 V_{uref} ではなくゲート指令値 G_{ref} であるため、ゲート指令値 G_{ref} のタイミングを遅らせることしかできない。実施形態1で特定のインバータユニットだけゲート指令値 G_{ref} を早めたい場合、積分アンプ11～14に適切な初期値を設定し、すべてのインバータユニットで均等にゲート指令値 G_{ref} のタイミングを遅らせた上で、特定のインバータユニットだけゲート指令値 G_{ref} の遅延量を小さくする必要がある。本実施形態8ではこの操作が不要であるため、制御系の遅延を小さくすることができ制御がより安定になる。

[0139] [実施形態9]

図11に本実施形態9における電力変換回路の主回路、図12に本実施形態9のインバータユニット1相あたりの横流電流抑制制御ブロックを示す。本実施形態9は実施形態1の横流電流抑制制御を3レベルインバータに適用した電力変換回路である。

[0140] 図11に示すように、直流電圧源である直列接続されたコンデンサ C_1 、 C_2 の正電位側から負電位側にスイッチング素子 T_{11} 、 T_{21} 、 T_{31} 、 T_{41} が直列接続される。各々のスイッチング素子 T_{11} 、 T_{21} 、 T_{31} および T_{41} には夫々ダイオードが逆並列接続されている。スイッチング素子 T_{11} と T_{21} の共通接続点とコンデンサ C_1 、 C_2 の中性点間、スイッチング素子 T_{31} と T_{41} の共通接続点とコンデンサ C_1 、 C_2 の中性点間に夫々クランプダイオード D_{C1} 、 D_{C2} を接続する。そして1相分の交流出力をスイッチング素子 T_{21} と T_{31} 接続点に与える。また、インバータユニット1と同様の回路構成のインバータユニット2～Nがインバータユニット1と並列に接続される。

[0141] 次に、図12に基づいて本実施形態9における横流電流抑制制御ブロックにおける実施形態1との相違点について説明する。PWM変調器21の出力

は、スイッチング素子 $T1N$ とスイッチング素子 $T3N$ のゲート信号に対応するゲート指令値 $Gref1$ 、スイッチング素子 $T2N$ とスイッチング素子 $T4N$ のゲート信号に対応するゲート指令値 $Gref2$ の2個となる。

[0142] また、ゲート指令値 $Gref1$ 、 $Gref2$ それぞれに対応する遅延付加器 $DelayU1$ 、 $DelayD1$ 、 $DelayU2$ 、 $DelayD2$ が設けられる。さらに、デッドタイム処理器24において、デッドタイム処理後出力されるゲート信号は $G1N$ 、 $G2N$ 、 $G3N$ 、 $G4N$ の4つとなる。

[0143] 次に、ゲート遅延指令値演算ブロック23における実施形態1との相違点について説明する。

[0144] バッファ32a、32bにより、ゲート指令値 $Gref1$ 、 $Gref2$ のキャリア三角波 $Vcarry$ の半周期前の値を保持する。また、積分アンプ15～18、入力スイッチ $SW51$ 、 $SW61$ 、 $SW71$ 、 $SW81$ 、出力スイッチ $SW52$ 、 $SW62$ 、 $SW72$ 、 $SW82$ 、AND素子AND5～8を追加する。

[0145] AND素子AND1～4には符号検出器25の出力信号を入力し、入力スイッチ $SW11$ 、 $SW21$ 、 $SW31$ 、 $SW41$ が閉じる条件の1つは、「インバータユニット出力電流検出値 $IinvUndet$ が正であること」とする。また、AND素子AND5～8は符号検出器25の反転出力信号を入力し、入力スイッチ $SW51$ 、 $SW61$ 、 $SW71$ 、 $SW81$ が閉じる条件の1つは、「インバータユニット出力電流検出値 $IinvUndet$ が負であること」とする。

[0146] 入力スイッチ $SW11$ 、 $SW51$ が閉じる別の条件は、ゲート指令値 $Gref1$ が「1」、キャリア三角波 $Vcarry$ の半周期前のゲート指令値 $Gref1$ が「0」、キャリア三角波 $Vcarry$ の半周期前のゲート指令値 $Gref2$ が「1」である。

[0147] 入力スイッチ $SW21$ 、 $SW61$ が閉じる別の条件は、ゲート指令値 $Gref1$ が「0」、キャリア三角波 $Vcarry$ の半周期前のゲート指令値 G

ref 1が「1」、ゲート指令値Gref 2が「1」である。

[0148] 入力スイッチSW3 1, SW7 1が閉じる別の条件は、ゲート指令値Gref 2が「1」、キャリア三角波Vcarryの半周期前のゲート指令値Gref 2が「0」、ゲート指令値Gref 1が「0」である。

[0149] 入力スイッチSW4 1, SW8 1が閉じる別の条件は、ゲート指令値Gref 2が「0」、キャリア三角波Vcarryの半周期前のゲート指令値Gref 2が「1」、半周期前のゲート指令値Gref 1が「0」である。

[0150] 出力スイッチSW1 2, SW2 2, SW3 2, SW4 2が閉じる条件は、「インバータ出力電流検出器linvUNdetが正であること」とする。出力スイッチSW5 2, SW6 2, SW7 2, SW8 2が閉じる条件は、「インバータ出力電流検出器linvUNdetが負であること」とする。

[0151] 加算器add 1が比例アンプPと出力スイッチSW1 2, SW5 2の出力を加算し、加算器add 1の加算結果を乗算器mul 1において-1倍して符号を反転する。この乗算器mul 1の出力がゲート指令値Gref 1が「0」から「1」に立ち上がるタイミングのゲート遅延指令値Delayref 1Uとなる。

[0152] 加算器add 2が比例アンプPと出力スイッチSW2 2, SW6 2の出力を加算する。この加算器add 2の出力が、ゲート指令値Gref 1が「1」から「0」に立ち下がるタイミングのゲート遅延指令値Delayref 1Dとなる。

[0153] また、加算器add 3が比例アンプPと出力スイッチSW3 2, SW7 2の出力を加算し、加算器add 3の加算結果を乗算器mul 2において-1倍して符号を反転する。この乗算器mul 2の出力が、ゲート指令値Gref 2が「0」から「1」に立ち上がるタイミングのゲート遅延指令値Delayref 2Uとなる。

[0154] 加算器add 4が比例アンプPと出力スイッチSW4 2, SW8 2の出力

を加算する。この加算器 $add4$ の出力が、ゲート指令値 $Gre f 2$ が「1」から「0」に立ち下がるタイミングのゲート遅延指令値 $Delayref2D$ となる。

[0155] 本実施形態9は、3レベルインバータに適用した例である。3レベルインバータではスイッチング素子が1つの相で4個になるため、横流電流抑制制御に使用する積分アンプを11～18の8個を用いて対応している。それぞれの積分アンプについて説明する。

[0156] [積分アンプ11]

入力スイッチ $SW11$ は、インバータユニット出力電流検出値 $IinvUNdet$ が正、かつ、ゲート指令値 $Gre f 1$ が0から「1」に切り替わった時に閉じる。積分アンプ11の出力はゲート指令値 $Gre f 1$ の立ち上がりのタイミングの補正を行う。ゲート指令値 $Gre f 1$ はスイッチング素子 $T1N$ 、 $T3N$ に対応し、インバータユニット出力電流 $IinvUN$ の向きが正なので、この時電流はスイッチング素子 $T1N$ を通過する。そのため、積分アンプ11はスイッチング素子 $T1N$ の立ち上がりを担当する。

[0157] [積分アンプ12]

入力スイッチ $SW21$ は、インバータユニット出力電流検出値 $IinvUNdet$ が正、かつ、ゲート指令値 $Gre f 1$ が「1」から「0」に切り替わった時に閉じる。積分アンプ12の出力はゲート指令値 $Gre f 1$ の立ち下がるタイミングの補正を行う。ゲート指令値 $Gre f 1$ はスイッチング素子 $T1N$ 、 $T3N$ に対応し、インバータユニット出力電流 $IinvUN$ の向きが正なので、この時電流はスイッチング素子 $T1N$ を通過する。そのため、積分アンプ11はスイッチング素子 $T1N$ の立ち下がりを担当する。

[0158] [積分アンプ13]

入力スイッチ $SW31$ は、インバータユニット出力電流検出値 $IinvUNdet$ が正、かつ、ゲート指令値 $Gre f 2$ が「0」から「1」に切り替わった時に閉じる。積分アンプ13の出力はゲート指令値 $Gre f 2$ の立ち上がりのタイミングの補正を行う。ゲート指令値 $Gre f 2$ はスイッチング素

子 T_{2N} 、 T_{4N} に対応し、インバータユニット出力電流 i_{invUN} の向きが正なので、この時電流はスイッチング素子 T_{2N} を通過する。そのため、積分アンプ I_3 はスイッチング素子 T_{2N} の立ち上がりを担当する。

[0159] [積分アンプ I_4]

入力スイッチ SW_{41} は、インバータユニット出力電流検出値 $i_{invUNdet}$ が正、かつ、ゲート指令値 G_{ref2} が「1」から「0」に切り替わった時に閉じる。積分アンプ I_4 の出力はゲート指令値 G_{ref2} の立ち下りのタイミングの補正を行う。ゲート指令値 G_{ref2} はスイッチング素子 T_{2N} 、 T_{4N} に対応し、インバータユニット出力電流 i_{invUN} の向きが正なので、この時電流はスイッチング素子 T_{2N} を通過する。そのため、積分アンプ I_4 はスイッチング素子 T_{2N} の立ち下りを担当する。

[0160] [積分アンプ I_5]

入力スイッチ SW_{51} は、インバータユニット出力電流 i_{invUN} が負であることを除けば入力スイッチ SW_{11} と同じ条件で閉じる。インバータユニット出力電流 i_{invUN} の向きが負なので、電流はスイッチング素子 T_{3N} を通過する。そのため積分アンプ I_5 はスイッチング素子 T_{3N} の立ち上がりを担当する。

[0161] [積分アンプ $I_6 \sim I_8$]

同様に考えて、積分アンプ I_6 はスイッチング素子 T_{3N} の立ち下りを担当し、積分アンプ I_7 はスイッチング素子 T_{4N} の立ち上がりを担当し、積分アンプ I_8 はスイッチング素子 T_{4N} の立ち下りを担当する。

[0162] このようにそれぞれのスイッチング素子の立ち上がりおよび立ち下りに対応した積分アンプを用意し、スイッチング素子の動作条件から横流電流に影響を与えるスイッチング素子のゲート信号のタイミングを調整することで、3レベルインバータでも同様に横流電流の抑制制御を行うことができる。

[0163] 以上の方法は、キャリア三角波 V_{carry} の半周期に1回スイッチング動作が行われることを前提として、キャリア三角波 V_{carry} の半周期に1回、制御系がゲート信号のタイミングに介入することで横流電流の抑制制

御を行っている。しかしマルチレベルインバータではキャリア三角波 V_{carry} の半周期に2回スイッチング動作が行われる、またはスイッチング動作しないといった「キャリア三角波 V_{carry} の半周期に1回スイッチング動作が行われる」という前提条件が成立しない場合がある。

[0164] 図13にこの状態を示す。この図13ではインバータユニット出力電流 i_{invUN} の向きが正であることを想定している。スイッチング素子 T_1 の立ち上がり注目すると、区間Eではキャリア三角波 V_{carry} の半周期に1回スイッチング動作が行われ、スイッチング素子 T_1 がOFFからONに変化している。区間Cにおいてもスイッチング素子 T_1 がOFFからONに変化しているが、同時にスイッチング素子 T_2 もOFFからONに変化している。この時の横流電流の変化はスイッチング素子 T_1 だけでなくスイッチング素子 T_2 にも起因するため、横流電流抑制制御を停止しなければならない。そのため、入力スイッチ SW_{11} が閉じる条件にキャリア三角波 V_{carry} の半周期前のゲート指令値 Gr_{ef2} が「1」であることを追加することで、区間Cにおける積分アンプ I_1 の入力を零としている。

[0165] 同様にスイッチング素子 T_1 の立ち下がり注目すると、区間Dではキャリア三角波 V_{carry} の半周期に1回スイッチング動作が行われ、スイッチング素子 T_1 がONからOFFに変化している。しかし、区間Aではスイッチング素子 T_1 はOFFのままであり、スイッチングは行われない。この時に発生した横流電流はスイッチング素子における電圧降下 $V_{ce(sat)}$ や逆並列ダイオードの電圧降下 v_f 、横流抑制リアクトル L_1 、 L_2 の誤差などによるものでスイッチング素子 T_1 のスイッチング動作のタイミングのずれではないため、この時も横流電流抑制を停止する必要がある。そのため、入力スイッチ SW_{21} が閉じる条件にキャリア三角波 V_{carry} の半周期前のゲート指令値 Gr_{ef1} が「1」であることを追加し、区間Aの横流電流抑制制御を行わないようにしている。

[0166] また、区間Bではスイッチング素子 T_1 がONからOFFに変化しているが、スイッチング素子 T_2 もONからOFFに変化している。この時も横流

電流抑制制御を行わないよう、ゲート指令 G_{ref2} が「1」であることを積分アンプ 12 の動作条件にしている。

[0167] 以上のように、スイッチング素子の数に応じて積分アンプを増設し、スイッチング素子の動作条件から横流電流に影響を与えるスイッチング素子を検出し、対応する積分アンプで横流抑制制御を行わせることで、3レベルに限らずマルチレベルインバータにも適用することができる。

[0168] 実施例9では3レベルNPCインバータを例としたが、動作条件から横流電流に影響を与えるスイッチング素子を検出し対応する横流電流抑制制御を行うことで、3レベルANPCインバータでも同様に横流電流抑制制御を行うことができる。

[0169] 実施形態9により、3レベルインバータでインバータユニットを構成し並列接続した時も、横流電流を抑制し実施例1と同じ効果を得ることができる。

[0170] [実施形態10]

実施形態1～9では、大容量化のため複数のインバータユニットを並列にし、各インバータユニットの出力電流を均等にする。この方式はスイッチング動作を数回繰り返して積分アンプ 11～14 の値を更新することでスイッチング素子特性の差やゲート信号の伝送路の差などによるスイッチング動作するタイミングのばらつきを補償し横流電流抑制制御を行う。

[0171] しかし、電力変換回路を最初に運転する時はまだスイッチング動作のタイミングのばらつきがどの程度かわからないため、最初のスイッチング動作から積分アンプ 11～14 の値を更新して横流電流抑制制御が完了するまでの数周期間は、横流電流を拡大させてしまうおそれがある。対策として、この数周期間の横流電流に耐えられるよう、横流抑制リアクトル $L_1 \sim L_N$ を大きくする、または、インバータユニットの定格に余裕を持たせる等の方法があるが、部品のコスト増加やリアクトル大型化、重量の増加といった新たな問題が生じる。

[0172] 特許文献5は、ゲート駆動回路のエミッタ電位を補正してスイッチング素

子が動作するタイミング差を補償する方式である。この方式は、事前の試験やデータシートからスイッチング素子特性を参照し、ばらつきに合わせたエミッタ電位を設定するため、最初のスイッチング動作でも横流電流を抑制制御することができる。しかし、制御回路からゲート駆動回路までの伝送路における遅延の差や、ゲート駆動回路自体の遅延の差は考慮されておらず、これらの遅延の差が大きい場合は最初のスイッチング動作による横流電流が拡大してしまう。

[0173] 特許文献4は、ゲート信号の遅延量をあらかじめ設定しておき、スイッチング素子が動作するタイミング差を補償する方式である。この方式では、あらかじめ伝送路差やゲート駆動回路自体の遅延の差を考慮して試験を行えば、これらの影響が大きい条件でも最初のスイッチング動作における横流電流を抑制することができる。しかし、遅延量の設定方法については言及されておらず、手動で遅延量の調整を行う場合には時間がかかり、納期やコストが増加してしまう。

[0174] さらに、上記特許文献4、5では、経年による回路構成部品の特性変化を考慮しておらず、特性変化が生じた場合は遅延量の測定が再度必要となる。また、フィードバックによる制御を構成していないため、電力変換回路の運転中の温度変化などによる回路構成部品の特性が変化した場合に対応できない。

[0175] 特許文献6の「発明が解決しようとする課題」には、IGBTに短絡電流が流れた場合にゲート電圧が通常使用時の15Vよりも上昇し、IGBTのコレクタ電流を成長させてしまうことが言及されている。特許文献6は、スイッチング素子に定格を超える異常電流が流れた場合、ツェナーダイオードなどを使用して素子のゲート電圧をクランプし異常電流の増加を抑制する方式である。しかし、積分アンプの初期値を設定する試運転時のみゲート電圧を通常よりも低く設定し、スイッチング素子の通過電流を定格よりも低い値で制限することは想定していない。

[0176] 特許文献7は、負荷の過電流を検出すると、一定の回路構成に起因する遅

れ時間後、スイッチング素子のゲート電圧を低下させて限流状態とし、過電流保護状態となり負荷電流を低減させる方式である。しかし、別途電流検出回路が必要となる。また、特許文献7では電流検出に抵抗を使用しているため、損失が増加する。さらに、スイッチング素子のゲート端子は容量性であるため、いったん増加したゲート電圧の低減に時間がかかり、過電流検出から保護が有効になるまで遅延が生じる問題点がある。

[0177] 図14は本実施形態10におけるインバータユニットを並列接続した電力回路の主回路を示し、図15は本実施形態10におけるインバータユニット1台1相あたりの横流電流抑制制御ブロックを示し、図16は図15の積分アンプ1, 13の初期値を決定する初期値決定ブロックを示す。

[0178] 本実施形態10では、3台のインバータユニット1~3を有し、電力変換回路と負荷や系統電源との間にスイッチSW1が介挿されている。また、図16に示す初期値決定ブロック33は3台の各相に設けられインバータユニット1~3それぞれの積分アンプ1, 13の適切な初期値を求めることを想定している。

[0179] 本実施形態10では、図15に示すように、実施形態1の横流電流抑制制御ブロックに対して以下の変更を行ったものである。

[0180] 積分アンプ1~4に、リセット指令を入力するリセット入力端子11a~14aと、初期値を入力する初期値入力端子11b~14bを追加する。積分アンプ1~4では、リセット入力端子11aの入力が「1」ならば、積分アンプ1~4に積分されていた値を初期値入力端子11bの入力値に変更する。

[0181] 遅延調整モード信号は、運転を開始する電力変換回路のインバータユニットが、積分アンプ1~4の初期値を求める試運転時以外の通常運転時の使用なら「0」、横流電流抑制制御ブロックの積分アンプ1~4における適切な初期値を求める試運転時であれば「1」とする。

[0182] スイッチSWAは、遅延調整モード信号が「1」であれば下に切り替わり、ゲート指令Grefへの遅延処理をバイパスしてゲート指令値Grefを

そのままデッドタイム処理器 24 に入力する。

[0183] バッファ 46 は、遅延調整モード信号を 1 演算時間遅延させる。

[0184] AND 素子 AND 5 は、遅延調整モード信号の反転信号とバッファ 46 の出力信号を入力とする。

[0185] AND 素子 AND 5 の出力信号が「1」となるのは、遅延調整モード信号が「1」から「0」に切り替わった時であり、この信号は積分アンプ 11 ~ 14 のリセット入力端子 11a ~ 14a に入力される。

[0186] 次に、図 16 に基づいて初期値決定ブロック 33 について説明する。

[0187] 各インバータユニット 1 ~ 3 の電流検出値 $I_{invU1det}$, $I_{invU2det}$, $I_{invU3det}$ は、フィルタ 34a, 34b, 34c においてノイズが除去され、微分器 sT によりインバータユニット電流検出値 $I_{invU1det} \sim I_{invU3det}$ の傾きが算出される。この微分結果は比較器 35a, 35b, 35c において予め設定された閾値 β と比較され、微分結果が閾値 β より大きい場合は「1」を出力し、微分結果が閾値 β 以下の場合は「0」を出力する。

[0188] 初期値決定ブロック 33 が動作する試運転時は遅延調整モード信号は「1」であるため、ゲート信号 G_{u1} , G_{u2} , G_{u3} はゲート指令値 G_{ref} に遅延処理を行わずにそのままデッドタイム処理を行った共通の信号となる。

[0189] AND 素子 AND 6, AND 8, AND 10 は、ゲート信号 G_{u1} , G_{u2} , G_{u3} および比較器 35a, 35b, 35c の反転信号をそれぞれ入力する。そして、ゲート信号 G_{u1} , G_{u2} , G_{u3} が「1」、かつ、インバータユニット電流検出値 $I_{invU1det}$, $I_{invU2det}$, $I_{invU3det}$ の微分結果が閾値 β 以下の時に「1」を出力し、それ以外の時「0」を出力する。

[0190] AND 素子 AND 7, AND 9, AND 11 は、ゲート信号 G_{u1} , G_{u2} , G_{u3} の反転信号および比較器 35a, 35b, 35c の出力信号をそれぞれ入力する。そして、ゲート信号 G_{u1} , G_{u2} , G_{u3} が「0」、か

つ、インバータユニット電流検出値 $I_{invU1det}$, $I_{invU2det}$, $I_{invU3det}$ の微分結果が閾値 β よりも大きい時に「1」を出力し、それ以外の時「0」を出力する。

[0191] カウンタ36a～36fは、AND素子AND6～AND11の出力が「1」を出力している時間を計測し、その時間を出力する。

[0192] 最大値演算器MAXはカウンタ36a, 36c, 36eの出力を入力し、その入力した値のうち最大値を出力する。そして、減算器sub1, sub3, sub5において、カウンタ36a, 36c, 36eの出力値から前記最大値をそれぞれ減算する。

[0193] この減算器sub1, sub3, sub5の出力値が、それぞれインバータユニット1, 2, 3の積分アンプ11の初期値となり、対応する積分アンプ11の初期値入力端子11b～14bに入力される。

[0194] 乗算器mu3, mu4, mu5は、カウンタ36b, 36d, 36fの出力に-1を乗算する。最小値演算器MINは、乗算器mu3, mu4, mu5の出力を入力し、入力した値のうち最小値を出力する。そして、減算器sub2, sub4, sub6において、乗算器mu3, mu4, mu5の出力から前記最小値をそれぞれ減算する。

[0195] この減算器sub2, sub4, sub6の出力値が、それぞれインバータユニット1, 2, 3の積分アンプ13の初期値となり、対応する積分アンプ13の初期値入力端子13bに入力される。

[0196] 実施形態10では、積分アンプの初期値を求める試運転として各インバータユニット1, 2, 3に接続されている横流抑制リアクトルL1, L2, L3を使用してスイッチング素子Tu1～Tu3, Tx1～Tx3の遮断試験を行い、ゲート指令値Grefの入力から実際にスイッチング素子Tu1～Tu3, Tx1～Tx3が動作するまでの遅延時間を測定し、積分アンプ11～14の初期値を決定する方式である。

[0197] 準備として、図14の主回路ではスイッチSW1をOFFして電力変換回路を負荷や系統電源から切り離し、遮断試験の影響が電力変換回路の外部に

及ばないようにする。ただし、三相三線式など1相だけ相電圧を変化させても外部に影響が生じず、スイッチSW1を設けず遮断試験ができる場合もある。

[0198] 図17にインバータユニット1の積分アンプ11, 13の初期値を求める動作波形を示す。まず、ゲート信号 $G \times 2$ を「1」にセットし、スイッチング素子 $T \times 2$ をON状態にする。次に、ゲート信号 $G u 1$ にパルスのON指令をセットする。すると、横流電流抑制リアクトル $L 1$ と $L 2$ にインバータ直流電圧が印加され、インバータユニット1の出力電流 $I i n v U 1$ は主回路のリアクタンス成分による遅延時間後に一定の傾きで増加を開始する。ここで、微分器 $s T$ によりインバータユニット1の出力電流検出値 $I i n v U 1 d e t$ の微分結果が検出され、比較器35aにより微分結果が閾値 β を超えるか否かが判定される。

[0199] カウンタ36aでは、ゲート信号 $G u 1$ がON指令となってからインバータユニット1の出力電流検出値 $I i n v U 1 d e t$ の微分結果が閾値 β を超えるまでの時間を測定し出力する。この時間がスイッチング素子 $T u 1$ におけるターンONの遅延量であり、ゲート信号 $G u 1$ の立ち上がりをどのくらい早めるべきかを示している。

[0200] カウンタ36bでは、ゲート信号 $G u 1$ がOFF指令になってから、インバータユニット1の出力電流検出値 $I i n v U 1 d e t$ の微分結果が閾値 β 以下になるまでの時間を測定し出力する。これがスイッチング素子 $T u 1$ におけるターンOFFの遅延量であり、ゲート信号 $G u 1$ の立ち下がりをもどのくらい早めるべきかを示している。

[0201] 一方、図15において積分アンプ11の出力は-1倍され、立ち上がりの遅延付加器 $D e l a y U$ に入力される。立ち上がりの遅延付加器 $D e l a y U$ ではマイナスの値を入力して未来を予測しゲート指令値 $G r e f$ を早めることはできないため、必ず正の値を入力する必要がある。そこで、スイッチング素子 $T u 1$, $T u 2$, $T u 3$ の遅延量のうち最大のものを選定し、各カウンタ36a, 36c, 36eの出力値から最大値を減算することで、遅延

量が最大のスイッチング素子に対応する積分アンプ 1 の初期値を「0」に設定する。

[0202] これにより、遅延量が最大のスイッチング素子に対してはゲート指令値 G_{ref} の補正をせず、遅延量が最大でないスイッチング素子に対してはゲート指令値 G_{ref} に遅延が付加され、同じタイミングでスイッチング動作することができるようになる。

[0203] 積分アンプ 3 についても同様である。カウンタ 36 b, 36 d, 36 f の出力はゲート信号 $G_u 1$ の立ち下がりどのくらい早めるべきかを示しているが、積分アンプ 3 の出力はどのくらい遅延させるべきかを示す必要があるため、カウンタ 36 b, 36 d, 36 f の出力を -1 倍している。後は、遅延量が最大のスイッチング素子におけるゲート指令値 G_{ref} は補正なしとなるように、積分アンプ 1 と同様に遅延量の調整を行う。

[0204] 図 18 に、各インバータユニット 1 ~ 3 の積分アンプ 1, 3 の初期値を求める一連の動作波形を示す。まず、ゲート信号 $G_{x 2}$ を「1」にセットしてゲートスイッチング素子 $T_{x 2}$ を ON する。次に、ゲート信号 $G_u 1$ に ON 指令をパルスで与える。ゲート信号 $G_u 1$ の立ち上がりからインバータユニット電流検出値 $I_{inv U 1}$ が増加し始めるまでの遅延時間と、ゲート信号 $G_u 1$ の立ち下がりからインバータユニット電流検出値 $I_{inv U 1}$ の増加が止まるまでの遅延時間を計測する。その後は、ゲート信号 $G_{x 2}$ を 0 に戻しスイッチング素子 $T_{u 2}$ を OFF させインバータユニット電流検出値 $I_{inv U 1}$ を減衰させる。

[0205] インバータユニット 1 の出力電流検出値 $I_{inv U 1}$ が零になったら、ゲート信号 $G_{x 3}$ を 1 にセットしゲート信号 $G_u 2$ に ON 指令をパルスで与え、同様に遅延を測定する。これを残りのインバータユニットに対しても繰り返し行い、遅延を測定する。

[0206] 図 18 では、インバータユニット 1 から測定を行ったが、順番を変更しても良い。また、スイッチング素子 $T_{u 1}$ の遅延特性を測定する際にスイッチング素子 $T_{x 2}$ を ON したが、代わりにスイッチング素子 $T_{x 3}$ を ON して

も良い。

[0207] 以上の動作を行えば、事前に積分アンプの初期値を求める試運転にてスイッチSW1をOFFするだけで主回路の再構成や追加の機材を準備することなく、ゲート駆動回路の特性も含めた各スイッチング素子の遅延特性を測定することができる。また、シーケンス制御により自動化を行えば、初期値を求める試運転時間を短縮することができる。さらに、素子や電流検出器などの交換が生じて、試運転を行えばすぐに遅延特性の測定を行うことができる。

[0208] 実施形態10では、1相の積分アンプ11, 13のみの積分アンプの初期値を求める方法についてのみ説明したが、積分アンプ12, 14についても同様に初期値を求めることができ、また、残りの相についても順次初期値を求めることができる。

[0209] 以上示したように、本実施形態10によれば、あらかじめインバータユニットのゲート遅延特性を測定して積分アンプの初期値を設定することにより、電力変換回路の運転開始直後の横流電流を抑制することができる。

[0210] また、スイッチSW1により電力変換回路を系統や負荷から切り離すだけで、試運転を行うことができる。試運転に必要な負荷として各インバータユニット1～3の横流抑制リアクトルL1～L3を使用するため、別途他の負荷を用意する必要がなく、手動による回路変更も不要であり、試験時間を短縮することができる。

[0211] さらに、遅延特性の測定を自動化することにより、初期値を求める試運転時間を短縮することができ、素子や電流検出器などの交換による遅延特性の変化にも素早く対応することができる。

[0212] [実施形態11]

図19に本実施形態11における初期値決定ブロック33の制御ブロックを示す。各インバータユニット1～3には電流検出器CTU1～CTU3を取り付けるが、電流検出器CTU1～CTU3の個体差により測定した遅延時間に誤差が生じてしまうことがある。本実施形態11では、遅延検出に同

一の電流検出器CTU1を用いることを特徴としている。

- [0213] 初期値決定ブロック33は、インバータユニット1に対しては実施形態10と同一の構成である。しかし、インバータユニット2, 3の遅延時間の検出にもインバータユニット1の出力電流検出値 $I_{invU1det}$ を使用している。
- [0214] 使用するインバータユニット電流検出値は、 $I_{invU1det}$ のみとする。また、インバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果が閾値 $-\beta$ よりも小さいことを検出する比較器35dを追加する。
- [0215] AND素子AND8は、ゲート信号Gu2が「1」、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果が閾値 $-\beta$ 以上のときに「1」を出力する。AND素子AND9はゲート信号Gu2が「0」、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果が閾値 $-\beta$ より小さい時に「1」を出力する。
- [0216] AND素子AND10は、ゲート信号Gu3が「1」、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果が閾値 $-\beta$ 以上の時に「1」を出力する。AND素子AND11はゲート信号Gu3が「0」、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果が閾値 $-\beta$ より小さい時に「1」を出力する。
- [0217] 図20に、各インバータユニット1~3の積分アンプ1, 13の初期値を求める一連の動作波形を示す。インバータユニット1に対しては実施形態10と同じようにゲート信号の変化から、インバータユニット電流検出値の微分結果が変化するまでの遅延時間を計測する。その後、ゲート信号Gx1を1にセットしスイッチング素子Tx1をONして残りのインバータユニット2, 3の遅延時間の計測を行う。スイッチング素子Tx1をONした状態でスイッチング素子Tu2をONすると、インバータユニット1の出力電流 I_{invU1} にはマイナスの方向で電流が流れ始める。このインバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果と閾値 $-\beta$ とを比較器35dで比較し、スイッチング素子Tu2の立ち上がり遅延時間を測定

する。立ち下がりについても同様に測定することができる。その後、いったんスイッチング素子 $T \times 1$ を OFF しているが、これは電流の減衰を促すためである。電流検出値が零になったら再度スイッチング素子 $T \times 1$ を ON し、残りのインバータユニット 3 の遅延時間を計測する。

[0218] この方法であれば、同一の電流検出器 C T U 1 で遅延時間を計測するため、電流検出器 C T U 1 ~ C T U 3 の個体差による測定誤差を打ち消すことができる。

[0219] 以上示したように、本実施形態 1 1 によれば、電流検出器 C T U 1 ~ C T U 3 の個体差による遅延時間の誤差の影響を除いてゲート遅延特性を測定でき、電力変換回路の運転開始直後の横流電流をさらに小さくすることができる。

[0220] [実施形態 1 2]

図 2 1 に本実施形態 1 2 におけるインバータユニット並列接続した電力変換回路の主回路を示す。本実施形態 1 2 におけるインバータユニットを並列接続した電力変換回路の主回路は、交流側の接続点に系統電源が接続されることを想定しており、電力変換回路にはスイッチ S W 2 と抵抗器 R からなるインバータ直流電圧の予備充電回路 3 7 を備えている。予備充電回路 3 7 自体は一般的な公知技術であるため、ここでの詳細な説明は省略する。

[0221] 図 2 2 に、この予備充電回路 3 7 におけるスイッチ S W 2 の指令を作成する予備充電回路制御ブロックを示す。

[0222] この予備充電回路制御ブロックは、比較器 3 8 a において、電圧検出器（図示省略）等で検出された現在の電力変換回路の直流電圧検出値 V_{dc} と予め設定された閾値 $\gamma 1$ とを比較する。また、比較器 3 8 b では、電力変換回路の直流電圧検出値 V_{dc} と予め設定された閾値 $\gamma 2$ とを比較する。ここで、 $\gamma 1 > \gamma 2$ とする。なお、遅延調整モード信号は、実施形態 1 0 で用いたものと同様の判定条件とする。

[0223] AND 素子 AND 1 2 は、 $V_{dc} > \gamma 2$ 、かつ、遅延調整モード信号が「1」のとき「1」を出力する。

[0224] AND 素子 AND 1 3 は、予備充電開始指令が「1」、かつ、 $V_{dc} > \gamma$

1 が不成立、かつ、AND 素子 AND 1 2 の出力が「0」のとき、「1」を出力し、スイッチ SW 2 にオン指令を出力する。

[0225] AND 素子 AND 1 4 は、 $V_{dc} > \gamma 1$ 、かつ、遅延調整モード信号が「0」のとき「1」を出力し、スイッチ SW 1 にオン指令を出力する。

[0226] また、初期値決定ブロック 3 3 は、図 1 6 に示す実施形態 1 0 で用いたものと同じの回路を使用する。

[0227] 横流抑制リアクトル $L_1 \sim L_3$ を小さくした場合、試運転時の遅延特性の測定を行う際にスイッチング素子に対する ON 指令のパルス幅を短くしても、出力電流が素子定格を超えてしまい、スイッチング素子が熱的ダメージを負う恐れがある。本実施形態 1 2 は、遅延特性の測定中に直流電圧を下げておくことで、小さな横流抑制リアクトル $L_1 \sim L_3$ でもスイッチング素子を破壊せずに遅延特性の測定を行えるようにした方式である。

[0228] 図 2 2 に示す予備充電回路のスイッチ指令作成ブロックについて説明する。試運転時以外の通常運転時では「遅延調整モード信号」は「0」になる。 $V_{dc} \leq \gamma 1$ かつ AND 1 2 = 「0」の状態ですべての予備充電開始指令が入力されると、スイッチ SW 2 が ON になり充電が開始される。その後、インバータ直流電圧 V_{dc} が閾値 $\gamma 1$ を超えると比較器 3 8 a の出力が「1」となるため AND 回路 AND 1 3 の出力が「0」となり、スイッチ SW 2 が OFF となる。また、 $V_{dc} > \gamma 1$ で比較器 3 8 a から「1」が出力され、遅延調整モード信号は「0」であると、AND 素子 AND 1 4 から 1 が出力され、スイッチ SW 1 が ON になり運転準備が完了する。

[0229] 遅延時間の計測を行う試運転時の場合、「遅延調整モード信号」は「1」となる。この状態で予備充電開始指令が入力されると、 $V_{dc} < \gamma 2$ であるため AND 素子 AND 1 2 の出力が「0」、 $V_{dc} < \gamma 1$ であるため比較器 3 8 a の出力が「0」で AND 素子 AND 1 3 の出力が「1」となり、同様にスイッチ SW 2 が ON になり充電が開始される。しかし、インバータ直流電圧 V_{dc} が閾値 $\gamma 2$ を超えた段階で AND 素子 AND 1 2 の出力が「1」となるため、スイッチ SW 2 が OFF になり、スイッチ SW 1 も OFF を維

持する。

[0230] これにより予備充電を途中で止めることができ、インバータ直流電圧 V_{dc} が低い状態で遅延時間の計測を行える。

[0231] この方法では、遅延時間の計測中にインバータ直流電圧 V_{dc} が変動することが考えられる。しかし、インバータ直流電圧 V_{dc} に大きく影響する特性は出力電流の微分結果であるため、遅延時間の計測結果への影響は小さい。また、比較器 38a, 38b に任意のヒステリシス特性を持たせ、インバータ直流電圧 V_{dc} が減少したら再度スイッチ SW2 を ON して再充電を行い、インバータ直流電圧 V_{dc} の変動をある一定の範囲内に制限しても良い。

[0232] 以上示したように、本実施形態 12 によれば、実施形態 10 の作用効果に加え、横流抑制リアクトル $L_1 \sim L_3$ が小さい条件でも、インバータ直流電圧 V_{dc} を下げて遅延特性の測定を行うことによりスイッチング素子 $T_{u1} \sim T_{u3}$, $T_{x1} \sim T_{x3}$ の破壊を防ぐことができる。

[0233] [実施形態 13]

図 23 は、本実施形態 13 のスイッチング素子のゲート駆動回路を示す回路構成図である。図 23 では代表してスイッチング素子 T_{x2} のゲート駆動回路のみを示している。この回路は、一般的なゲート駆動回路に比べて以下の変更を行っている。

[0234] 正側の電源として V_a , V_b の異なる電圧を出力する電源を使用する。ここで、 $V_a > V_b$ を想定している。

[0235] スwitch SW3 は、電力変換回路の運転状態が積分アンプ $I_1 \sim I_4$ の初期値を決定する試運転時以外の通常の使用なら ON となる。スイッチ SW4 は、インバータ運転が横流抑制制御ブロック 33 における積分アンプ $I_1 \sim I_4$ の適切な初期値を求める試運転時であれば ON となる。

[0236] 図 24 は、実施形態 13 の初期値決定ブロックを示し、カウンタ 36a ~ 36f が動作する条件にインバータユニット 1 ~ 3 の出力電流検出値 $I_{invU1det}$, $I_{invU2det}$, $I_{invU3det}$ の大きさを追加し

ている。それ以外は実施形態10と同様である。

- [0237] 比較器39a, 39b, 39cにおいて、インバータユニット1~3の出力電流検出値 $I_{invU1det}$, $I_{invU2det}$, $I_{invU3det}$ が予め設定された電流閾値 I_{th1} よりも大きいことを検出する。
- [0238] 比較器40a, 40b, 40cにおいて、微分器sTの微分結果が閾値 $-\beta$ よりも大きいことを検出する。
- [0239] また、AND素子AND6~AND11の動作を実施形態10に対して以下のように変更する。
- [0240] AND素子AND6は、ゲート信号Gu1が「1」、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ が電流閾値 I_{th1} 以下、かつ、 $I_{invU1det}$ の微分結果が閾値 β 以下の時に「1」を出力する。
- [0241] AND素子AND7は、ゲート信号Gu1が「0」、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ が電流閾値 I_{th1} より大きく、かつ、インバータユニット1の出力電流検出値 $I_{invU1det}$ の微分結果が閾値 $-\beta$ よりも大きい時に「1」を出力する。
- [0242] AND素子AND8は、ゲート信号Gu2が「1」、かつ、インバータユニット2の出力電流検出値 $I_{invU2det}$ が電流閾値 I_{th1} 以下、かつ、インバータユニット2の出力電流検出値 $I_{invU2det}$ の微分結果が閾値 β 以下の時に「1」を出力する。
- [0243] AND素子AND9は、ゲート信号Gu2が0、かつ、インバータユニット3の出力電流検出値 $I_{invU2det}$ が電流閾値 I_{th1} より大きく、かつ、インバータユニット3の出力電流検出値 $I_{invU2det}$ の微分結果が閾値 $-\beta$ より大きいとき「1」を出力する。
- [0244] AND素子AND10は、ゲート信号Gu3が1、かつ、インバータユニット3の出力電流検出値 $I_{invU3det}$ が電流閾値 I_{th1} 以下、かつ、インバータユニット3の出力電流検出値 $I_{invU3det}$ の微分結果が閾値 β 以下の時に「1」を出力する。
- [0245] AND素子AND11は、ゲート信号Gu3が0、かつ、インバータユニ

ット3の出力電流検出値 $I_{invU3det}$ が電流閾値 I_{th1} より大きく、かつ、インバータユニット3の出力電流検出値 $I_{invU3det}$ の微分結果が閾値 $-\beta$ よりも大きいときに「1」を出力する。

[0246] 本実施形態13も実施形態12と同様に、小さな横流抑制リアクトル $L_1 \sim L_3$ でもスイッチング素子を破壊せずに、積分アンプの初期を求める遅延時間の計測を行えるようにした方式である。本実施形態13はゲート駆動回路の正側の電圧を下げることでスイッチング素子の電圧降下を大きくし、各インバータユニットの出力電流に制限を設けた方式である。

[0247] 図23に示すゲート駆動回路について説明する。ここでは、 $V_a > V_b$ とし、電源電圧 V_a はIGBTの一般的なゲート駆動電圧（例えば、15V程度）を想定している。試運転時以外の通常運転時における電力変換回路はスイッチ SW_3 をONにし、遅延時間の計測中はスイッチ SW_4 をONする。IGBTの特性として、ゲート電圧を低くするとIGBT通過電流がある値よりも大きくなった時に電圧降下が急激に増加する。このIGBTの素子特性を利用して、遅延時間の計測中にインバータユニットの出力電流の増加を防ぎスイッチング素子を過電流から保護する。

[0248] 図25に本実施形態13におけるインバータユニット1の積分アンプ I_1 , I_3 の初期値を求める動作波形を示す。

[0249] ゲート信号 G_{x2} を「1」にセットし、スイッチング素子 T_{x2} をON状態にするが、この時にスイッチング素子 T_{x2} のゲート駆動回路はスイッチ SW_4 をONし、正側ゲート駆動電圧を一般的な値よりも低い電圧 V_b にする。この状態で、ゲート信号 G_{u1} にパルスのON指令をセットする。ただし、測定対象のスイッチング素子 T_{u1} のゲート駆動回路はスイッチ SW_3 をONし、正側ゲート駆動電圧は V_a にして試運転以外の通常運転時と同じ条件にする。これは、ゲート駆動電圧を下げてしまうとスイッチング動作の時間が延び、遅延時間を正しく計測できないためである。

[0250] スwitchング素子 T_{u1} がONすると、インバータユニット1の出力電流 I_{invU1} は増加するが、ある程度の大きさに達するとスイッチング素子

$T \times 2$ の電圧降下が急増し、インバータユニット1の出力電流 I_{invU1} の増加が止まる。

[0251] インバータユニット1の出力電流 I_{invU1} はスイッチング素子 $T \times 2$ ではなくスイッチング素子 $Tu2$ に接続された逆並列ダイオードを通過する。この時、図25に示すように、カウンタ36aではゲート信号 G_{u1} が「1」になってからインバータユニット1の出力電流検出値 $I_{invU1det}$ が増加し始めるまでの時間を計測する。インバータユニット1の出力電流 I_{invU1} の増加が止まったら、ゲート信号 $G \times 2$ を「0」にセットし、スイッチング素子 $T \times 2$ をOFFする。

[0252] その後、ゲート信号 G_{u1} を「0」にしてスイッチング素子 $Tu1$ をOFFする。すると、インバータユニット1の出力電流 I_{invU1} は減少し始める。カウンタ36bではゲート信号 G_{u1} が「0」になってからインバータユニット1の出力電流が減少し始めるまでの時間を測定する。

[0253] 以上は、スイッチング素子 $Tu1$ の遅延特性を測定する場合である。スイッチング素子 $T \times 1$ 、 $T \times 2$ 、 $T \times 3$ の遅延特性を測定する場合、スイッチング素子 $Tu1$ 、 $Tu2$ 、 $Tu3$ のゲート駆動回路のスイッチSW4をONして正側ゲート電圧を下げ、スイッチング素子 $T \times 1$ 、 $T \times 2$ 、 $T \times 3$ の正側ゲート電圧は試運転時以外の通常運転時と同じ値になるようスイッチSW3をONする必要がある。

[0254] 図23では、遅延時間計測用の電圧 V_b として遮断試験用の電源を別途用意したが、この電源 V_b は電源 V_a の抵抗やツェナーダイオードの分圧によって得られた電圧を使用しても良い。スイッチング素子 $Tu1$ の遅延時間計測中はスイッチング素子 $T \times 2$ を常時ONすれば良く、スイッチング素子 $T \times 2$ のスイッチングは零電流の時に行うため、スイッチング素子 $T \times 2$ のスイッチング動作に時間がかかっても問題が生じない。そのため、分圧に使用する抵抗として値の大きなものを用いることができ、ゲート駆動回路の部品の発熱を抑制することができる。

[0255] スwitchング素子の通過電流が増加するとスイッチング素子の電圧降下（

エミッターコレクタ間の電圧飽和) $V_{ce(sat)}$ が急増した時に帰還容量を通してゲート駆動回路が充電されるが、電源 V_a を分圧する抵抗の値が大きすぎるとゲート駆動回路の放電よりも充電のスピードが上回り、ゲート電圧が増加してしまうため電流低減効果が低下する。これを見越してゲート電圧をもっと低い値にしても良い。

[0256] 以上示したように、本実施形態 13 によれば、実施形態 10 と同様の作用効果を奏し、さらに、以下の作用効果を奏する。

[0257] 横流抑制リアクトル $L_1 \sim L_3$ が小さい条件でも、ゲート電圧を下げ、スイッチング素子の電圧降下を増加して遅延時間の計測を行うことにより、スイッチング素子の通過電流増加に制限を設け、スイッチング素子の破壊を防ぐことができる。

[0258] また、遅延時間計測用のゲート電圧 V_b は抵抗やツェナーダイオードによる分圧で準備しても良く、別途電源を準備した場合に比べ部品点数が少なくコストを下げることができる。

[0259] さらに、遮断試験中は最初からゲート電圧が低い状態であるため、過電流を検出してからゲート電圧を下げる方式に比べ制御動作による遅延がなく、スイッチング素子を確実に保護することができる。

[0260] [実施形態 14]

図 26 は、本実施形態 14 の 1 相あたりのキャリア三角波 V_{carry} の周波数 (キャリア周波数 f_c) を決定するブロックを示す。本実施形態 14 では以下の要素が追加されている。

[0261] 比較器 41a は、インバータユニット合計の出力電流検出値 $I_{invUdet}$ と予め設定された電流閾値 I_{th2} とを比較し、インバータユニット合計の出力電流検出値 $I_{invUdet}$ が電流閾値 I_{th2} よりも大きいとき「1」を出力する。比較器 41b は、インバータユニット合計の出力電流検出値 $I_{invUdet}$ と電流閾値 $-I_{th2}$ とを比較し、インバータユニット合計の出力電流検出値 $I_{invUdet}$ が電流閾値 $-I_{th2}$ よりも小さいとき「1」を出力する。

- [0262] AND素子AND 15は、電力変換回路の運転指令信号と比較器4 1 aの出力信号を入力し、運転指令信号ありで、かつ、比較器4 1 aの出力が真の時に「1」を出力する。AND素子AND 16は、電力変換回路の運転指令信号と比較器4 1 bの出力信号を入力し、運転指令信号ありで、かつ、比較器4 1 bの出力が真の時に「1」を出力する。
- [0263] OR素子OR 1は、AND素子AND 15の出力が「1」、または、バッファ4 5 aの出力が1の時に「1」を出力する。OR素子OR 2はAND素子AND 16の出力が「1」、または、バッファ4 5 bの出力が「1」の時に「1」を出力する。前記OR素子OR 1, OR 2の出力はバッファ4 5 a, 4 5 bにそれぞれ格納される。
- [0264] 時間カウンタ4 2 a, 4 2 bは、OR素子OR 1, OR 2の出力が「1」になってからの時間をそれぞれ計測し、時間 t_1 , t_2 として出力する。
- [0265] 比較器4 3 a, 4 3 bは、前記時間 t_1 , t_2 が0を超え、予め設定された閾値（ここでは、キャリア周波数の1周期 $1/f_c$ を指定）以下の時に「1」を出力する。
- [0266] OR素子OR 3は、比較器4 3 a, 4 3 bの出力のうち少なくとも一方が「1」の時に「1」を出力する。スイッチSW5は、前記OR素子OR 3の出力が「0」ならば上側に切り替わって、通常時のキャリア周波数 f_c を出力し、OR素子OR 3の出力が「0」であれば下側に切り替わって、通常時よりも高いキャリア周波数（ここではキャリア周波数の f_c の4倍の $4f_c$ ）を出力する。
- [0267] 発振器4 4は、前記スイッチSW5の出力を周波数指令として入力し、指令通りの周波数のキャリア三角波 V_{carry} を出力する。発信器4 4から出力されたキャリア三角波 V_{carry} は、例えば、図15のPWMブロック21や頂点検出ブロック22に入力される。
- [0268] 本実施形態14では、試運転を行わずに電力変換回路の運転を開始し、運転後に最初にインバータユニット合計の出力電流 I_{invU} が大きくなった時点でキャリア周波数 f_c を引き上げ、横流電流抑制制御にかかる時間を短

縮する方式である。

[0269] まず、インバータユニット合計の出力電流 I_{invU} を検出し、電流閾値 I_{th2} 、 $-I_{th2}$ と比較する。通常、電流閾値 I_{th2} 、 $-I_{th2}$ は零であり、電力変換回路の運転開始と同時にキャリア周波数 f_c の引き上げを行う。しかし、実施形態6のようにインバータユニット合計の出力電流 I_{invU} が小さい時は横流電流抑制制御を停止している場合、インバータユニット合計の出力電流が大きくなってからキャリア周波数 f_c を増加する必要がある。この場合、電流閾値 I_{th2} 、 $-I_{th2}$ は、例えば定格電流をユニット台数で除算した値とすれば、横流電流抑制制御前にインバータユニット合計の出力電流 I_{invU} がユニット1台に集中してもインバータユニットは破損しない。

[0270] インバータユニット合計の出力電流 I_{invU} が大きくなると、その時点からキャリア周波数の1周期 $1/f_c$ の間はスイッチ $SW5$ が下に切り替わり、キャリア周波数 f_c が例えば4倍に増加する。これによりキャリア三角波の頂点が現れる間隔も $1/4$ 倍になり、図15に示すゲート遅延指令値演算ブロック23が動作する頻度も4倍になるため、横流電流抑制制御は通常の $1/4$ の時間で完了する。以降は横流電流抑制制御が完了した状態となり、横流電流を抑制することができる。

[0271] ただし、インバータユニット合計の出力電流 I_{invU} の向きが逆になると、導通するスイッチング素子が替わり、そのスイッチング素子に対応する遅延特性の横流電流抑制制御は完了していない。そのため、インバータユニット合計の出力電流 I_{invU} が逆向きになり大きくなると、再度キャリア周波数を増加して横流電流抑制制御時間の短縮を促す。図26ではインバータユニット合計の出力電流検出値 $I_{invUdet}$ の符号が正の場合と負の場合で両方とも確認する。

[0272] 本実施形態14では、一時的にキャリア周波数 f_c を増加するため、スイッチング損失が増加する。しかし、キャリア周波数 f_c の増加前はインバータユニット1～3に流れている電流がほぼ零の状態で損失が小さくスイッチ

ング素子が冷えていること、キャリア周波数 f_c の増加が短時間であること、そのときのインバータユニット合計の出力電流 I_{invU} も定格電流と比較して小さいことから、スイッチング素子は発熱に耐えることができインバータユニット 1～3 が故障することはない。

[0273] また、実施形態 14 では、1 相ごとに異なるキャリア三角波 V_{carry} を用いることを想定している。ただし、熱責務に余裕があれば 3 相同じキャリア三角波 V_{carry} を使用し、どれか 1 相のインバータユニット合計の出力電流 I_{invU} が増加する度に 3 相すべてのキャリア周波数 f_c を増加しても良い。

[0274] 実施形態 14 では OR 素子 OR 1, OR 2 の出力を保持するバッファ 45 a, 45 b のリセット手段を用意していないため、いったんキャリア周波数 f_c を増加したら、その後インバータユニット合計の出力電流 I_{invU} が減少したり電力変換回路を停止させたりした場合でも再びキャリア周波数 f_c が増加することはない。これは、一度だけゲート遅延指令値演算ブロック 23 の積分アンプ $I_1 \sim I_4$ の値を求めるためであり、その後は電力変換回路を停止しても積分アンプ $I_1 \sim I_4$ の設定値が保持されているため、次回は保持された設定値を使用して横流電流抑制制御を行うことができ、キャリア周波数 f_c を増加する必要がない。

[0275] 例えば、故障によりインバータユニットを交換する場合は制御回路の電源も切ることを想定しており、そのときは積分アンプ $I_1 \sim I_4$ の値が消えるが、同時に OR 素子 OR 1, OR 2 の出力を保持するバッファ 45 a, 45 b もリセットされるため、その後の再運転でキャリア周波数 f_c が一時的に増加して横流電流抑制制御の時間を短縮することができる。

[0276] ただし、別途リセット手段を用意し、例えばユニット過電流が発生した時にリセットを行い、再運転時に横流電流抑制制御を促しても良い。

[0277] 以上示したように、本実施形態 14 によれば、電力変換回路の運転中にキャリア周波数 f_c を増加して積分アンプ $I_1 \sim I_4$ の初期値が求まるまでの時間を短縮するため、電力変換回路の運転を開始して最初に電流が増加した

時の横流電流を抑制することができ、試運転による横流電流抑制制御が不要となる。

- [0278] また、キャリア周波数 f_c の増加は短時間で、いったん横流電流抑制制御が完了すれば電力変換回路を停止しても再度キャリア周波数 f_c を増加する必要がないため、通常運転時の損失には影響を与えない。

請求の範囲

[請求項1] スイッチング素子を有する直流電圧源にインバータユニットを並列接続した電力変換回路における横流電流を抑制する横流電流抑制制御装置であって、
横流電流抑制制御装置は、

 スイッチング半周期に1回動作し、立ち上がりのゲート遅延指令値と、立ち下りのゲート遅延指令値とを演算するゲート遅延指令値演算部と、

 前記立ち上がりのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち上がり遅延付加器と、前記立ち下りのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち下り遅延付加器と、を各インバータユニットの各相にそれぞれ設け、

 前記ゲート遅延指令値演算ブロックは、インバータユニット出力電流指令値とインバータユニット出力電流検出値との偏差を横流電流としてゲインを乗算する比例アンプと、各スイッチング素子のターンON、ターンOFFごとでかつ前記各インバータユニット出力電流検出値の符号とゲート指令値の符号との論理積結果が真値であるときに閉動作する第1スイッチにより前記横流電流を入力する積分アンプと、この積分アンプからの信号を入力して前記各インバータユニット出力電流検出値の符号で閉動作する第2スイッチと、を備え、

 比例アンプと前記第2スイッチとの出力を加算して、立ち上がりのゲート遅延指令値と立ち下りのゲート遅延指令値を出力することを特徴とする電力変換回路の横流電流抑制制御装置。

[請求項2] 直流電圧源にインバータユニットを並列接続した電力変換回路における横流電流を抑制する横流電流抑制制御装置であって、
横流電流抑制制御装置は、

 スイッチング半周期に1回動作し、立ち上がりのゲート遅延指令値と、立ち下りのゲート遅延指令値とを演算するゲート遅延指令値演

算部と、

前記立ち上がりのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち上がり遅延付加器と、

前記立ち下がりゲートのゲート遅延指令値をゲート指令値または電圧指令値に付加する立ち下がり遅延付加器と、が各インバータユニットの各相にそれぞれ設けられ、

前記ゲート遅延指令値演算ブロックは、

インバータユニット出力電流指令値とインバータユニット出力電流検出値との偏差を横流電流としてゲインを乗算する比例アンプと、

各スイッチング素子に対応して設けられ、インバータユニット出力電流検出値の符号で動作する第1スイッチで前記横流電流を入力する積分アンプと、この積分アンプからの信号を入力してインバータユニット出力電流検出値の符号で動作する第2スイッチと、を備え、比例アンプと積分アンプとの出力を加算して、立ち上がりのゲート遅延指令値と立ち下がりゲートのゲート遅延指令値を出力することを特徴とする電力変換回路の横流電流抑制制御装置。

[請求項3] 横流電流の絶対値が設定値以下の時、比例アンプの出力を零とし、積分アンプの更新を停止させ、横流電流の絶対値が設定値以上の時、前記絶対値から設定値を減算した値を比例アンプと積分アンプの入力とすることを特徴とする請求項1または2記載の電力変換回路の横流電流抑制制御装置。

[請求項4] 前記インバータユニット出力電流指令値は、インバータ出力電流検出値をインバータユニットの台数で除算した値とすることを特徴とする請求項1～3のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。

[請求項5] 前記インバータユニット出力電流指令値は、ある別のインバータユニットの出力電流検出値とすることを特徴とする請求項1～3のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。

- [請求項6] 前記インバータユニット出力電流検出値が設定値以下の時、比例アンプの出力を零とし、積分アンプの更新を停止させ、前記インバータ出力電流検出値の絶対値が設定値以上の時、前記絶対値から設定値を減算した値を比例アンプと積分アンプの入力とし、
- 前記インバータユニット出力電流指令値と前記インバータユニット出力電流検出値との偏差が零となるように比例積分演算を行い、比例積分演算結果と、比例アンプと、積分アンプの出力の加算値をゲート遅延指令値とすることを特徴とする請求項1～5記載の電力変換回路の横流電流抑制制御装置。
- [請求項7] 前記比例積分演算には、前記インバータユニット出力電流指令値と前記インバータユニット出力電流検出値の実効値を用いることを特徴とする請求項6記載の電力変換回路の横流電流抑制制御装置。
- [請求項8] 前記比例積分演算には、前記インバータユニット出力電流指令値と前記インバータユニット出力電流検出値における基本波1周期あたりの絶対値の電流平均値を用いることを特徴とする請求項6記載の電力変換回路の横流電流抑制制御装置。
- [請求項9] 前記インバータ出力電流の絶対値がしきい値よりも小さい時は、積分アンプの更新を停止することを特徴とする請求項1～8のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。
- [請求項10] 前記ゲート遅延指令値演算ブロックを、キャリア三角波の頂点時に動作させることを特徴とする請求項1～9のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。
- [請求項11] 前記ゲート遅延指令値演算ブロックを、ゲート指令値が変化した時に動作させることを特徴とする請求項1～9のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。
- [請求項12] 前記各インバータユニットは、マルチレベルインバータであることを特徴とする請求項1～11のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。

- [請求項13] キャリア三角波の半周期でスイッチング回数が1回でなかった場合、積分アンプの更新を停止することを特徴とする請求項1～12のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。
- [請求項14] 電力変換回路の試運転時には、積分アンプの初期値設定開始時にはゲート指令に遅延を加えず、そのまま出力し、
- 電力変換回路の試運転時において、遅延時間計測対象外の1つのインバータユニットの1つのスイッチング素子をオンにした状態で、遅延時間計測対象のインバータユニットの1つのスイッチング素子にパルスのオン指令を出力し、前記2つのスイッチング素子と横流抑制リアクトルとを含む閉回路を形成し、前記遅延時間計測対象のインバータユニットにおいて、ゲート信号がオンとなってからインバータユニット電流検出値の微分結果が閾値を超えるまでの時間および、ゲート信号がオフとなってからインバータユニット電流検出値の微分結果が閾値を下回るまでの時間を計測し、その時間を積分アンプの初期値とし、
- 電力変換回路の試運転時から通常運転時に変更されたとき、積分アンプの値をリセットし、前記初期値の値を積分アンプに入力することを特徴とする請求項1～12のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。
- [請求項15] 電力変換回路の試運転時において、インバータユニット電流検出値の検出に使用する電流検出器を、全てのインバータユニットにおいて特定のインバータユニットのものを使用することを特徴とする請求項14記載の電力変換回路の横流電流抑制制御装置。
- [請求項16] 電力変換回路の試運転時において、遅延時間を計測する際にインバータユニットの直流電圧を通常運転時よりも低くすることを特徴とする請求項1～15のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。
- [請求項17] 電力変換回路の試運転時において、前記オン状態とする遅延時間計

測対象以外のうち、1つのインバータユニットのスイッチング素子におけるゲート駆動回路の正側の電圧を下げ、スイッチング素子の電圧降下を通常運転時よりも高くすることを特徴とする請求項1～16のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。

[請求項18] 電力変換回路の運転開始またはインバータユニット合計の出力電流が電流閾値を超えてから一定の期間、PWMキャリア周波数を増加することを特徴とする請求項1～13のうち何れか1項に記載の電力変換回路の横流電流抑制制御装置。