

形成导电互连结构的方法

技术领域

本公开属于半导体制造技术领域，具体涉及一种形成导电互连结构的方法。

背景技术

在半导体制造过程中，通过后段工艺（Back End Of Line, BEOL）制作金属互连结构，以对集成电路进行布线。通常，金属互连结构包括若干金属互连层，不同层的金属互连层之间通过导电通路（via）来实现电连接。

随着集成电路中导线间距和线宽的逐渐减小，亟需提供一种能够在金属互连层之间形成良好导电接触的导电通路的方法。

发明内容

本公开实施例公开了一种形成导电互连结构的方法，以解决相关技术中难以形成良好导电接触的导电通路的问题。

为了解决上述技术问题，本公开实施例公开了一种形成导电互连结构的方法，包括：

在导电层上形成预定掩膜图案；

对第一掩膜图案进行掺杂，以在所述第一掩膜图案中形成预定深度的掺杂区域，其中，所述第一掩膜图案为已掺杂的所述预定掩膜图案，第二掩膜图案为未掺杂的所述预定掩膜图案；其中，所述掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率；

利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，以形成导电互连结构；其中，对应于所述第二掩膜图案的区域的导电线的高度

高于对应于所述第一掩膜图案的区域的导电线的高度，对应于所述第二掩膜图案的区域的导电线形成导电通路。

一些实施例中，所述利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，包括：

在利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀的同时，对所述第一掩膜图案和所述第二掩膜图案进行刻蚀；

其中，所述导电层与所述预定掩膜图案中的未掺杂区域之间的刻蚀选择比小于预定值。

一些实施例中，所述在利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀的同时，对所述第一掩膜图案和所述第二掩膜图案进行刻蚀的步骤包括如下阶段：

当所述第一掩膜图案中的所述掺杂区域被刻蚀去除时，所述第二掩膜图案被部分刻蚀，且未被所述预定掩膜图案覆盖的所述导电层也同时被部分刻蚀；

当所述第一掩膜图案被完全去除时，所述第二掩膜图案也被相应刻蚀，且未被所述预定掩膜图案覆盖的所述导电层也同时被继续刻蚀；

当所述第二掩膜图案被完全去除时，未被所述预定掩膜图案覆盖的所述导电层被完全去除，以形成若干所述导电线，对应于所述第一掩膜图案的区域的所述导电层被部分刻蚀，对应于所述第二掩膜图案的区域的所述导电层的高度高于对应于所述第一掩膜图案的区域的导电线的高度，对应于所述第二掩膜图案的区域的导电线作为所述导电通路。

一些实施例中，所述利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，包括：

去除所述第一掩膜图案中的所述掺杂区域；

对剩余的所述第一掩膜图案和所述第二掩膜图案进行刻蚀，以完全去除

所述第一掩膜图案；

在去除剩余的所述第二掩膜图案的同时，去除所述第一掩膜图案所在区域的部分所述导电层，以在对应于所述第二掩膜图案的区域的所述导电线中形成导电通路。

一些实施例中，在刻蚀去除所述第一掩膜图案和所述第二掩膜图案的同时，对未被所述预定掩膜图案覆盖的所述导电层进行刻蚀。

一些实施例中，在去除所述第一掩膜图案中的所述掺杂区域之前，所述方法还包括：

利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，以形成所述导电线；或者

在去除所述第一掩膜图案中的所述掺杂区域之后，所述方法还包括：

利用剩余的所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，以形成所述导电线。

一些实施例中，所述在导电层上形成预定掩膜图案，包括：

在所述导电层上形成芯层；

在所述芯层的侧壁形成间隔壁，所述间隔壁作为所述预定掩膜图案。

一些实施例中，所述对第一掩膜图案进行掺杂，包括：

对第一间隔壁进行掺杂，以在所述第一间隔壁中形成预定深度的掺杂区域，其中，所述第一间隔壁为已掺杂的所述间隔壁，第二间隔壁为未掺杂的所述间隔壁。

一些实施例中，所述对第一间隔壁进行掺杂，包括：

在所述导电层上形成平坦化层，以填充所述间隔壁之间的区域；

对所述平坦化层进行平坦化处理，以暴露所述芯层和所述间隔壁；

在所述平坦化层表面形成掩膜层，以遮挡所述第二间隔壁；

对未被遮挡的所述第一间隔壁进行离子注入。

一些实施例中，所述平坦化层为 SOC 材料；或者

所述离子注入所注入的元素为 Ge。

一些实施例中，所述方法还包括：

去除所述芯层和所述平坦化层。

一些实施例中，在去除所述芯层和/或所述平坦化层的同时，去除所述第一间隔壁的所述掺杂区域。

一些实施例中，所述导电层与所述芯层和所述平坦化层之间还包括硬掩膜层，所述去除所述芯层和所述平坦化层，包括：

以所述硬掩膜层为刻蚀停止层，去除所述芯层和所述平坦化层。

一些实施例中，所述利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，包括：

以所述第一间隔壁和所述第二间隔壁为掩膜，去除未被所述第一间隔壁和所述第二间隔壁覆盖的所述硬掩膜层和所述导电层。

一些实施例中，所述导电层下方还包括衬垫层，所述以所述第一间隔壁和所述第二间隔壁为掩膜，去除未被所述第一间隔壁和所述第二间隔壁覆盖的所述硬掩膜层和所述导电层，还包括：

去除未被所述第一间隔壁和所述第二间隔壁覆盖的所述衬垫层。

一些实施例中，所述衬垫层包括 TiN、TaN、Al、Cu、Ni、Co、Ru、Ti、Ta 中的至少一个。

一些实施例中，所述导电层为金属导电层；或者

所述导电层包括 Ru、Co、Mo、W、Al、Rh 中的至少一个。

一些实施例中，所述在导电层上形成预定掩膜图案，包括：

采用自对准多重图案化的方式来形成所述预定掩膜图案。

在本公开实施例提供的形成导电互连结构的方法中，通过对预定掩膜图案进行掺杂，使得预定掩膜图案中的掺杂区域的刻蚀速率大于未掺杂区域的

刻蚀速率，从而可以通过后续的刻蚀工序形成了不同高度的导电线，对应于第二掩膜图案的区域的导电线的高度高于对应于第二掩膜图案的区域的导电线的高度，从而形成了导电通路。导电通路是采用自对准工艺形成的，不会出现相关技术中采用镶嵌工艺所可能产生的导电通路与导电线之间的对准偏差的问题，同时较之相关技术中的减法刻蚀工艺，工艺步骤较少，且无需精密的掩膜图案。

附图说明

图1示出了相关技术中的一种形成金属互连结构的方法的示意图；

图2示出了相关技术中的另一种形成金属互连结构的方法的示意图；

图3至图11分别示出了根据本公开实施例提供的形成导电互连结构的方法中各个步骤所分别对应的半导体结构的示意图；

图12至图20分别示出了根据本公开另一实施例提供的形成导电互连结构的方法中各个步骤所分别对应的半导体结构的示意图。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本领域技术人员应当理解，本公开实施例仅是对可以以各种形式来实施本公开所请求保护的结构和方法的说明。此外，结合各种实施例给出的每个示例旨在是说明性的，而不是限制性的。此外，附图不一定按比例绘制，一些特征可能被夸大以显示特定组件的细节。因此，本公开实施例中的具体结构和功能细节不应被解释为限制性的，而仅仅是作为教导本领域技术人员以

不同方式采用本公开实施例的方法和结构的代表性基础。 还应注意,相同和对应的元素由相同的附图标记表示。

在下文的描述中,阐述了许多具体细节,例如特定结构、组件、材料、尺寸、处理步骤和技术,以便提供对本公开的各种实施例的理解。然而,本领域技术人员应当理解,可以在没有这些具体细节的情况下实践本公开的各种实施例。 在其他情况下,未详细描述众所周知的结构或处理步骤,以避免混淆本公开。

出于下文描述的目的,术语“上”、“右”、“左”、“垂直”、“水平”、“顶部”、“底部”及其派生词应与说明书附图所公开的结构和方法中的定向有关。应当理解,当作为层、区域或衬底的元素被称为在另一元素上时,该元素可以直接在另一元素上,或者也可以存在中间元素。相反,当一个元素被称为直接在另一元素上时,两者之间不存在中间元素。还应当理解,当一个元素被称为在另一元素下时,该元素可以直接在另一元素下,或者也可以存在中间元素。相反。当一个元素被称为直接在另一元素下时,两者之间不存在中间元素。

相关技术中提供了一种形成金属互连结构的方法,如图1所示,该方法采用镶嵌(damascene)工艺在金属互连线11上形成绝缘层,在绝缘层中形成通孔(viahole),然后在通孔内填充金属从而形成导电通路12,导电通路12用于使当前的金属互连线11与上层的金属互连线之间实现电连接。然而,该方法一方面在形成通孔的时候,难以与下方的金属互连线11对准,尤其在导线线宽很窄的情况;另一方面金属互连线可能存在线摆动(line wiggling)现象,从而导致导电通路12与金属互连线11之间对准存在偏差,增大了金属互连结构的阻抗。

相关技术中还提供了一种形成金属互连结构的方法,如图2所示,该方法采用减法刻蚀(subtractive etch)工艺,在需要形成导电通路的位置形成

掩膜图案 13，然后对金属互连线进行刻蚀，未被刻蚀的部位高于已被刻蚀的部位，未被刻蚀的部位作为导电通路。然而，该方法在导线间距（pitch）非常紧密的时候，需要形成精密的掩膜图案 13，若掩膜图案 13 存在偏差，则可能导致在不希望形成导电通路的位置形成了不被期望的导电通路。

下面将结合附图，对本公开实施例公开的技术方案进行详细说明。

为了解决上述技术问题，本公开实施例提供了一种形成导电互连结构的方法，该方法可以包括如下步骤。

S11、在导电层上形成预定掩膜图案。

图 3 所示的半导体结构包括衬底 100、形成在衬底 100 上的衬垫层(liner) 110、形成在衬垫层 110 上的导电层 120、形成在导电层 120 上的硬掩膜层 130、形成在硬掩膜层 130 上的预定掩膜图案 140。

衬底 100 可以由含硅材料组成。含硅材料包括但不限于硅、单晶硅、多晶硅、SiGe、单晶 SiGe、多晶 SiGe 或掺碳硅(Si:C)、非晶硅等中的一种或多种的组合，衬底 100 也可以是单层，也可以是多层。衬底 100 也可由其他半导体材料如锗(Ge)和化合物半导体衬底组成，该化合物半导体衬底例如可以是 III-V 型半导体衬底，如砷化镓(GaAs)等。

衬垫层 110 可以由溅射、化学气相沉积（Chemical Vapor Deposition，简称 CVD）或原子层沉积（Atomic Layer Deposition，简称 ALD）等方法形成，衬垫层 110 可以包括氮化钛（TiN）或氮化钽（TaN）等导电材料。在一些实施例中，衬垫层 110 也可以由其他导电材料组成，例如铝（Al）、铜（Cu）、镍（Ni）、钴（Co）、钌（Ru）、钛（Ti）、钽（Ta）或其组合。

导电层 120 可以是金属导电层，也可以是非金属导电层。在本公开实施例的一些实施方式中，导电层 120 为金属导电层，可以包括钌（Ru）、钴（Co）、钼（Mo）、钨（W）、铝（Al）或铑（Rh）或其合金。导电层 120 可以使用例如 CVD、等离子体增强 CVD（Plasma Enhance Chemical Vapour Deposition，

简称 PECVD)、物理气相沉积 (Physical Vapor Deposition, 简称 PVD) 或其他沉积工艺来形成。

硬掩模层 130 是在半导体工艺中用作刻蚀掩模的材料, 其例如可以用于在后续对预定掩膜图案 140 进行刻蚀处理时, 保护导电层 120 不被刻蚀。硬掩模层 130 可以由金属或介电材料组成, 例如氮化硅、氧化硅或氮化硅和氧化硅的组合等, 其可以使用例如低压化学气相沉积 (Low Pressure Chemical Vapor Deposition, 简称 LPCVD) 等工艺来形成。

预定掩膜图案 140 可以由任何介电材料组成, 例如介电氧化物、介电氮氧化物和/或介电氮氧化物。在一些实施例中, 掩膜图案 140 可以由非导电的低电容介电材料组成, 例如二氧化硅。为了得到更为精细的掩膜图案 140, 可以采用自对准多重图案化的方式来形成, 例如自对准双重图案化或自对准四重图案化的方式来形成。

本领域技术人员应当理解, 在上文的介绍中, 衬底 100、衬垫层 110 和硬掩模层 130 是可选的, 在本公开实施例的一些实施方式中, 也可以不形成衬底 100、衬垫层 110 和硬掩模层 130 中的一者或多者。

需要说明的是, 在图 3 的示例中, 衬底 100 与导电层 120 之间还可以存在其他层, 本公开实施例并不限定导电层 120 所在的金属互连层为最下方的金属互连层, 其可以是任意一层互连层。也就是说, 与导电层 120 直接接触的可以是其他金属互连层。

S12、对第一掩膜图案进行掺杂, 以在第一掩膜图案中形成预定深度的掺杂区域, 其中, 第一掩膜图案为已掺杂的预定掩膜图案, 第二掩膜图案为未掺杂的预定掩膜图案。

如图 4 所示, 多个预定掩膜图案中, 有些预定掩膜图案形成有预定深度的掺杂区域 (由图 4 中的阴影部分表示), 这些预定掩膜图案均为第一掩膜图案; 其余的预定掩膜图案没有形成掺杂区域 (即, 不存在阴影部分), 为第二

掩膜图案。

在一些实施例中，可以利用离子注入等方式来对第一掩膜图案 141 进行掺杂，例如可以向第一掩膜图案 141 注入 Ge，通过控制离子注入的注入能量和注入剂量，可以精确控制离子注入的注入深度。在下文中可以看到，离子注入深度与后续要形成的导电通路 (via) 的高度相关。在后续的刻蚀工艺中，经过离子注入后的区域的刻蚀速率高于未经离子注入的区域的刻蚀速率，即，掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率。

在进行掺杂工艺时，可以利用光刻胶（未示出）来遮挡无需掺杂的区域，从而能够得到第一掩膜图案 141 和第二掩膜图案 142。

S13、利用第一掩膜图案和第二掩膜图案对导电层进行刻蚀，以形成导电互连结构；其中，对应于第二掩膜图案的区域的导电线的高度高于对应于第一掩膜图案的区域的导电线的高度，对应于第二掩膜图案的区域的导电线形成为导电通路。

也就是说，对应于第二掩膜图案的区域的导电线的高度相比于对应于第一掩膜图案的区域的导电线较高，形成为导电通路。

容易理解的是，在刻蚀上述导电层的过程中，硬掩膜层 130 的未被第一掩膜图案和第二掩膜图案覆盖的部分被完全刻蚀。

上述步骤 S13 可以采用一步刻蚀的方式，也可以采用分步刻蚀的方式。出于清楚起见，在本文中先详细描述分步刻蚀的方式。

在本公开实施例的一些实施方式中，上述步骤 S13 可以包括：

S131、去除第一掩膜图案中的掺杂区域。

如图 5 所示，可以利用刻蚀工艺来去除第一掩膜图案 141 中的掺杂区域。由于第一掩膜图案 141 的部分区域被掺杂，在进行刻蚀工艺时，掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率，从而可以实现掺杂区域被去除。在一些实施方式中，在刻蚀去除第一掩膜图案 141 的掺杂区域的同时，对未被预

定掩膜图案 140 覆盖的导电层进行刻蚀，以节省工艺步骤。

S132、利用剩余的第一掩膜图案和第二掩膜图案对导电层进行刻蚀，以形成导电线。

如图 6 所示，在此步刻蚀之后，在半导体结构中形成了若干导电线 121。需要说明的是，本公开实施例并不限于此，也可以在步骤 S131 之前，利用第一掩膜图案 141 和第二掩膜图案 142 对导电层 120 进行刻蚀，以形成导电线 121。上述第一掩膜图案 141 和第二掩膜图案 142 未去除掺杂区域。

本领域技术人员应当理解，步骤 S132 是可选的，在一些实施方式中，可以在刻蚀去除第一掩膜图案 141 和第二掩膜图案 142 的同时，对未被预定掩膜图案覆盖的导电层 120 进行刻蚀，从而无需单独的刻蚀形成导电线 121 的步骤，以节省工艺步骤。

S133、对剩余的第一掩膜图案和第二掩膜图案进行刻蚀，以完全去除第一掩膜图案。

如图 7 所示，由于第二掩膜图案 142 的高度大于剩余的第一掩膜图案 141，因此，在第一掩膜图案 141 被完全去除之后，仍然剩余部分第二掩膜图案 142。

S134、在去除剩余的第二掩膜图案的同时，去除第一掩膜图案所在区域的部分导电层，以在对应于第二掩膜图案的区域的导电线中形成导电通路。

在步骤 S133 之后，继续对半导体结构进行刻蚀。在此刻蚀过程中，选用导电线 121 与第二掩膜图案 142 之间的刻蚀选择比较低的刻蚀气体，从而在对剩余的第二掩膜图案 142 进行刻蚀的同时，也对第一掩膜图案 141 被完全去除后暴露出的导电线 121 进行刻蚀，从而在剩余的第二掩膜图案 142 被完全去除之后，第一掩膜图案 141 所在区域的部分导电线也被去除，从而形成了不同高度的导电线 121。对应于第一掩膜图案 141 的区域的导电线的高度较低，而对应于第二掩膜图案 142 的区域的导电线的高度较高，从而形成

了导电通路 123，如图 8 和图 9 所示。

通过上文的描述可知，本公开实施例的主要构思在于，通过对预定掩膜图案进行掺杂，使得预定掩膜图案中的掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率，从而可以通过后续的刻蚀工序形成了不同高度的导电线，对应于第一掩膜图案 141 的区域的导电线的高度较低，对应于第二掩膜图案 142 的区域的导电线的高度较高，从而形成了导电通路 123。基于此构思，为了进一步减少导电互连结构的制造工序，还可以采用一步刻蚀的方式来实现上述步骤 S13，从而降低导电互连结构的制造成本。在本公开实施例的一些实施方式中，上述步骤 S13 可以包括：

在利用第一掩膜图案 141 和第二掩膜图案 142 对导电层 120 进行刻蚀的同时，对第一掩膜图案 141 和第二掩膜图案 142 进行刻蚀；

其中，导电层 120 与预定掩膜图案 140 中的未掺杂区域之间的刻蚀选择比小于预定值。也就是说，导电层 120 与预定掩膜图案 140 中的未掺杂区域之间的刻蚀选择比较小，在对导电层 120 进行去除的同时也会对预定掩膜图案 140 进行刻蚀，通过选择合适的刻蚀气体，可以实现对第二掩膜图案 142 刻蚀完成时，也完全去除了未被预定掩膜图案 14 所覆盖的导电层 120，从而形成若干导电线 121。

下面将分阶段来对该一步刻蚀步骤进行详细描述。

阶段 1、在对图 4 所示的半导体结构进行刻蚀时，当第一掩膜图案 141 中的掺杂区域被刻蚀去除时，由于预定掩膜图案 140 中的掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率，第二掩膜图案 142 被部分刻蚀，例如刻蚀量很少量，对于未被预定掩膜图案 140 覆盖的导电层 120 也有一定的刻蚀作用，即，未被预定掩膜图案 140 覆盖的部分导电层 120 也同时被部分刻蚀，形成了若干凹槽 122，如图 10 所示。

阶段 2、继续对图 10 所示的半导体结构进行刻蚀，当第一掩膜图案 141

被完全去除时，由于剩余的未掺杂的第一掩膜图案 141 的刻蚀速率与第二掩膜图案 142 相同，因此第二掩膜图案 142 也被相应的刻蚀，高度变低。同时，由于导电层 120 与预定掩膜图案 140 中的未掺杂区域之间的刻蚀选择比小于预定值，未被预定掩膜图案 140 覆盖的导电层 120 也同时被继续刻蚀，凹槽 122 的深度变大，如图 11 所示。

阶段 3、继续对图 11 所示的半导体结构进行刻蚀，当第二掩膜图案 142 被完全去除时，未被预定掩膜图案 140 覆盖的导电层 120 则被完全去除，从而形成了若干不同高度的导电线 121。同时，对应于第一掩膜图案 141 区域的导电层 120 被部分刻蚀，对应于第一掩膜图案 141 的区域的导电线的高度较低，对应于第二掩膜图案 142 的区域的导电线的高度高于对应于第一掩膜图案 141 的区域的导电线的高度，对应于第二掩膜图案 142 的区域的导电线，作为导电通路 123，如图 8 和图 9 所示。

在本公开实施例的形成导电互连结构的方法中，通过对预定掩膜图案进行掺杂，使得预定掩膜图案中的掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率，从而可以通过后续的刻蚀工序形成了不同高度的导电线，对应于第二掩膜图案 142 的区域的导电线的高度高于对应于第一掩膜图案 141 的区域的导电线的高度，从而对应于第二掩膜图案 142 的区域的导电线形成了导电通路 123。导电通路 123 是采用自对准工艺形成的，即，在刻蚀过程中，只能对相应膜层未被上层膜层覆盖的暴露部分进行刻蚀，即实现了刻蚀位置的自动对准，不会出现相关技术中采用镶嵌工艺所可能产生的导电通路与导电线之间的对准偏差的问题，同时较之相关技术中的减法刻蚀工艺，工艺步骤较少，且无需精密的掩膜图案。

在下文中，将更加详细地描述本公开实施例提供的形成导电互连结构的方法，该方法可以包括如下步骤。

S101、在导电层上形成芯层 (mandrel)。

如图 12 所示，衬底 100、衬垫层 110、导电层 120、硬掩膜层 130 的具体描述可以参见上文中的相应描述，在此不再赘述。

芯层 150 例如可以由氮化硅 (SiN)、碳氮化硅 (SiCN)、SiOCN、SiBCN 或本领域已知的其他绝缘材料组成。具体而言，可以通过在导电层 120 上沉积一层绝缘层，然后对该绝缘层进行刻蚀工艺而形成。该刻蚀工艺可以是干法刻蚀或激光烧蚀 (laser ablation) 或是本领域任何已知的能够实现选择性去除的工艺，在此不做任何限定。

S102、在芯层的侧壁形成间隔壁 (spacer)，该间隔壁作为预定掩膜图案。

如图 13 所示，间隔壁，也即上文中的预定掩膜图案 140，可以由任何介电材料组成，例如介电氧化物、介电氮化物和/或介电氮氧化物。在一些实施例中，间隔壁 (即预定掩膜图案 140) 可以由非导电的低电容介电材料组成，例如二氧化硅。形成间隔壁 (即预定掩膜图案 140) 的过程可以包括在芯层 150、硬掩膜层 130 暴露表面上沉积诸如氮化硅的绝缘材料，例如可以使用 CVD、等离子体增强化学气相沉积 (PECVD)、物理气相沉积 (PVD) 或其他沉积工艺来沉积。然后，可以使用各向异性蚀刻工艺，其中正向蚀刻速率大于横向蚀刻速率，从而刻蚀去除所沉积的绝缘材料的水平部分，从而形成位于芯层 150 侧壁的间隔壁 (即预定掩膜图案 140)。上文中描述了通过自对准双重图案化形成间隔壁作为预定掩膜图案 140 的过程，本领域技术人员应当理解，采用自对准四重图案化的方式或更多重图案化的方式以形成更精细的预定掩膜图案 140 也是可行的，在此不再赘述。

S103、在导电层上形成平坦化层，以填充间隔壁之间的区域。

S104、对平坦化层进行平坦化处理，以暴露芯层和间隔壁。

如图 14 所示，平坦化层 160 例如可以由旋涂碳 (silicon on carbon, 简称 SOC) 材料制成，可以通过沉积的方式形成在导电层 120 上，例如化学气相沉积等。沉积平坦化层 160 之后，芯层 150 的表面也会被平坦化层 160 覆

盖，因此进行平坦化处理，暴露出芯层 150 的表面，从而实现了填充满间隔壁（即预定掩膜图案 140）之间的区域，并得到了平坦表面，以便后续的工艺步骤。

S105、在平坦化层表面形成掩膜层，以遮挡第二间隔壁。

如图 15 所示，掩膜层 170 形成在平坦化层 160 表面，遮挡第二间隔壁（用作第二掩膜图案 142）。掩膜层 170 对应的区域即为将要形成导电通路的区域。

S106、对未被遮挡的第一间隔壁（用作第一掩膜图案 141）进行离子注入。

如图 16 所示，在经过离子注入之后，在第一间隔壁中形成了预定深度的掺杂区域。不同于图 2 所示的相关技术中，掩膜图案 13 是刻蚀用掩膜，需要精确地形成在对应的位置上，当导线间距低至纳米级时，刻蚀用掩膜图案达到相应的精度工艺难度很大。而在本实施例中，掩膜层 170 是离子注入用掩膜，对于掩膜位置精度要求相对较低，即使掩膜层 170 的位置存在略微偏移，也不会影响对第一间隔壁的离子注入，例如可以通过略微调整离子注入角度等方式来克服掩膜层 170 的位置偏移。

掩膜层 170 例如可以是光刻胶，在完成离子注入工艺之后，可以通过去胶工艺去除掩膜层 170。

S107、去除平坦化层和芯层。

去除掉芯层 150 和平坦化层 160 之后的半导体结构如图 17 所示。在步骤 S107 中，可以以硬掩膜层 130 为刻蚀停止层来去除芯层 150 和平坦化层 160。

在本公开实施例的一些实施方式中，芯层 150 和平坦化层 160 可以同步去除，也可以分步去除。

在本公开实施例的另一些实施方式中，可以在去除芯层 150 和/或平坦化

层 160 的同时，去除第一间隔壁（用作第一掩膜图案 141）的掺杂区域。

S108、以第一间隔壁（用作第一掩膜图案 141）和第二间隔壁（用作第二掩膜图案 142）为掩膜，去除未被第一间隔壁和第二间隔壁覆盖的硬掩膜层 130 和导电层 120。

在本步骤中，可以在一步刻蚀工艺中完成对硬掩膜层 130 和导电层 120 的刻蚀。当然，也可以选择分步分别对完成对硬掩膜层 130 和导电层 120 的刻蚀，从而形成若干导电线 121。

在本公开实施例的一些实施方式中，在去除未被第一间隔壁和第二间隔壁覆盖的硬掩膜层 130 和导电层 120 的同时，还去除未被第一间隔壁和第二间隔壁覆盖的衬垫层 110，如图 18 所示。

需要说明的是，在图 18 的示例中，衬底 100 与衬垫层 110 和导电线 121 之间还可以存在其他层，本公开实施例并不限定导电线 121 所在的金属互连层为最下方的金属互连层，其可以是任意一层互连层。

S109、对剩余的第一掩膜图案和第二掩膜图案进行刻蚀，完全去除第二掩膜图案，以在对应于第二掩膜图案的区域的导电线中形成导电通路。

在本步骤中，由于第二掩膜图案 142（即第二间隔壁）的高度高于剩余的第一掩膜图案 141（即第一间隔壁）的高度，在第一掩膜图案 141 被完全去除之后，仍然剩余部分第二掩膜图案 142。在后续的刻蚀过程中，由于导电线 121 与第二掩膜图案 142 之间的刻蚀选择比较低，从而在对剩余的第二掩膜图案 142 进行刻蚀的同时，也对第一掩膜图案 141 被完全去除后暴露出的导电线 121 进行刻蚀，从而在剩余的第二掩膜图案 142 被完全去除之后，第一掩膜图案 141 所在区域的部分导电线也被去除，从而形成了不同高度的导电线 121。对应于第一掩膜图案 141 的区域的导电线的高度较低，对应于第二掩膜图案 142 的区域的导电线的高度较高，从而对应于第二掩膜图案 142 的区域的导电线形成了导电通路 123，如图 19 所示。

在本步骤中，还去除了导电线 121 上剩余的硬掩膜层 130。

S110、形成包覆导电互连结构的层间绝缘层，并进行平坦化处理以暴露导电通路。

如图 20 所示，层间绝缘层 180 形成在衬底 100 上包覆整个导电互连结构，并进行平坦化处理，从而能够在层间绝缘层 180 上形成上层的导电互连结构，上层的导电互连结构可以通过导电通路 123 与当前层的导电互连结构实现电连接。

在本公开实施例的形成导电互连结构的方法中，通过对预定掩膜图案进行掺杂，使得预定掩膜图案中的掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率，从而可以通过后续的刻蚀工序形成了不同高度的导电线，对应于第二掩膜图案 142 的区域的导电线的高度高于对应于第一掩膜图案 141 的区域的导电线的高度，从而对应于第二掩膜图案 142 的区域的导电线形成了导电通路 123。导电通路 123 是采用自对准工艺形成的，不会出现相关技术中采用镶嵌工艺所可能产生的导电通路与导电线之间的对准偏差的问题，同时较之相关技术中的减法刻蚀工艺，工艺步骤较少，且无需精密的掩膜图案。

本公开上文实施例中重点描述的是各个实施例之间的不同，各个实施例之间不同的优化特征只要不矛盾，均可以组合形成更优的实施例，考虑到行文简洁，在此则不再赘述。

以上所述仅为本公开的实施例而已，并不用于限制本公开。对于本领域技术人员来说，本公开可以有各种更改和变化。凡在本公开的精神和原理之内所作的任何修改、等同替换、改进等，均应包含在本公开的权利要求范围之内。

权 利 要 求 书

1、一种形成导电互连结构的方法，其中，包括：

在导电层上形成预定掩膜图案；

5 对第一掩膜图案进行掺杂，以在所述第一掩膜图案中形成预定深度的掺杂区域，其中，所述第一掩膜图案为已掺杂的所述预定掩膜图案，第二掩膜图案为未掺杂的所述预定掩膜图案；其中，所述掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率；

 利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，以
10 形成导电互连结构；其中，对应于所述第二掩膜图案的区域的导电线的高度高于对应于所述第一掩膜图案的区域的导电线的高度，对应于所述第二掩膜图案的区域的导电线形成为导电通路。

 2、根据权利要求1所述的方法，其中，所述利用所述第一掩膜图案和
15 所述第二掩膜图案对所述导电层进行刻蚀，包括：

 在利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀的同时，对所述第一掩膜图案和所述第二掩膜图案进行刻蚀；

 其中，所述导电层与所述预定掩膜图案中的未掺杂区域之间的刻蚀选择比小于预定值。

20

 3、根据权利要求2所述的方法，其中，所述在利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀的同时，对所述第一掩膜图案和所述第二掩膜图案进行刻蚀的步骤包括如下阶段：

 当所述第一掩膜图案中的所述掺杂区域被刻蚀去除时，所述第二掩膜图案被部分刻蚀，且未被所述预定掩膜图案覆盖的所述导电层也同时被部分刻蚀；
25

 当所述第一掩膜图案被完全去除时，所述第二掩膜图案也被相应刻蚀，

且未被所述预定掩膜图案覆盖的所述导电层也同时被继续刻蚀；

当所述第二掩膜图案被完全去除时，未被所述预定掩膜图案覆盖的所述导电层被完全去除，以形成若干所述导电线，对应于所述第一掩膜图案的区域的所述导电层被部分刻蚀，对应于所述第二掩膜图案的区域的所述导电层的高度高于对应于所述第一掩膜图案的区域的导电线的高度，对应于所述第二掩膜图案的区域的导电线作为所述导电通路。

4、根据权利要求1所述的方法，其中，所述利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，包括：

10 去除所述第一掩膜图案中的所述掺杂区域；

对剩余的所述第一掩膜图案和所述第二掩膜图案进行刻蚀，以完全去除所述第一掩膜图案；

在去除剩余的所述第二掩膜图案的同时，去除所述第一掩膜图案所在区域的部分所述导电层，以在对应于所述第二掩膜图案的区域的所述导电线中形成导电通路。

5、根据权利要求4所述的方法，其中，在刻蚀去除所述第一掩膜图案和所述第二掩膜图案的同时，对未被所述预定掩膜图案覆盖的所述导电层进行刻蚀。

20

6、根据权利要求4所述的方法，其中，在去除所述第一掩膜图案中的所述掺杂区域之前，所述方法还包括：

利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，以形成所述导电线；或者

25 在去除所述第一掩膜图案中的所述掺杂区域之后，所述方法还包括：

利用剩余的所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，以形成所述导电线。

7、根据权利要求1所述的方法，其中，所述在导电层上形成预定掩膜图案，包括：

在所述导电层上形成芯层；

5 在所述芯层的侧壁形成间隔壁，所述间隔壁作为所述预定掩膜图案。

8、根据权利要求7所述方法，其中，所述对第一掩膜图案进行掺杂，包括：

对第一间隔壁进行掺杂，以在所述第一间隔壁中形成预定深度的掺杂区域，其中，所述第一间隔壁为已掺杂的所述间隔壁，第二间隔壁为未掺杂的所述间隔壁。

9、根据权利要求8所述方法，其中，所述对第一间隔壁进行掺杂，包括：

15 在所述导电层上形成平坦化层，以填充所述间隔壁之间的区域；

对所述平坦化层进行平坦化处理，以暴露所述芯层和所述间隔壁；

在所述平坦化层表面形成掩膜层，以遮挡所述第二间隔壁；

对未被遮挡的所述第一间隔壁进行离子注入。

20 10、根据权利要求9所述的方法，其中，所述平坦化层为SOC材料；
或者

所述离子注入所注入的元素为Ge。

11、根据权利要求9所述的方法，其中，还包括：

25 去除所述芯层和所述平坦化层。

12、根据权利要求11所述的方法，其中，在去除所述芯层和/或所述平

坦化层的同时，去除所述第一间隔壁的所述掺杂区域。

13、根据权利要求 11 所述的方法，其中，所述导电层与所述芯层和所述平坦化层之间还包括硬掩膜层，所述去除所述芯层和所述平坦化层，包括：

5 以所述硬掩膜层为刻蚀停止层，去除所述芯层和所述平坦化层。

14、根据权利要求 13 所述的方法，其中，所述利用所述第一掩膜图案和所述第二掩膜图案对所述导电层进行刻蚀，包括：

10 以所述第一间隔壁和所述第二间隔壁为掩膜，去除未被所述第一间隔壁和所述第二间隔壁覆盖的所述硬掩膜层和所述导电层。

15、根据权利要求 14 所述的方法，其中，所述导电层下方还包括衬垫层，所述以所述第一间隔壁和所述第二间隔壁为掩膜，去除未被所述第一间隔壁和所述第二间隔壁覆盖的所述硬掩膜层和所述导电层，还包括：

15 去除未被所述第一间隔壁和所述第二间隔壁覆盖的所述衬垫层。

16、根据权利要求 15 所述的方法，其中，所述衬垫层包括 TiN、TaN、Al、Cu、Ni、Co、Ru、Ti、Ta 中的至少一个。

20 17、根据权利要求 1 所述的方法，其中，所述导电层为金属导电层；或者

所述导电层包括 Ru、Co、Mo、W、Al、Rh 中的至少一个。

25 18、根据权利要求 1 所述的方法，其中，所述在导电层上形成预定掩膜图案，包括：

采用自对准多重图案化的方式来形成所述预定掩膜图案。