明　細　書

発明の名称 ： 半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にＭＯＳトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているＭＯＳトランジスタはナノ領域まで微細化が進んでいる。このようなＭＯＳトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「ＳＧＴ」という。）が提案されている（例えば、特許文献１、特許文献２、特許文献３を参照）。

[0003] 従来のＳＧＴの製造方法では、窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、シリコン柱下部の拡散層を形成した後、ゲート材料を堆積し、その後にゲート材料を平坦化、エッチバックをし、シリコン柱と窒化膜ハードマスクの側壁に絶縁膜サイドウォールを形成する。その後、ゲート配線のためのレジストパターンを形成し、ゲート材料をエッチングした後、窒化膜ハードマスクを除去し、シリコン柱上部に拡散層を形成している（例えば、特許文献４を参照）。

[0004] このような方法では、シリコン柱間隔が狭くなったとき、厚いゲート材料をシリコン柱間に堆積しなければならず、シリコン柱間にボイドと呼ばれる孔が形成されることがある。ボイドが形成されると、エッチバック後にゲート材料に孔ができる。その後絶縁膜サイドウォールを形成するために絶縁膜を堆積するとボイド内に絶縁膜が堆積する。従って、ゲート材料加工が難しい。

[0005] そこで、シリコン柱形成後、ゲート酸化膜を形成し、薄いポリシリコンを堆積後、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成し、ゲート配線をエッチングし、その後、酸化膜を厚く堆積し、シリコン柱上部を露出し、シリコン柱上部の薄いポリシリコンを除去し、厚い酸化膜をウエットエッチングにて除去することが示されている（例えば非特許文献１を参照）。

[0006] しかしながら、ゲート電極に金属を用いるための方法は示されていない。また、シリコン柱上部を覆いゲート配線を形成するためのレジストを形成しなければならず、従って、シリコン柱上部を覆わねばならず自己整合プロセスではない。

先行技術文献

特許文献

[0007] 特許文献1：特開平２－７１５５６号公報

特許文献2：特開平２－１８８９６６号公報

特許文献3：特開平３－１４５７６１号公報

特許文献4：特開２００９－１８２３１７号公報

非特許文献

[0008] 非特許文献1：B.Yang, K.D.Buddharaju, S.H.G.Teo, N.Singh, G.D.Lo, and D.L.Kwong, “Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET”, IEEE Electron Device Letters, VOL.29, No.7, July 2008, pp791-794.

発明の概要

発明が解決しようとする課題

[0009] そこで、本発明は、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供することを目的とする。

課題を解決するための手段

[0010] 本発明に係る半導体装置の製造方法は、シリコン基板上に平面状シリコン層を形成し、前記平面状シリコン層上に第１の柱状シリコン層と第２の柱状シリコン層とを形成する第１の工程と、前記第１の工程の後、前記第１の柱状シリコン層と前記第２の柱状シリコン層上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜より厚い第２の酸化膜を形成する第２の工程と、前記第２工程の後、前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄く、ゲート配線を形成するための第３のレジストを形成し、異方性エッチングを行うことにより前記ゲート配線を形成する第３の工程と、を有することを特徴とする。

[0011] 前記第３の工程の後、第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第４の工程と、を有することを特徴とする。

[0012] また、前記第１の柱状シリコン層と前記第２の柱状シリコン層と前記平面状シリコン層上に厚い酸化膜を、前記柱状シリコン層と前記第２の柱状シリコン層の側壁に薄い酸化膜を堆積し、酸化膜を等方性エッチングにより除去することにより、前記第１の柱状シリコン層と前記第２の柱状シリコン層上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜より厚い第２の酸化膜を形成することを特徴とする。

[0013] また、前記第１の柱状シリコン層の上部に第１のｎ型拡散層を形成し、前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｎ型拡散層を形成し、前記第２の柱状シリコン層の上部に第１のｐ型拡散層を形成し、前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部に第

２のｐ型拡散層を形成する第５の工程をさらに含むことを特徴とする。

[0014] 前記第１のｎ型拡散層上と前記第２のｎ型拡散層上と前記第１のｐ型拡散層と前記第２のｐ型拡散層上と前記ゲート配線にシリサイドを形成する第６の工程とをさらに含むことを特徴とする。

[0015] また、本発明に係る半導体装置は、シリコン基板上に形成された平面状シリコン層と、前記平面状シリコン層上に形成された第１及び第２の柱状シリコン層と、前記第１の柱状シリコン層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第１のゲート電極と、前記第２の柱状シリコン層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第２のゲート電極と、前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄く、前記第１及び前記第２のゲート電極に接続されたゲート配線と、前記ゲート配線の上面の高さは前記第１及び第２のゲート電極の上面の高さより低く、前記ゲート配線と前記平面状シリコン層との間に形成された前記ゲート絶縁膜より厚い第２の酸化膜と、前記第１の柱状シリコン層の上部に形成された第１のｎ型拡散層と、前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｎ型拡散層と、前記第２の柱状シリコン層の上部に形成された第１のｐ型拡散層と、前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｐ型拡散層と、を有する、ことを特徴とする。

[0016] 前記ゲート配線は、前記金属膜とシリサイドの積層構造からなることを特徴とする。

[0017] 前記ゲート配線の中心線が、前記第１の柱状シリコン層の中心点と前記第２の柱状シリコン層の中心点とを結ぶ線に対して第１の所定量ずれていることを特徴とする。

[0018] 前記第１及び前記第２のｎ型拡散層上と前記第１及び前記第２のｐ型拡散層に形成されたシリサイドと、を有する、ことを特徴とする。

発明の効果

[0019] 本発明によれば、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるＳＧＴの製造方法とその結果得られるＳＧＴの構造を提供することができる。

[0020] 前記第１の工程の後、前記第１の柱状シリコン層と前記第２の柱状シリコン層上に酸化膜ハードマスクを形成し、前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄く、ゲート配線を形成するための第３のレジストを形成し、異方性エッチングを行うことにより前記ゲート配線を形成する第３の工程と、前記第３の工程の後、第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第４の工程と、により自己整合プロセスを実現している。自己整合プロセスであるから、高集積化が可能となる。

[0021] 特に、酸化膜ハードマスクにより、ゲート配線形成中にシリコン柱上部を保護することにより、自己整合プロセスを実現している。

[0022] また、前記ゲート配線と前記平面状シリコン層との間に形成された前記ゲート絶縁膜より厚い第２の酸化膜を形成することにより、ゲート配線と基板間の容量を低減することができる。また、ゲート配線と基板間の絶縁をより確かなものとすることができる。

[0023] また、前記ゲート配線は、前記金属膜とシリサイドの積層構造からなる。シリサイドと金属膜とが直接接触するため、低抵抗化をすることができる。

[0024] 前記ゲート配線の中心線が、前記第１の柱状シリコン層の中心点と前記第２の柱状シリコン層の中心点とを結ぶ線に対して第１の所定量ずれている。第２のｎ型拡散層と、第２のｐ型拡散層とを接続するシリサイドを形成しや

すい。従って、高集積化をおこなうことができる。

図面の簡単な説明

[0025] [図1]（A）は本発明の実施形態に係る半導体装置の平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図2]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図3]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図4]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図5]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図6]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図7]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図8]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図9]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線で

の断面図である。

[図10]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図11]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図12]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図13]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図14]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図15]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図16]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図17]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図18]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図19]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図20]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図21]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図22]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図23]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図24]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図25]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図26]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図27]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図28]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。

（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図29]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図30]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図31]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図32]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図33]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図34]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図35]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図36]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図37]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線で

の断面図である。

[図38]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図39]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図40]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図41]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図42]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

[図43]（A）は本実施形態に係る半導体装置の製造方法を示す平面図である。（B）は（A）のＸ－Ｘ’線での断面図である。（C）は（A）のＹ－Ｙ’線での断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る、ＳＧＴの構造を有する半導体装置の製造工程を、図２～図４３を参照しながら説明する。

[0027] 以下に、シリコン基板上に平面状シリコン層を形成し、平面状シリコン層上に第１の柱状シリコン層と第２の柱状シリコン層とを形成する第１の工程を示す。

[0028] 図２に示すように、シリコン基板１０１上に第１の柱状シリコン層１０４と第２の柱状シリコン層１０５とを形成するための第１のレジスト１０２、１０３を形成する。

[0029] 図３に示すように、シリコン基板１０１をエッチングし、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５とを形成する。レジストを用いて柱状シリコンを形成するため、ハードマスクを用いる工程と比べて、工程数を減らすことができる。

[0030] 図４に示すように、第１のレジスト１０２、１０３を剥離する。

[0031] 図５に示すように、平面状シリコン層１０７を形成するための第２のレジスト１０６を形成する。

[0032] 図６に示すように、シリコン基板１０１をエッチングし、平面状シリコン層１０７を形成する。

[0033] 図７に示すように、第２のレジスト１０６を剥離する。

[0034] 図８に示すように、平面状シリコン層１０７の周囲に素子分離膜１０８を形成する。

以上により、シリコン基板１０１上に平面状シリコン層１０７と、平面状シリコン層１０７上に、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５と、を形成する第１の工程が示された。

[0035] 次に、第１の柱状シリコン層と第２の柱状シリコン層上に酸化膜ハードマスクを形成し、平面状シリコン層上にゲート絶縁膜より厚い第２の酸化膜を形成する第２の工程を示す。

[0036] 図９に示すように、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５と平面状シリコン層１０７を覆うように酸化膜１０９を堆積する。常圧ＣＶＤ（化学気相堆積）による堆積が好ましい。常圧ＣＶＤによる堆積を用いると、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５と平面状シリコン層１０７上に厚い酸化膜を、柱状シリコン層１０４と第２の柱状シリコン層１０５の側壁に薄い酸化膜を堆積することができる。さらに、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５上に堆積される酸化膜厚を、平面状シリコン層１０７上に堆積される酸化膜厚より厚くすることができる。

[0037] 図１０に示すように、酸化膜１０９を等方性エッチングにより除去するこ

とにより、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５上に酸化膜ハードマスク１１１、１１２を形成し、平面状シリコン層１０７上にゲート絶縁膜より厚い第２の酸化膜１１０を形成する。

[0038] 以上により、第１の柱状シリコン層と第２の柱状シリコン層上に酸化膜ハードマスクを形成し、平面状シリコン層上にゲート絶縁膜より厚い第２の酸化膜を形成する第２の工程が示された。

[0039] 次に、第１の柱状シリコン層と第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、ポリシリコン膜の膜厚は第１の柱状シリコン層と第２の柱状シリコン層との間の間隔の半分より薄く、ゲート配線を形成するための第３のレジストを形成し、異方性エッチングを行うことによりゲート配線を形成する第３の工程を示す。

[0040] 図１１に示すように、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５の周囲にゲート絶縁膜１１３、１１４を形成し、ゲート絶縁膜１１３、１１４の周囲に金属膜１１５及びポリシリコン膜１１６を成膜する。従って、ポリシリコン膜１１６中にボイドが形成されることを防ぐことができる。金属膜１１５は、窒化チタンといった、半導体工程に用いられ、トランジスタのしきい値電圧を設定する金属であればよい。ゲート絶縁膜１１３、１１４は、酸化膜、酸窒化膜、高誘電体膜といった、半導体工程に用いられるものであればよい。

[0041] 図１２に示すように、ゲート配線を形成するための第３のレジスト１１７を形成する。本実施例においては、レジスト高さが柱状シリコン層より低くなるように記載した。柱状シリコン層の高さが高いとき、柱状シリコン層上部のレジスト厚さが薄くなり、もしくは、柱状シリコン層上部のポリシリコンが露出することが考えられるからである。ゲート配線幅が細くなるにつれて、柱状シリコン層上部のポリシリコンが露出しやすくなる。レジスト高さが柱状シリコン層より高くなってもよい。

[0042] また、このとき、ゲート配線のための第３のレジスト１１７の中心線が、

第１の柱状シリコン層１０４の中心点と第２の柱状シリコン層１０５の中心点とを結ぶ線に対してずれているよう、第３のレジスト１１７を形成することが好ましい。第２のｎ型拡散層と第２のｐ型拡散層とを接続するシリサイドを形成しやすくなるからである。

[0043] 図１３に示すように、ポリシリコン膜１１６と金属膜１１５をエッチングする。ゲート電極１１８ａ、１１８ｂ、ゲート配線１１８ｃが形成される。このとき、柱状シリコン層上部のレジスト厚さが薄く、もしくは、柱状シリコン層上部のポリシリコンが露出していても、酸化膜ハードマスク１１１、１１２により、柱状シリコン層上部が保護される。

[0044] 図１４に示すように、第２の酸化膜１１０をエッチングする。このとき、酸化膜ハードマスク１１１、１１２もエッチングされるが、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５上に堆積される酸化膜厚が、平面状シリコン層１０７上に堆積される酸化膜厚より厚いため、酸化膜ハードマスク１１１、１１２は残る。残らない場合は、後の工程において、ポリシリコン膜除去中にシリコン柱がエッチングされることとなる。この場合、エッチングされるシリコン柱の高さ分、露出するポリシリコン膜の高さを増やせばよい。また、第２の酸化膜１１０は、第４の工程の後にエッチングしてもよい。

[0045] 図１５に示すように、第３のレジスト１１７を剥離する。

[0046] 以上により、第１の柱状シリコン層と第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、ポリシリコン膜の膜厚は第１の柱状シリコン層と第２の柱状シリコン層との間の間隔の半分より薄く、ゲート配線を形成するための第３のレジストを形成し、異方性エッチングを行うことによりゲート配線を形成する第３の工程が示された。

[0047] 次に、第４のレジストを堆積し、第１の柱状シリコン層と第２の柱状シリコン層上部側壁のポリシリコン膜を露出し、露出したポリシリコン膜をエッチングにより除去し、第４のレジストを剥離し、金属膜をエッチングにより

除去し、ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第４の工程を示す。

[0048] 図１６に示すように、第４のレジスト１１９を堆積し、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５上部側壁のポリシリコン膜１１６を露出する。レジストエッチバックを用いることが好ましい。また、スピンオングラスといった塗布膜を用いてもよい。

[0049] 図１７に示すように、露出したポリシリコン膜１１６をエッチングにより除去する。等方性ドライエッチングが好ましい。

[0050] 図１８に示すように、第４のレジスト１１９を除去する。

[0051] 図１９に示すように、酸化膜１６０を堆積する。

[0052] 図２０に示すように、第５のレジスト１６１を堆積し、第１の柱状シリコン層１０４と第２の柱状シリコン層１０５上部側壁の酸化膜１６０を露出する。レジストエッチバックを用いることが好ましい。また、スピンオングラスといった塗布膜を用いてもよい。

[0053] 図２１に示すように、露出した酸化膜１６０をエッチングにより除去する。等方性エッチングが好ましい。

[0054] 図２２に示すように、第５のレジスト１６１を剥離する。

[0055] 図２３に示すように、金属膜１１５をエッチングにより除去し、ゲート配線１１８ｃに接続する第１のゲート電極１１８ｂと第２のゲート電極１１８ａを形成する。従って、自己整合プロセスとなる。

[0056] 図２４に示すように、酸化膜ハードマスク１１１、１１２と酸化膜１６０をエッチングにより除去する。

[0057] 以上により、第４のレジストを堆積し、第１の柱状シリコン層と第２の柱状シリコン層上部側壁のポリシリコン膜を露出し、露出したポリシリコン膜をエッチングにより除去し、第４のレジストを剥離し、金属膜をエッチングにより除去し、ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第４の工程が示された。

[0058] 次に、第１の柱状シリコン層の上部に第１のｎ型拡散層を形成し、第１の

柱状シリコン層の下部と平面状シリコン層の上部に第２のｎ型拡散層を形成し、第２の柱状シリコン層の上部に第１のｐ型拡散層を形成し、第２の柱状シリコン層の下部と平面状シリコン層の上部に第２のｐ型拡散層を形成する第５の工程を示す。

[0059] 図２５に示すように、第１のｎ型拡散層と第２のｎ型拡散層を形成するために、第６のレジスト１２０を形成する。第６のレジスト１２０を形成する前に、薄い酸化膜を堆積してもよい。

[0060] 図２６に示すように、砒素を注入し、第１のｎ型拡散層１２１と第２のｎ型拡散層１２２を形成する。

[0061] 図２７に示すように、第６のレジスト１２０を剥離する。

[0062] 図２８に示すように、第１のｐ型拡散層と第２のｐ型拡散層を形成するための第７のレジスト１２３を形成する。

[0063] 図２９に示すように、ボロンまたは弗化ボロンを注入し、第１のｐ型拡散層１２４と第２のｐ型拡散層１２５を形成する。

[0064] 図３０に示すように、第７のレジスト１２３を剥離し、窒化膜１２６を堆積し、熱処理を行う。

[0065] 以上により、第１の柱状シリコン層の上部に第１のｎ型拡散層を形成し、第１の柱状シリコン層の下部と平面状シリコン層の上部に第２のｎ型拡散層を形成し、第２の柱状シリコン層の上部に第１のｐ型拡散層を形成し、第２の柱状シリコン層の下部と平面状シリコン層の上部に第２のｐ型拡散層を形成する第５の工程が示された。

[0066] 次に、第１のｎ型拡散層上と第２のｎ型拡散層上と第１のｐ型拡散層と第２のｐ型拡散層上とゲート配線にシリサイドを形成する第６の工程を示す。

[0067] 図３１に示すように、窒化膜１２６をエッチングし、窒化膜サイドウォールを形成し、金属を堆積し、熱処理し、未反応の金属を除去することで、第１のｎ型拡散層１２１上と第２のｎ型拡散層１２２上と第１のｐ型拡散層１２４と第２のｐ型拡散層１２５上とゲート配線１１８ｃと、第１のゲート電極１１８ｂと第２のゲート電極１１８ａ上にシリサイド１２８、１３０、１

３２、１３４、１２７、１３１、１２９、１３３を形成する。窒化膜サイドウォールは、酸化膜と窒化膜の積層構造にしてもよい。

[0068] 第２のｎ型拡散層１２２と、第２のｐ型拡散層１２５とは、シリサイド１３０で接続されることとなる。ゲート配線１１８ｃの中心線が、第１の柱状シリコン層１０４の中心点と第２の柱状シリコン層１０５の中心点とを結ぶ線に対してずれているので、シリサイド１３０を形成しやすい。従って、高集積化をおこなうことができる。

[0069] また、ポリシリコン膜１１６が薄いため、ゲート配線１１８ｃは、金属膜１１５とシリサイド１２７の積層構造となりやすい。シリサイド１２７と金属膜１１５とが直接接触するため、低抵抗化をすることができる。

[0070] 以上により、第１のｎ型拡散層上と第２のｎ型拡散層上と第１のｐ型拡散層と第２のｐ型拡散層上とゲート配線にシリサイドを形成する第６の工程が示された。

[0071] 図３２に示すように、窒化膜といったコンタクトストッパー１３７を成膜し、層間絶縁膜１３８を形成する。

[0072] 図３３に示すように、コンタクト孔を形成するための第８のレジスト１３９を形成する。

[0073] 図３４に示すように、層間絶縁膜１３８をエッチングし、コンタクト孔１４０、１４１を形成する。

[0074] 図３５に示すように、第８のレジスト１３９を剥離する。

[0075] 図３６に示すように、コンタクト孔を形成するための第９のレジスト１４２を形成し、層間絶縁膜１３８をエッチングし、コンタクト孔１４３、１４４を形成する。

[0076] 図３７に示すように、第９のレジスト１４２を剥離する。

[0077] 図３８に示すように、コンタクトストッパー１３７をエッチングし、コンタクト孔１４０、１４１、コンタクト孔１４３、１４４下のコンタクトストッパー１３７を除去する。

[0078] 図３９に示すように、金属を堆積し、コンタクト１４５、１４６、１４７

、１４８を形成する。

[0079] 図４０に示すように、金属配線のための金属１４９を堆積する。

[0080] 図４１に示すように、金属配線を形成するための第１０のレジスト１５０、１５１、１５２、１５３を形成する。

[0081] 図４２に示すように、金属１４９をエッチングし、金属配線１５４、１５５、１５６、１５７を形成する。

[0082] 次に、図４３に示すように、第１０のレジスト１５０、１５１、１５２、１５３を剥離する。以上により、薄いゲート材を用い、金属ゲートであり、自己整合プロセスであるＳＧＴの製造方法が示された。

[0083] 上記製造方法によって得られる半導体装置の構造を図１に示す。図１に示すように、半導体装置は、シリコン基板上１０１に形成された平面状シリコン層１０７と、前記平面状シリコン層１０７上に形成された第１及び第２の柱状シリコン層１０４、１０５と、前記第１の柱状シリコン層１０４の周囲に形成されたゲート絶縁膜１１３と、前記ゲート絶縁膜１１３の周囲に形成された金属膜１１５及びポリシリコン膜１１６の積層構造からなる第１のゲート電極１１８ｂと、前記第２の柱状シリコン層１０５の周囲に形成されたゲート絶縁膜１１４と、前記ゲート絶縁膜１１４の周囲に形成された金属膜１１５及びポリシリコン膜１１６の積層構造からなる第２のゲート電極１１８ａと、前記ポリシリコン膜１１６の膜厚は前記第１の柱状シリコン層１０４と前記第２の柱状シリコン層１０５との間の間隔の半分より薄く、前記第１及び前記第２のゲート電極１１８ｂ、１１８ａに接続されたゲート配線１１８ｃと、前記ゲート配線１１８ｃの上面の高さは前記第１及び第２のゲート電極１１８ｂ、１１８ａの上面の高さより低く、前記ゲート配線１１８ｃと前記平面状シリコン層１０７との間に形成された前記ゲート絶縁膜１１３、１１４より厚い第２の酸化膜１１０と、前記第１の柱状シリコン層１０４の上部に形成された第１のｎ型拡散層１２１と、前記第１の柱状シリコン層１０４の下部と前記平面状シリコン層１０７の上部とに形成された第２のｎ型拡散層１１２と、前記第２の柱状シリコン層１０５の上部に形成された第

１のｐ型拡散層１２４と、前記第２の柱状シリコン層１０５の下部と前記平面状シリコン層１０７の上部とに形成された第２のｐ型拡散層１２５と、を有する。

[0084] 前記ゲート配線１１８ｃと前記平面状シリコン層１０７との間に形成された前記ゲート絶縁膜１１３、１１４より厚い第２の酸化膜１１０を有するため、ゲート配線と基板間の容量を低減することができ、ゲート配線と基板間の絶縁を確かなものとすることができる。

[0085] また、前記ゲート配線１１８ｃは、前記金属膜１１５とシリサイド１２７の積層構造からなる。シリサイド１２７と金属膜１１５とが直接接触するため、低抵抗化をすることができる。

[0086] 前記ゲート配線１１８ｃの中心線が、前記第１の柱状シリコン層１０４の中心点と前記第２の柱状シリコン層１０５の中心点とを結ぶ線に対して第１の所定量ずれている。第２のｎ型拡散層１２２と、第２のｐ型拡散層１２５とを接続するシリサイド１３０を形成しやすい。従って、高集積化をおこなうことができる。

[0087] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0088] 例えば、上記実施例において、ｐ型（p^+型を含む。）とｎ型（n^+型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

[0089] １０１．シリコン基板

１０２．第１のレジスト

１０３．第１のレジスト

１０４．第１の柱状シリコン層

１０５．第１の柱状シリコン層

１０６．第２のレジスト

１０７．平面状シリコン層

１０８．素子分離膜

１０９．酸化膜

１１０．第２の酸化膜

１１１．酸化膜ハードマスク

１１２．酸化膜ハードマスク

１１３．ゲート絶縁膜

１１４．ゲート絶縁膜

１１５．金属膜

１１６．ポリシリコン膜

１１７．第３のレジスト

１１８ａ．ゲート電極

１１８ｂ．ゲート電極

１１８ｃ．ゲート配線

１１９．第４のレジスト

１２０．第６のレジスト

１２１．第１のｎ型拡散層

１２２．第２のｎ型拡散層

１２３．第７のレジスト

１２４．第１のｐ型拡散層

１２５．第２のｐ型拡散層

１２６．窒化膜

１２７．シリサイド

１２８．シリサイド

１２９．シリサイド

１３０．シリサイド

１３１．シリサイド

１３２．シリサイド

１３３．シリサイド

１３４．シリサイド

１３７．コンタクトストッパー

１３８．層間絶縁膜

１３９．第８のレジスト

１４０．コンタクト孔

１４１．コンタクト孔

１４２．第９のレジスト

１４３．コンタクト孔

１４４．コンタクト孔

１４５．コンタクト

１４６．コンタクト

１４７．コンタクト

１４８．コンタクト

１４９．金属

１５０．第１０のレジスト

１５１．第１０のレジスト

１５２．第１０のレジスト

１５３．第１０のレジスト

１５４．金属配線

１５５．金属配線

１５６．金属配線

１５７．金属配線

１６０．酸化膜

１６１．第５のレジスト

請求の範囲

[請求項1] シリコン基板に対してソース、ゲート、ドレインが垂直方向に柱状に配置され、ゲート電極が柱状半導体層を取り囲む構造の半導体装置の製造方法であって、

前記シリコン基板上に平面状シリコン層を形成し、前記平面状シリコン層上に第１の柱状シリコン層と第２の柱状シリコン層とを形成する第１の工程と、

前記第１の工程の後、前記第１の柱状シリコン層と前記第２の柱状シリコン層上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜より厚い第２の酸化膜を形成する第２の工程と、

前記第２工程の後、前記第１の柱状シリコン層と前記第２の柱状シリコン層の周囲にゲート絶縁膜を形成し、前記ゲート絶縁膜の周囲に金属膜及びポリシリコン膜を成膜し、ゲート配線を形成するための第３のレジストを形成し、異方性エッチングを行うことにより前記ゲート配線を形成する第３の工程と、ここで、前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄く、

を有することを特徴とする半導体装置の製造方法。

[請求項2] 前記第３の工程の後、

第４のレジストを堆積し、前記第１の柱状シリコン層と前記第２の柱状シリコン層上部側壁の前記ポリシリコン膜を露出し、露出した前記ポリシリコン膜をエッチングにより除去し、前記第４のレジストを剥離し、前記金属膜をエッチングにより除去し、前記ゲート配線に接続する第１のゲート電極と第２のゲート電極を形成する第４の工程と、

を有することを特徴とする請求項１に記載の半導体装置の製造方法。

[請求項3] 前記第１の柱状シリコン層と前記第２の柱状シリコン層と前記平面

状シリコン層上に厚い酸化膜を、前記柱状シリコン層と前記第２の柱状シリコン層の側壁に薄い酸化膜を堆積し、酸化膜を等方性エッチングにより除去することにより、前記第１の柱状シリコン層と前記第２の柱状シリコン層上に酸化膜ハードマスクを形成し、前記平面状シリコン層上にゲート絶縁膜より厚い第２の酸化膜を形成することを特徴とする請求項１に記載の半導体装置の製造方法。

［請求項4］ 前記第１の柱状シリコン層の上部に第１のｎ型拡散層を形成し、

前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｎ型拡散層を形成し、

前記第２の柱状シリコン層の上部に第１のｐ型拡散層を形成し、

前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部に第２のｐ型拡散層を形成する第５の工程をさらに含むことを特徴とする請求項２に記載の半導体装置の製造方法。

［請求項5］ 前記第１のｎ型拡散層上と前記第２のｎ型拡散層上と前記第１のｐ型拡散層と前記第２のｐ型拡散層上と前記ゲート配線にシリサイドを形成する第６の工程とをさらに含むことを特徴とする請求項４に記載の半導体装置の製造方法。

［請求項6］ シリコン基板に対してソース、ゲート、ドレインが垂直方向に柱状に配置され、ゲート電極が柱状半導体層を取り囲む構造の半導体装置であって、

シリコン基板上に形成された平面状シリコン層と、

前記平面状シリコン層上に形成された第１及び第２の柱状シリコン層と、

前記第１の柱状シリコン層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の積層構造からなる第１のゲート電極と、

前記第２の柱状シリコン層の周囲に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の周囲に形成された金属膜及びポリシリコン膜の

積層構造からなる第２のゲート電極と、ここで、前記ポリシリコン膜の膜厚は前記第１の柱状シリコン層と前記第２の柱状シリコン層との間の間隔の半分より薄く、

前記第１及び前記第２のゲート電極に接続されたゲート配線と、ここで、前記ゲート配線の上面の高さは前記第１及び第２のゲート電極の上面の高さより低く、

前記ゲート配線と前記平面状シリコン層との間に形成された前記ゲート絶縁膜より厚い第２の酸化膜と、

前記第１の柱状シリコン層の上部に形成された第１のｎ型拡散層と、

前記第１の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｎ型拡散層と、

前記第２の柱状シリコン層の上部に形成された第１のｐ型拡散層と、

前記第２の柱状シリコン層の下部と前記平面状シリコン層の上部とに形成された第２のｐ型拡散層と、

を有することを特徴とする半導体装置。

［請求項7］ 前記ゲート配線は、前記金属膜とシリサイドの積層構造からなることを特徴とする請求項６に記載の半導体装置。

［請求項8］ 前記ゲート配線の中心線が、前記第１の柱状シリコン層の中心点と前記第２の柱状シリコン層の中心点とを結ぶ線に対して第１の所定量ずれていることを特徴とする請求項６に記載の半導体装置。

［請求項9］ 前記第１及び前記第２のｎ型拡散層上と前記第１及び前記第２のｐ型拡散層に形成されたシリサイドと、を有する、

ことを特徴とする請求項８に記載の半導体装置。