

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2026 年 6 月 11 日 (11.06.2026)



(10) 国际公布号  
**WO 2026/118379 A1**

(51) 国际专利分类号:  
*GHIC 29/12* (2006.01) *GHIC 29/18* (2006.01)  
*GHIC 29/20* (2006.01)

(21) 国际申请号: PCT/CN2025/094295

(22) 国际申请日: 2025 年 5 月 12 日 (12.05.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
202411754887.3 2024 年 12 月 3 日 (03.12.2024) CN

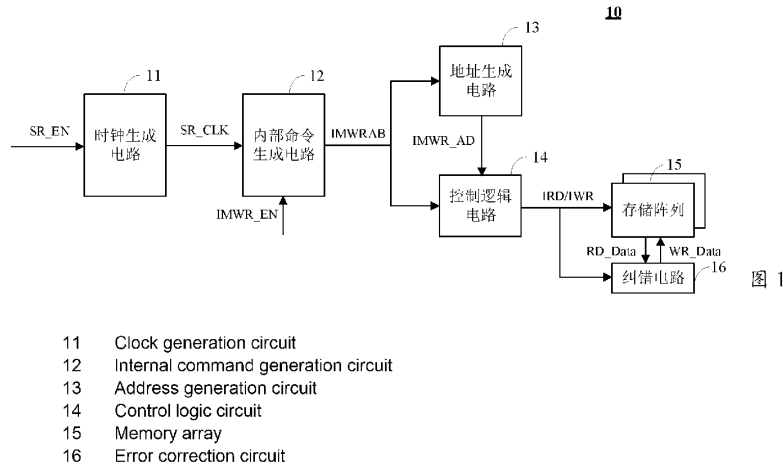
(71) 申请人: 长鑫科技集团股份有限公司 (CXMT CORPORATION) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(72) 发明人: 曹堪宇 (CAO, Kanyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。高恩鹏 (GAO, Enpeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。孙见鹏 (SUN, Jianpeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: INTERNAL ERROR CHECKING CIRCUIT AND MEMORY

(54) 发明名称: 一种内部错误检查电路和存储器



(57) Abstract: An internal error checking circuit, comprising a clock generation circuit, an internal command generation circuit, an address generation circuit, a control logic circuit, and an error correction circuit, wherein the clock generation circuit generates and outputs a self-refresh clock signal in response to a self-refresh enable signal; the internal command generation circuit counts the self-refresh clock signal when an error checking enable signal indicates that an internal error checking function is enabled, and generates and outputs an internal error checking command signal when the count value of the self-refresh clock signal is a first preset value; the address generation circuit counts the internal error checking command signal to generate and output an internal error checking address; the control logic circuit controls, in response to the internal error checking command signal, the error correction circuit to sequentially perform an internal read-modify-write operation on target memory cells corresponding to the internal error checking address in a plurality of memory arrays.

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,  
UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区  
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,  
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚  
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,  
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,  
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,  
TD, TG)。

本国际公布:  
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种内部错误检查电路包括时钟生成电路、内部命令生成电路、地址生成电路、控制逻辑电路和纠错电路; 时钟生成电路, 响应于自刷新使能信号生成并输出自刷新时钟信号; 内部命令生成电路, 在错误检查使能信号指示内部错误检查功能开启时对自刷新时钟信号进行计数, 并在自刷新时钟信号的计数值为第一预设值时生成并输出一个内部错误检查命令信号; 地址生成电路, 对内部错误检查命令信号进行计数以生成并输出内部错误检查地址; 控制逻辑电路, 响应于内部错误检查命令信号, 控制纠错电路依次对多个存储阵列中内部错误检查地址对应的目标存储单元执行一次内部读-修改-写操作。