

## 明 細 書

発明の名称：

通信装置、通信方法、プログラム、および、通信システム

### 技術分野

[0001] 本開示は、通信装置、通信方法、プログラム、および、通信システムに関し、特に、より確実に通信を行うことができるようにした通信装置、通信方法、プログラム、および、通信システムに関する。

### 背景技術

[0002] 従来、各種のデバイスにおけるレジスタを制御するためのバス I/F (Interface) として CCI (Camera Control Interface) が広く使用されており、CCI では、物理層に I2C (Inter-Integrated Circuit) 規格が採用されている。

[0003] 例えば、CCI では、データ転送を開始する際に、システムコントローラから被制御デバイスに対し、データの読み出しまたは書き込みが行われる対象となるレジスタの先頭アドレス (Index) が予め通知される。その上で、システムコントローラは、1 バイトのデータ転送を行う度に、所望のデータ量の読み出しまたは書き込みがレジスタに対して行われたか否かを判定する。そして、システムコントローラが、所望のデータ量の読み出しまたは書き込みがレジスタに対して行われたと判定した場合に、データ転送を終了する制御が行われる。

[0004] 例えば、特許文献 1 には、マスタデバイスが、スレーブデバイスのアドレスとライト指示とライト対象のレジスタアドレスとライトデータとを I2C バスヘシリアルに出力することにより、スレーブデバイスがレジスタに対するライトを行う技術が開示されている。

### 先行技術文献

#### 特許文献

[0005] 特許文献 1：特開 2016-018319 号公報

### 発明の概要

### 発明が解決しようとする課題

[0006] 上述したように、CCIでは、物理層にI2C規格が採用されている。このため、伝送レートが最大1 Mbpsと低速であることより、さらなる高速化を実現することが求められていた。そこで、次世代の規格として、伝送レートが最大37.5Mbpsと高速なI3C (Improved Inter Integrated Circuit) の規定が策定され、その改定が進められている。また、物理層にI3Cを使用した新たなCCIの検討も行われている。

[0007] ところで、I3CのHDRモードにおいて、データ転送において転送するデータのデータ長（バイト数）を含んだフレーム構成を採用することを検討したとき、新たなCCIとI3Cとの間で競合が発生することが懸念され、通信を正常に行うことができなくなる恐れがある。

[0008] 本開示は、このような状況に鑑みてなされたものであり、より確実に通信を行うことができるようにするものである。

### 課題を解決するための手段

[0009] 本開示の一側面の通信装置は、バスを介して通信を行う通信装置であって、通信の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う少なくとも1台以上の第2の通信装置とにより通信が行われ、前記第1の通信装置は、前記第2の通信装置が1回のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第2の通信装置から取得する取得部と、前記第2の通信装置とデータ転送を行う際に、1回のデータ転送において転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御する送受信制御部と、前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信する送信部とを備える。

[0010] 本開示の一側面の通信方法またはプログラムは、バスを介して通信を行う通信方法であって、通信の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う少なくとも1台以上の第2の通信装置とにより通信が行われ、前記第1の通信装置は、前記第2の通信装置が1回

のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第2の通信装置から取得し、前記第2の通信装置とデータ転送を行う際に、1回のデータ転送において転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御し、前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信するステップを含む。

[0011] 本開示の一側面の通信システムは、バスを介した通信の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う少なくとも1台以上の第2の通信装置とにより通信が行われる通信システムであって、前記第1の通信装置は、前記第2の通信装置が1回のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第2の通信装置から取得する取得部と、前記第2の通信装置とデータ転送を行う際に、1回のデータ転送において転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御する送受信制御部と、前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信する送信部とを備える。

[0012] 本開示の一側面においては、第2の通信装置が1回のデータ転送において転送可能な最大の転送長を示す最大転送長が、第2の通信装置から取得され、第2の通信装置とデータ転送を行う際に、1回のデータ転送において転送されるデータのデータ長が最大転送長以下となるようにデータの送受信が制御され、そのデータをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報が送信される。

### 発明の効果

[0013] 本開示の一側面によれば、より確実に通信を行うことができる。

### 図面の簡単な説明

[0014] [図1]本技術を適用したバス I/F の一実施の形態の構成例を示すブロック図である。

[図2]I3Cマスタを実装したシステムコントローラの構成例を示すブロック図

である。

[図3]I3Cスレーブを実装した被制御デバイスの構成例を示すブロック図である。

[図4]DDRモードでのフォーマットを示す図である。

[図5]TSL/TSPモードでのフォーマットを示す図である。

[図6]I3Cマスタにおいて行われる処理を説明するフローチャートである。

[図7]DDRモードでデータを分割して転送するリード転送処理におけるフォーマットを示す図である。

[図8]TSL/TSPモードでデータを分割して転送するリード転送処理におけるフォーマットを示す図である。

[図9]システムコントローラにおいて実行されるデータ転送処理を説明するフローチャートである。

[図10]DDRモードによるレジスタR/W転送処理を説明するフローチャートである。

[図11]DDRリード転送処理を説明するフローチャートである。

[図12]DDRモードでのHDRライト転送処理を説明するフローチャートである。

[図13]DDRライト転送処理を説明するフローチャートである。

[図14]TSL/TSPモードによるレジスタR/W転送処理を説明するフローチャートである。

[図15]TSL/TSPリード転送処理を説明するフローチャートである。

[図16]TSL/TSPリードでのHDRライト転送処理を説明するフローチャートである。

[図17]TSL/TSPライト転送処理について説明するフローチャートである。

[図18]DDRモードのときに被制御デバイスにおいて実行されるデータ転送処理を説明するフローチャートである。

[図19]DDRリード転送処理を説明するフローチャートである。

[図20]DDRライト転送処理を説明するフローチャートである。

[図21]ライト処理を説明するフローチャートである。

[図22]TSL/TSPモードのときに被制御デバイスにおいて実行されるデータ転送処理を説明するフローチャートである。

[図23]TSL/TSPリード転送処理を説明するフローチャートである。

[図24]TSL/TSPライト転送処理を説明するフローチャートである。

[図25]ライト処理を説明するフローチャートである。

[図26]I3CスレーブおよびCCIレイヤ処理部によるエラー対策について説明する図である。

[図27]本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

### 発明を実施するための形態

[0015] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0016] <バス I F の構成例>

図 1 は、本技術を適用したバス I F の一実施の形態の構成例を示すブロック図である。

[0017] 図 1 に示されているバス I F 1 1 は、I3C マスタ 1 2 と 3 台の I3C スレーブ 1 3 - 1 乃至 1 3 - 3 とが、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して接続されて構成されており、I3C の規格に準じた通信を行うことができる。

[0018] I3C マスタ 1 2 は、バス I F 1 1 における制御の主導権を有しており、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して、I3C スレーブ 1 3 - 1 乃至 1 3 - 3 と通信を行うことができる。

[0019] I3C スレーブ 1 3 - 1 乃至 1 3 - 3 は、I3C マスタ 1 2 による制御に従って、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して、I3C マスタ 1 2 と通信を行うことができる。なお、I3C スレーブ 1 3 - 1 乃至 1 3 - 3 は、それぞれ同様に構成されており、以下、それらを区別する必要がない場合、単に I3C スレーブ 1 3 と称し、I3C スレーブ 1 3 を構成する各ブロックについても同様とする。

- [0020] データ信号線 14-1 およびクロック信号線 14-2 は、I3C マスタ 12 および I3C スレーブ 13 の間で信号を伝送するのに用いられる。例えば、バス I/F 11 では、データ信号線 14-1 を介して、1 ビットずつ逐次的にシリアルデータ (SDA : Serial Data) が伝送され、クロック信号線 14-2 を介して、所定の周波数のシリアルクロック (SCL : Serial Clock) が伝送される。
- [0021] I3C マスタ 12 は、データ送信部 21、データ受信部 22、コマンド送信部 23、モード制御部 24、および送受信制御部 25 を備えており、これらの各ブロックは、回路やモジュールなどにより構成される。
- [0022] データ送信部 21 は、データ信号線 14-1 およびクロック信号線 14-2 を介して、I3C スレーブ 13 にデータを送信する。例えば、データ送信部 21 は、クロック信号線 14-2 を駆動することにより送信するシリアルクロックのタイミングに合わせて、データ信号線 14-1 に対する駆動を行う (電位を H レベルまたは L レベルに切り替える) ことにより、I3C スレーブ 13 にデータを送信することができる。
- [0023] データ受信部 22 は、データ信号線 14-1 およびクロック信号線 14-2 を介して、I3C スレーブ 13 から送信されてくるデータを受信する。例えば、データ受信部 22 は、クロック信号線 14-2 のシリアルクロックのタイミングに合わせて、I3C スレーブ 13 がデータ信号線 14-1 に対する駆動を行うことによって、I3C スレーブ 13 から送信されてくるデータを受信することができる。
- [0024] コマンド送信部 23 は、データ送信部 21 と同様に、データ信号線 14-1 およびクロック信号線 14-2 を介して、I3C スレーブ 13 に対し、後述するような各種のコマンドを送信する。
- [0025] モード制御部 24 は、上位層 (例えば、後述する図 2 の CCI レイヤ処理部 42) からの要求に従って、I3C の規格で規定されている複数の転送モードのうち、いずれかを選択し、その選択した転送モードで通信を行うように送受信制御部 25 に対する制御を行う。
- [0026] 例えば、バス I/F 11 では、データの転送レートに応じて、通常の転送レ

ートでデータ転送を行うSDR (Standard Data Rate) モードと、SDRモードよりも高い転送レートでデータ転送を行うHDR (High Data Rate) モードとが規定されている。また、HDRモードでは、DDR (Double Data Rate) モード、TSP (Ternary Symbol Pure-Bus)モード、および、TSL (Ternary Symbol Legacy-inclusive-Bus)モードの3つの転送モードが規格で定義されている。

[0027] 従って、モード制御部24は、SDRモード、DDRモード、TSPモード、および、TSLモードのいずれかを選択し、その選択した転送モードで通信を行うように送受信制御部25に対する制御を行う。

[0028] 送受信制御部25は、モード制御部24により選択された転送モードで、上位層からの要求に従って、データ送信部21およびデータ受信部22によるデータの送受信や、コマンド送信部23によるコマンドの送信などを制御する。

[0029] このようにI3Cマスタ12は構成されており、必要に応じて転送モードを切り替えて、例えば、レジスタに書き込ませるデータをデータ送信部21により送信させたり、レジスタから読み出させるデータをデータ受信部22により受信させたりすることができる。

[0030] I3Cスレーブ13は、データ送信部31、データ受信部32、コマンド解釈部33、モード制御部34、および送受信制御部35を備えており、これらの各ブロックは、回路やモジュールなどにより構成される。

[0031] データ送信部31は、データ信号線14-1およびクロック信号線14-2を介して、I3Cマスタ12にデータを送信する。例えば、データ送信部31は、I3Cマスタ12により駆動されるクロック信号線14-2のシリアルクロックのタイミングに合わせて、データ信号線14-1に対する駆動を行うことにより、I3Cマスタ12にデータを送信することができる。

[0032] データ受信部32は、データ信号線14-1およびクロック信号線14-2を介して、I3Cマスタ12から送信されてくるデータを受信する。例えば、データ受信部32は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、I3Cマスタ12がデータ信号線14-1に対する駆動を行う

ことによって、I3Cマスタ12から送信されてくるデータを受信することができる。

[0033] コマンド解釈部33は、I3Cマスタ12のコマンド送信部23からデータ信号線14-1およびクロック信号線14-2を介して送信されてくるコマンドを受信し、そのコマンドを解釈して、コマンドによる指示に基づいた各種の処理を行う。例えば、コマンド解釈部33は、HDRモードによる通信の開始を指示するコマンドを受信した場合、モード制御部34に対してHDRモードによる通信が開始されることを通知する処理を行う。また、コマンド解釈部33は、データの書き込みを指示するコマンドまたはデータの読み出しを指示するコマンドを受信した場合、送受信制御部35に対して、データの書き込みまたは読み出しを行うことを通知する処理を行う。

[0034] モード制御部34は、コマンド解釈部33が受信したコマンドによる指示に従って、I3Cマスタ12のモード制御部24と同様に、SDRモード、DDRモード、TSPモード、および、TSLモードのいずれかを選択する。そして、モード制御部34は、その選択した転送モードで通信を行うように送受信制御部25に対する制御を行う。

[0035] 送受信制御部35は、モード制御部24により選択された転送モードで、コマンド解釈部33が受信したコマンドに従って、データ送信部31およびデータ受信部32によるデータの送受信を制御する。

[0036] このようにI3Cスレーブ13は構成されており、I3Cマスタ12による制御に応じて転送モードを切り替えて、例えば、レジスタから読み出すデータをデータ送信部31により送信させたり、レジスタに書き込むデータをデータ受信部32に受信させたりすることができる。

[0037] 以上のように構成されるI3Cマスタ12およびI3Cスレーブ13は、それぞれシステムコントローラおよび被制御デバイスに実装され、それらが行う通信における物理層での処理を実行することができる。

[0038] 図2は、図1のI3Cマスタ12を実装したシステムコントローラの構成例を示すブロック図である。

- [0039] 図2に示すシステムコントローラ41は、データ信号線14-1およびクロック信号線14-2に接続されているI3Cマスタ12の他、CCIレイヤ処理部42、CPU43、および内部バス44を備えて構成されている。また、図示するように、I3Cマスタ12は、I3Cマスタ12より上位の処理を行うCCIレイヤ処理部42に接続され、CCIレイヤ処理部42は、内部バス44を介して、システムコントローラ41全体の制御を行うCPU43に接続される。
- [0040] CCIレイヤ処理部42は、レジスタアドレス管理部51、転送長情報保持部52、ライト転送終了制御部53、無効データ処理部54、および転送長情報送信部55を備えて構成される。
- [0041] レジスタアドレス管理部51は、図1のバスIF11に接続されている各レジスタのアドレスを管理する。
- [0042] 転送長情報保持部52は、I3Cスレーブ13との間で行うデータ転送において転送するデータのデータ長（バイト数）を示す転送長情報（Length）を保持する。
- [0043] ライト転送終了制御部53は、I3Cマスタ12からI3Cスレーブ13に転送したデータをレジスタに書き込むライト転送を終了する際の制御を行う。
- [0044] 無効データ処理部54は、例えば、データを転送する際の最低単位である1ワードが、2バイト（16bit）として規定されているHDRモードにおいて、奇数バイトのデータを転送する際に利用されるダミーデータを付加したり、削除したりする処理を行う。
- [0045] 転送長情報送信部55は、転送長情報保持部52に保持されている転送長情報を、I3Cマスタ12を介してI3Cスレーブ13に送信させる。
- [0046] 図3は、図1のI3Cスレーブ13を実装した被制御デバイスの構成例を示すブロック図である。
- [0047] 図3に示す被制御デバイス61は、データ信号線14-1およびクロック信号線14-2に接続されているI3Cスレーブ13の他、CCIレイヤ処理部62、デバイス制御部63、および内部バス64を備えて構成されている。また、図示するように、I3Cスレーブ13は、I3Cスレーブ13より上位の処理

を行うCCIレイヤ処理部62に接続され、CCIレイヤ処理部62は、内部バス64を介して、被制御デバイス61全体の制御を行うデバイス制御部63に接続される。

- [0048] CCIレイヤ処理部62は、レジスタアドレス管理部71、レジスタR/W (Read/Write) 制御部72、リード転送終了制御部73、無効データ処理部74、および転送長情報保持部75を備えて構成される。
- [0049] レジスタアドレス管理部71は、被制御デバイス61に備えられているレジスタのアドレスを管理する。
- [0050] レジスタR/W制御部72は、I3Cマスタ12からI3Cスレーブ13に転送されてくるデータをレジスタに書き込む制御、および、I3Cスレーブ13からI3Cマスタ12に送信するためにレジスタからデータを読み出す制御を行う。
- [0051] リード転送終了制御部73は、レジスタから読み出したデータをI3Cスレーブ13からI3Cマスタ12に転送するリード転送を終了する際の制御を行う。
- [0052] 無効データ処理部74は、HDRモードにおいて、奇数バイトのデータを転送する際に利用される無効データを付加したり、削除したりする処理を行う。
- [0053] 転送長情報保持部75は、I3Cマスタ12との間でデータ転送を行う際に、I3Cマスタ12から送信されてくる転送長情報 (Length) を保持する。
- [0054] そして、デバイス制御部63は、例えば、CCIレイヤ処理部62のレジスタR/W制御部72による制御に従って、I3Cスレーブ13が受信したデータをステートレジスタへ書き込む制御を行う。また、デバイス制御部63は、例えば、I3Cスレーブ13により送信させるデータをステートレジスタから読み出す制御を行い、CCIレイヤ処理部62のレジスタR/W制御部72による制御に従って、そのデータが送信される。
- [0055] 以上のように構成されるシステムコントローラ41および被制御デバイス61では、例えば、レジスタへ書き込むデータをシステムコントローラ41から被制御デバイス61へ転送したり、レジスタから読み出したデータを被制御デバイス61からシステムコントローラ41へ転送したりすることができる。

[0056] <データ転送の第1の処理例>

図4乃至図6を参照して、バス1F11においてデータを転送する第1のデータ転送処理の一例について説明する。

[0057] 図4は、転送モードがDDRモードである場合に、I3Cマスタ12とI3Cスレーブ13との間で送受信される信号のフォーマットを示している。図4の上側には、レジスタから読み出したデータをI3Cスレーブ13からI3Cマスタ12へ転送するリード転送処理を行う際のフォーマットが示されている。図4の下側には、レジスタに書き込むデータをI3Cマスタ12からI3Cスレーブ13へ転送するライト転送処理を行う際のフォーマットが示されている。

[0058] リード転送処理を行う場合、まず、I3Cマスタ12は、HDRモードによる通信の開始またはリスタートを指示するコマンド (ENTHDR or HDR\_Restart) を送信する。続いて、I3Cマスタ12は、レジスタから読み出して転送するデータのデータ長をI3Cスレーブ13に通知するための書き込みを行うことを指示するライトコマンド (DDR\_Cmd(W)) を送信する。そして、I3Cマスタ12は、ライトコマンドに続いて、データの読み出しを開始する先頭のアドレスを通知するインデックス (Index)、転送するデータのデータ長を示す転送長情報 (Length)、および、CRC (Cyclic Redundancy Check) ワードを送信する。その後、I3Cマスタ12は、HDRモードによる通信のリスタートを指示するコマンド (HDR\_Restart) を送信し、データの読み出しを指示するリードコマンド (DDR\_Cmd(R)) を送信する。

[0059] これに応じて、I3Cスレーブ13は、インデックスに従ったアドレスの先頭から順に、DDRモードにおける1ワード (16bit) ごとにデータを転送し、転送長情報に従った読み込みバイト数のデータを送信し終わると、CRCワードを送信する。その後、I3Cマスタ12は、HDRモードによる通信のリスタートまたは終了を指示するコマンド (HDR\_Restart or HDR\_Exit) を送信する。

[0060] ライト転送処理を行う場合、まず、I3Cマスタ12は、HDRモードによる通信の開始またはリスタートを指示するコマンド (ENTHDR or HDR\_Restart) を送信する。続いて、I3Cマスタ12は、データの書き込みを指示する書き込み

コマンド (DDR\_Cmd(W))、データの書き込みを開始する先頭のアドレスを通知するインデックス (Index)、および、転送するデータのデータ長を示す転送長情報 (Length) を送信する。そして、I3Cマスタ 1 2 は、インデックスに従ったアドレスの先頭から順に、DDRモードにおける 1 ワード (16bit) ごとにデータを転送し、転送長情報に従った書き込みバイト数のデータを送信し終わると、CRCワードを送信する。その後、I3Cマスタ 1 2 は、HDRモードによる通信のリスタートまたは終了を指示するコマンド (HDR\_Restart or HDR\_Exit) を送信する。

[0061] 図 5 は、転送モードがTSLモードまたはTSPモードである場合に、I3Cマスタ 1 2 とI3Cスレーブ 1 3 との間で送受信される信号のフォーマットを示している。図 5 の上側には、レジスタから読み出したデータをI3Cスレーブ 1 3 からI3Cマスタ 1 2 へ転送するリード転送処理を行う際のフォーマットが示されている。図 5 の下側には、レジスタに書き込むデータをI3Cマスタ 1 2 からI3Cスレーブ 1 3 へ転送するライト転送処理を行う際のフォーマットが示されている。

[0062] ここで、TSLモードまたはTSPモードは、図 4 に示したCRCワードの送信が行われない点でDDRモードとは異なっており、その他の点で共通するフォーマットとなっている。

[0063] このように、第 1 のデータ転送処理では、データを転送する際に、I3Cスレーブ 1 3 からI3Cマスタ 1 2 に転送長情報が送信される。そして、その転送長情報は、システムコントローラ 4 1 側では、CCIレイヤ処理部 4 2 の転送長情報保持部 5 2 に保持され、被制御デバイス 6 1 側では、CCIレイヤ処理部 6 2 の転送長情報保持部 7 5 に保持される。

[0064] これにより、例えば、転送が要求されたデータのデータ長が奇数バイトであった場合、1 バイトのダミーデータを付加して転送しても、転送長情報に基づいて、そのダミーデータを認識して破棄することができる。これにより、データを転送する際の最低単位である 1 ワードが 2 バイト (16bit) であっても、奇数バイトのデータの転送を確実に行うことができる。

- [0065]   ところで、I3Cでは、1回あたりのリード転送において転送可能なバイト数の上限（以下、最大リード長（MRL : Max Read Length）と称する）が規定されている。同様に、I3Cでは、1回あたりのライト転送において転送可能な最大のバイト数の上限（以下、最大ライト長（MWL : Max Write Lengthと称する）が規定されている。通常、最大リード長および最大ライト長は、被制御デバイス61それぞれの実装上の都合によって設計時点で固定値とする他、例えば、他とリソースをシェアしている場合などには可変とすることができる。
- [0066]   例えば、I3Cマスタ12は、CCIレイヤ処理部42からデータ転送が要求されたデータのデータ長が、最大リード長または最大ライト長より長い場合には、最大リード長または最大ライト長以下となるようにデータを分割して転送する制御を行う。
- [0067]   図6は、I3Cマスタ12において行われる処理について説明するフローチャートである。
- [0068]   ステップS11において、I3Cマスタ12は、バスIF11に接続されている各I3Cスレーブ13に対して、それぞれのI3Cスレーブ13の最大リード長および最大ライト長の送信を指示するコマンド（GETMWL/MRL）を送信する。そして、I3Cマスタ12は、そのコマンドに応じて、それぞれのI3Cスレーブ13から送信されてくる最大リード長および最大ライト長を取得する。
- [0069]   ステップS12において、I3Cマスタ12は、ステップS11で取得した各I3Cスレーブ13の最大リード長または最大ライト長を調整する必要があるか否かを判定する。例えば、I3Cマスタ12は、CCIレイヤ処理部42からデータ転送が要求されることが想定されるデータのデータ長と、I3Cスレーブ13の最大リード長および最大ライト長それぞれと比較する。そして、I3Cマスタ12は、I3Cスレーブ13の最大リード長および最大ライト長の少なくとも一方が、想定されるデータのデータ長以下である場合、想定されるデータのデータ長以下の最大リード長または最大ライト長を調整する必要があると判定する。また、I3Cマスタ12は、例えば、I3Cマスタ12自身の最大リード長

および最大ライト長を、想定されるデータのデータ長として比較を行ってもよい。

- [0070] ステップS 1 2において、I3Cマスタ 1 2が、I3Cスレーブ 1 3の最大リード長または最大ライト長を調整する必要があると判定した場合、処理はステップS 1 3に進む。
- [0071] ステップS 1 3において、I3Cマスタ 1 2は、調整する必要があると判定されたI3Cスレーブ 1 3の最大リード長または最大ライト長を調整し、調整後の最大リード長および最大ライト長を設定するコマンド（SETMWL/MRL）をI3Cスレーブ 1 3に送信する。例えば、I3Cマスタ 1 2は、CCIレイヤ処理部 4 2からデータ転送が要求されることが想定されるデータのデータ長以下であるI3Cスレーブ 1 3の最大リード長または最大ライト長を、その想定されるデータのデータ長となるように調整する。また、I3Cマスタ 1 2は、例えば、I3Cマスタ 1 2自身の最大リード長および最大ライト長となるように、I3Cスレーブ 1 3の最大リード長または最大ライト長を調整してもよい。
- [0072] ステップS 1 3の処理後、または、ステップS 1 2においてI3Cスレーブ 1 3の最大リード長または最大ライト長を調整する必要があると判定された場合、処理はステップS 1 4に進む。
- [0073] ステップS 1 4において、I3Cマスタ 1 2は、上位層であるCCIレイヤ処理部 4 2からデータ転送が要求されるのを待機し、データ転送の要求があると受信する。
- [0074] ステップS 1 5において、I3Cマスタ 1 2は、ステップS 1 4でCCIレイヤ処理部 4 2からデータ転送が要求されたデータのデータ長が、データ転送を行う対象のI3Cスレーブ 1 3の最大リード長または最大ライト長より長いかなかを判定する。例えば、ステップS 1 3においてI3Cスレーブ 1 3の最大リード長または最大ライト長が調整されていた場合には、調整後の最大リード長または最大ライト長に基づいて判定が行われる。
- [0075] ステップS 1 5において、I3Cマスタ 1 2が、データ転送が要求されたデータのデータ長が、データ転送を行う対象のI3Cスレーブ 1 3の最大リード長ま

たは最大ライト長より長いと判定した場合、処理はステップS 1 6に進む。

ステップS 1 6において、I3Cマスタ1 2は、データ転送が要求されたデータを、データ転送を行う対象のI3Cスレーブ1 3の最大リード長または最大ライト長以下の長さに分割して、リード転送処理またはライト転送処理を行う。

[0076] 一方、ステップS 1 5において、I3Cマスタ1 2が、データ転送が要求されたデータのデータ長が、データ転送を行う対象のI3Cスレーブ1 3の最大リード長または最大ライト長より長くない（最大リード長または最大ライト長以下の長さである）と判定した場合、処理はステップS 1 7に進む。ステップS 1 7において、I3Cマスタ1 2は、データを分割することなく、通常のリード転送処理またはライト転送処理を行う。

[0077] ステップS 1 6またはS 1 7の処理後、処理はステップS 1 4に戻り、I3Cマスタ1 2は、上位層であるCCIレイヤ処理部4 2からデータ転送が要求されるのを待機して、以下、同様の処理が繰り返して行われる。

[0078] このように、I3Cマスタ1 2は、I3Cスレーブ1 3に設定されている最大リード長または最大ライト長より長いデータのデータ転送が要求された場合、そのデータを分割して転送することができる。

[0079] 即ち、システムコントローラ4 1では、I3Cマスタ1 2が、I3Cスレーブ1 3の最大リード長および最大ライト長を取得し、I3Cスレーブ1 3とデータ転送を行う際に、1回のデータ転送において転送されるデータのデータ長が最大リード長および最大ライト長以下となるように、送受信制御部2 5によりデータの送受信を制御することができる。そして、システムコントローラ4 1では、CCIレイヤ処理部4 2は、転送されるデータのデータ長を示す転送長情報に、最大リード長および最大ライト長以下のデータ長を設定して、I3Cマスタ1 2は、データをデータ転送するのに先立って、その転送長情報をI3Cスレーブ1 3に送信することができる。

[0080] 例えば、ステップS 1 7において通常のリード転送処理またはライト転送処理を行うとき、I3Cスレーブ1 3は、CCIレイヤ処理部4 2において最大リード長および最大ライト長を超えないように設定されたデータ転送を行う。

- [0081] また、ステップS 1 6において最大リード長または最大ライト長以下の長さに分割してリード転送処理またはライト転送処理を行うとき、I3Cスレーブ1 3は、複数回に分けてデータを送信するようにデータ転送を行う。このとき、I3Cスレーブ1 3は、例えば、データの転送ごとに転送長情報を送信することができる。または、後述するように、I3Cスレーブ1 3は、リード転送処理を行う際に、転送が要求されたデータ全体のデータ長を示す転送長情報を1 回だけ送信することができ、これによりオーバーヘッドを低減して転送効率が低下することを回避することができる。
- [0082] ところで、最大リード長および最大ライト長の送信を指示するコマンド（GETMRL, GETMWL）に対応していないI3Cスレーブ1 3が存在することも想定される。または、I3Cマスタ1 2が意図せずに、最大リード長または最大ライト長を超える長さを転送長情報に設定してしまうことも想定される。
- [0083] そのため、最大ライト長より長いデータ長のデータを書き込むとき、I3Cスレーブ1 3側のFIFO（First In, First Out）が溢れてしまう事態が発生する。
- [0084] このような事態に対する第1の対策として、I3Cスレーブ1 3は、FIFOが溢れるまではデータを通常に書き込み、FIFOが溢れた後のデータを全て破棄し、FIFOが溢れるエラーが発生したことを示すエラーフラグ（over MWL error）を立て、クリアするまでエラーフラグを保持する。そして、I3Cスレーブ1 3は、次のHDR終了コマンドまたはHDRリスタートコマンド（HDR\_Exit or HDR\_Restart）を受信するまでは、一切の信号を無視する。
- [0085] また、第2の対策として、I3Cスレーブ1 3は、最大ライト長に達したら、I3Cスレーブ1 3側から通信を中断する処理（Slave Abort）を行う。これに応じて、I3Cマスタ1 2は、通信を止めて、HDR終了コマンド（HDR\_Exit）により停止させたり、HDRリスタートコマンド（HDR\_Restart）を発行して残りのデータの転送を継続したりすることができる。
- [0086] また、第3の対策として、I3Cスレーブ1 3は、転送長情報を受信した時点で、最大ライト長を超えていることを認識することができるので、その後、

すぐにI3Cスレーブ13側から通信を中断する処理 (Slave Abort) を行う。  
これに応じて、I3Cマスタ12は、通信を止めて、HDR終了コマンド (HDR\_Exit) により停止させたり、HDRリスタートコマンド (HDR\_Restart) を発行して残りのデータの転送を継続したりすることができる。

- [0087] さらに、最大リード長より長いデータ長のデータを読み出すときにも対策を行う必要がある。
- [0088] 例えば、第1の対策として、I3Cスレーブ13は、最後までデータ転送を行うことが困難であることより、リードコマンドを受信したらすぐに、NACKを返して通信を終了させる。そして、I3Cスレーブ13は、最大リード長より長いデータ長のデータの読み出しが指示されたことによるエラーの発生を示すエラーフラグ (over MRL error) を立て、クリアするまではエラーフラグを保持する。
- [0089] また、第2の対策として、I3Cスレーブ13は、最大リード長の上限まで、とりあえずデータをI3Cマスタ12に転送する。そして、最大リード長に達した時点でエラーフラグ (over MRL error) を立てて、DDRモードの場合は終了パケットであるCRCワードをI3Cマスタ12に送り、TSP/TSLモードの場合は、データ信号線14-1およびクロック信号線14-2に対する駆動を停止して、バスを手放す。
- [0090] 一方、I3Cマスタ12側では、DDRモードの場合、転送長情報に示すデータ長に達する前に、CRCワードを受理した段階で、I3Cスレーブ13がエラー (over MRL error) となったことを認識する。そして、I3Cマスタ12は、CRCエラーが発生していなければ、その時点までのデータを受理する。
- [0091] また、I3Cマスタ12側では、TSL/TSPモードの場合、転送長情報に示すデータ長に達する前に、データ信号線14-1およびクロック信号線14-2に対する駆動が行われない (トグルしない) 状態を検出した段階で、I3Cスレーブ13がエラー (over MRL error) となったことを認識する。
- [0092] そして、I3Cマスタ12は、DDRモードおよびTSL/TSPモードのどちらであっても、I3Cスレーブ13のエラー (over MRL error) を認識した以降では、最

大リード長を超えないデータ長でHDRリード処理を行うように、データの再送信を行う。

[0093] <データ転送の第2の処理例>

図7乃至図25を参照して、バス1F11においてデータを転送する第2のデータ転送処理について、さらに詳細に説明する。

[0094] 図7には、転送モードがDDRモードである場合に、最大リード長を超えるデータを分割して転送し、I3Cスレーブ13からI3Cマスタ12にデータを読み出すリード転送処理を行う際のフォーマットが示されている。なお、図7では、最大リード長が200バイトであるときに、300バイトのデータの転送が要求されたときの例が示されている。

[0095] まず、I3Cマスタ12は、HDRモードによる通信の開始またはリスタートを指示するコマンド (ENTHDR or HDR\_Restart) を送信する。続いて、I3Cマスタ12は、レジスタから読み出して転送するデータのデータ長をI3Cスレーブ13に通知するための書き込みを行うことを指示するライトコマンド (DDR\_Cmd(W)) を送信する。

[0096] そして、I3Cマスタ12は、ライトコマンドに続いて、データの読み出しを開始する先頭のアドレスを通知するインデックス (Index)、転送するデータのデータ長を示す転送長情報 (Length)、および、CRCワードを送信する。その後、I3Cマスタ12は、HDRモードによる通信のリスタートを指示するコマンド (HDR\_Restart) を送信し、データの読み出しを指示するリードコマンド (DDR\_Cmd(R)) を送信する。図7に示す例では、データの読み出しを開始する先頭のアドレスは0番地とされ、転送するデータのデータ長は300バイトとされており、最大リード長である200バイトごとに分割してデータが転送される。

[0097] これに応じて、I3Cスレーブ13は、インデックスに従って、0番地のアドレスから順に、DDRモードにおける1ワード (16bit) ごとにデータを転送し、最大リード長となる200バイトのデータを送信し終わると、CRCワードを送信する。

- [0098] その後、I3Cマスタ12は、HDRモードによる通信のリスタートを指示するコマンド (HDR\_Restart) を送信するのについで、データの読み出しを指示するリードコマンド (DDR\_Cmd(R)) を送信する。
- [0099] このとき、I3Cスレーブ13は、転送長情報で示された300バイトのうち、200バイトのデータを既に送信していることより、その続きとなる先頭のアドレスは200番地であって、残りの100バイトを送信する必要があると認識することができる。従って、I3Cスレーブ13は、200番地のアドレスから順に、DDRモードにおける1ワード (16bit) ごとにデータを転送し、100バイトのデータを送信し終わると、CRCワードを送信する。
- [0100] これにより、転送が要求された300バイトのデータを読み出したことになり、I3Cマスタ12は、HDRモードによる通信のリスタートまたは終了を指示するコマンド (HDR\_Restart or HDR\_Exit) を送信する。
- [0101] 以上のように、I3Cマスタ12は、リード転送処理を行う際に、上述の図4を参照して説明したように、I3Cスレーブ13からデータを読み出す前に、インデックスおよび転送長情報を送信することにより、データの読み出しを開始する先頭のアドレスおよび転送するデータのデータ長をI3Cスレーブ13に通知する。ここで、I3Cマスタ12は、例えば、最大リード長を超えたデータを分割して読み出す場合には、最初に、全体のデータについてのインデックスおよび転送長情報を送信する。
- [0102] これより、I3Cマスタ12が、連続して読み出されるデータごとにインデックスおよび転送長情報を送信しなくても、I3Cスレーブ13において、データを送信するたびに送信残量を更新することで、連続して読み出されるデータのインデックスおよびデータ長を認識することができる。
- [0103] これにより、連続して転送されるデータごとにインデックスおよび転送長情報を送信しなくてもよく、その分だけオーバーヘッドを削減することができる、データの転送効率を向上させることができる。
- [0104] 図8には、転送モードがTSLモードまたはTSPモードである場合に、最大リード長を超えるデータを分割して転送し、I3Cスレーブ13からI3Cマスタ1

2にデータを読み出すリード転送処理を行う際のフォーマットが示されている。なお、図8では、図7と同様に、最大リード長が200バイトであるときに、300バイトのデータを転送する例が示されている。

[0105] ここで、TSLモードまたはTSPモードは、図7に示したCRCワードの送信が行われない点でDDRモードとは異っており、その他の点で共通するフォーマットとなっている。即ち、TSLモードまたはTSPモードにおいて、DDRモードと同様に、データの転送効率を向上させることができる。

[0106] <システムコントローラのデータ転送処理>

図9乃至図17に示すフローチャートを参照して、システムコントローラ41において実行されるデータ転送処理について説明する。

[0107] ステップS21において、I3Cマスタ12は、バスIF11に接続されている各I3Cスレーブ13に基づいた初期設定プロセス（例えば、上述した図6のステップS11乃至S13の処理）を行う。

[0108] ステップS22において、CCIレイヤ処理部42は、上位層であるCPU43からデータ転送が要求されるのを待機し、データ転送の要求があると受信する。

[0109] ステップS23において、CCIレイヤ処理部42は、ステップS22で受信したデータ転送の要求に従って、被制御デバイス61との間でデータ転送を行う際の転送モードが、DDRモード、TSL/TSPモード、およびSDRモードのいずれであるかを判定する。

[0110] ステップS23において、CCIレイヤ処理部42が、転送モードがDDRモードであると判定した場合、処理はステップS24に進み、図10乃至図13を参照して後述するようにDDRモードによるレジスタR/W転送処理が行われる。

[0111] 一方、ステップS23において、CCIレイヤ処理部42が、転送モードがTSL/TSPモードであると判定した場合、処理はステップS25に進み、図14乃至図17を参照して後述するようにTSL/TSPモードによるレジスタR/W転送処理が行われる。

- [0112] 一方、ステップS 2 3において、CCIレイヤ処理部4 2が、転送モードがSD Rモードであると判定した場合、処理はステップS 2 6に進み、SDRモードによりレジスタR/W転送が行われる。なお、SDRモードによりレジスタR/W転送が行われる場合には、上述したような転送長情報を送受信する必要はない。
- [0113] ステップS 2 4、ステップS 2 5、またはステップS 2 6の処理後、処理はステップS 2 2に戻って、システムコントローラ4 1では、以下、同様の処理が繰り返して行われる。
- [0114] 次に、図1 0乃至図1 3を参照して、システムコントローラ4 1が実行するDDRモードによるレジスタR/W転送処理（図9のステップS 2 4）について説明する。
- [0115] 図1 0は、DDRモードによるレジスタR/W転送処理を説明するフローチャートである。
- [0116] ステップS 3 1において、I3Cマスタ1 2では、コマンド送信部2 3が、バスI F 1 1に接続されている全てのI3Cスレーブ1 3に対して、HDRモードによる通信を開始して、DDRモードで通信を行うHDR開始コマンド（ENTHDR0）を送信する。
- [0117] ステップS 3 2において、CCIレイヤ処理部4 2は、図9のステップS 2 2で上位層であるCPU4 3からデータ転送が要求されたデータのデータ長を、被制御デバイス6 1との間で転送されるデータの残り示す転送残量に設定する。
- [0118] ステップS 3 3において、CCIレイヤ処理部4 2は、CPU4 3により要求されたデータの転送方向が、リード転送およびライト転送のどちらであるかを判定する。
- [0119] ステップS 3 3において、CCIレイヤ処理部4 2が、データの転送方向がリード転送であると判定した場合、処理はステップS 3 4に進み、図1 1を参照して後述するようにDDRリード転送処理が行われる。
- [0120] 一方、ステップS 3 3において、CCIレイヤ処理部4 2が、データの転送方向がライト転送であると判定した場合、処理はステップS 3 5に進み、図1

3を参照して後述するようにDDRライト転送処理が行われる。

- [0121] ステップS 3 4のDDRリード転送処理、または、ステップS 3 5のDDRライト転送処理の処理後、処理はステップS 3 6に進む。
- [0122] ステップS 3 6において、CCIレイヤ処理部4 2は、上位層であるCPU 4 3から次のHDRによるデータ転送が要求されたか否かを判定する。
- [0123] ステップS 3 6において、CCIレイヤ処理部4 2が、次のHDRによるデータ転送が要求されたと判定した場合、処理はステップS 3 7に進む。ステップS 3 7において、I3Cマスタ1 2では、コマンド送信部2 3が、HDRモードによる通信のリスタートを指示するHDRリスタートコマンドを送信する。その後、処理はステップS 3 2に戻り、以下、同様の処理が繰り返して行われる。
- [0124] 一方、ステップS 3 6において、CCIレイヤ処理部4 2が、次のHDRによるデータ転送が要求されていないと判定した場合、処理はステップS 3 8に進む。
- [0125] ステップS 3 8において、I3Cマスタ1 2では、コマンド送信部2 3が、HDRモードによる通信の終了を指示するコマンドを送信した後、DDRモードによるレジスタR/W転送処理は終了され、処理は図9のステップS 2 2に戻る。
- [0126] 図1 1は、図1 0のステップS 3 4において行われるDDRリード転送処理を説明するフローチャートである。
- [0127] ステップS 4 1において、CCIレイヤ処理部4 2は、図1 0のステップS 3 2で設定した転送残量を、被制御デバイス6 1に送信するデータのデータ長を示す転送長情報に設定し、転送長情報保持部5 2に保持させる。
- [0128] ステップS 4 2において、I3Cマスタ1 2は、レジスタから読み出して転送するデータのデータ長をI3Cスレーブ1 3に通知するために、転送長情報をI3Cスレーブ1 3に送信するHDRライト転送処理（図1 2参照）を行う。その処理後、I3Cマスタ1 2では、コマンド送信部2 3が、ステップS 4 3において、HDRリスタートコマンドを送信し、ステップS 4 4において、リードコマンドを送信する。
- [0129] ステップS 4 5において、I3Cマスタ1 2は、データ信号線1 4-1に対す

る駆動を停止し、I3Cスレーブ13がデータ信号線14-1に対する駆動を行って信号を送信してくると、データ受信部22により信号の受信が開始される。

- [0130] ステップS46において、I3Cマスタ12は、I3Cスレーブ13から送信されてくる信号のプリアンプルに基づく判定を行う。ステップS46において、I3Cマスタ12が、プリアンプルに基づいて、I3Cスレーブ13からデータが送信されてくると判定した場合、処理はステップS47に進む。
- [0131] ステップS47において、I3Cマスタ12では、データ受信部22が、I3Cスレーブ13から送信されてくるデータおよびパリティを受信する。
- [0132] ステップS48において、I3Cマスタ12は、ステップS47で受信したパリティを用いて、ステップS47で受信したデータにエラーが発生しているか否かを判定する。そして、I3Cマスタ12が、パリティエラーが発生していないと判定した場合、処理はステップS49に進む。
- [0133] ステップS49において、CCIレイヤ処理部42は、現在の転送残量が、2バイト以上、1バイト、および0バイトのいずれであるかを判定する。
- [0134] ステップS49において、CCIレイヤ処理部42が、現在の転送残量が2バイト以上であると判定した場合、処理はステップS50に進む。ステップS50において、CCIレイヤ処理部42は、レジスタから読み出されてI3Cスレーブ13からI3Cマスタ12へ転送された2バイトのデータを取得し、ステップS51において、転送残量を2バイト繰り下げて更新する。
- [0135] 一方、ステップS49において、CCIレイヤ処理部42が、転送残量が1バイトであると判定した場合、処理はステップS52に進む。ステップS52において、CCIレイヤ処理部42では、I3Cスレーブ13からI3Cマスタ12へ転送されたデータの2バイトのうち、1バイトのダミーデータが無効データ処理部54により破棄され、レジスタから読み出された1バイトのデータが取得される。その後、I3Cマスタ12は、ステップS53において、転送残量を1バイト繰り下げて更新する。
- [0136] 一方、ステップS49において、CCIレイヤ処理部42が、転送残量が0バ

イトであると判定した場合、処理はステップS 5 4に進む。即ち、この場合、I3Cスレーブ1 3から転送されてくるデータはない（0バイト）ことより、CCIプロトコル違反であるため、CCIレイヤ処理部4 2は、I3Cスレーブ1 3からI3Cマスタ1 2へ転送された2バイトとも破棄する。

- [0137] ステップS 5 1、ステップS 5 3、またはステップS 5 4の処理後、処理はステップS 5 5に進み、I3Cマスタ1 2は、I3Cスレーブ1 3から送信されてくる信号のプリアンプルに基づく判定を行う。
- [0138] ステップS 5 5において、I3Cマスタ1 2が、プリアンプルに基づいて、I3Cスレーブ1 3からデータが送信されてくると判定した場合、処理はステップS 4 7に戻り、以下、同様の処理が繰り返して行われる。
- [0139] 一方、ステップS 5 5において、I3Cマスタ1 2が、プリアンプルに基づいて、CRCワードが送信されてくると判定した場合、処理はステップS 5 6に進み、データ受信部2 2はCRCワードを受信する。例えば、I3Cスレーブ1 3は、データ転送が要求された全てのデータを送信した場合、または、最大リード長のデータを送信した場合、CRCワードを送信する。
- [0140] ステップS 5 7において、I3Cマスタ1 2は、ステップS 5 6でデータ受信部2 2が受信したCRCワードにエラーが発生しているか否かを判定する。
- [0141] ステップS 5 7において、I3Cマスタ1 2が、CRCワードにエラーが発生していないと判定した場合、処理はステップS 5 8に進み、データ信号線1 4-1に対する駆動を再開する。
- [0142] ステップS 5 9において、I3Cマスタ1 2は、例えば、ステップS 5 1またはS 5 3で転送残量が更新された後、現在の転送残量が0となったか否かを判定する。例えば、転送長情報により示されるデータ長のデータ、即ち、データ転送が要求された全てのデータが送信された場合には、現在の転送残量は0となっている。これに対し、例えば、転送長情報により示されるデータ長が最大リード長より長いことより、データを分割して転送する場合には、データ転送が要求された全てのデータが送信されていなくても、CRCワードが送信される場合があり、この場合には、現在の転送残量は0となっていない

。

- [0143] ステップS 5 9において、I3Cマスタ1 2が、現在の転送残量が0となっていないと判定した場合、処理はステップS 4 3に戻り、HDRリスタートコマンドの送信から処理が継続して行われる。
- [0144] 一方、ステップS 4 6において、I3Cマスタ1 2が、プリアンプルに基づいて、例えば、I3Cスレーブ1 3が正常にデータやコマンドなどを受信することができなかったことを示すNACK応答が送信されてきたと判定した場合、または、フレーミングエラー（Framing Error）が発生したことを検出した場合、処理はステップS 6 0に進む。同様に、I3Cマスタ1 2が、ステップS 4 8においてパリティエラーが発生していると判定した場合、ステップS 5 5においてフレーミングエラーであることを検出した場合、ステップS 5 7においてCRCワードにエラーが発生していると判定した場合、処理はステップS 6 0に進む。
- [0145] ステップS 6 0において、I3Cマスタ1 2は、I3Cスレーブ1 3に対してシリアルクロックを1 9回送信する。
- [0146] そして、ステップS 6 1において、I3Cマスタ1 2は、CCIレイヤ処理部4 2に対してエラーを通知し、ステップS 6 2において、CCIレイヤ処理部4 2は、上位層であるCPU4 3に対してエラーを通知する。
- [0147] ステップS 6 2の処理後、または、ステップS 5 9において現在の転送残量が0となったと判定された場合、DDRリード転送処理は終了され、処理は図1 0のステップS 3 6に進む。
- [0148] 図1 2は、図1 1のステップS 4 2において行われるHDRライト転送処理を説明するフローチャートである。
- [0149] ステップS 7 1において、コマンド送信部2 3がライトコマンドをI3Cスレーブ1 3送信し、ステップS 7 2において、データ送信部2 1がインデックスをI3Cスレーブ1 3に送信する。
- [0150] ステップS 7 3において、データ送信部2 1が、図9のステップS 2 2で受信したデータ転送の要求に従った転送長情報を、I3Cスレーブ1 3に送信す

る。ステップS 7 4において、データ送信部2 1が、CRCワードを送信した後、HDRライト転送処理は終了され、処理は図1 1のステップS 4 3に進む。

[0151] 図1 3は、図1 0のステップS 3 5において行われるDDRライト転送処理について説明するフローチャートである。

[0152] ステップS 8 1において、システムコントローラ4 1のCCIレイヤ処理部4 2は、図1 0のステップS 3 2で設定されている転送残量のデータ長が、1回の転送で送信可能なデータ長より長いかなかを判定する。ここで、1回の転送で送信可能なデータ長は、書き込み先となるI3Cスレーブ1 3の最大ライト長から、データの書き込みを開始する先頭のアドレスを通知するインデックと、転送するデータのデータ長とを減算した値(=MWL-Index-Length)である。

[0153] ステップS 8 1において、CCIレイヤ処理部4 2が、転送残量のデータ長が、1回の転送で送信可能なデータ長より長いと判定した場合、処理はステップS 8 2に進む。ステップS 8 2において、CCIレイヤ処理部4 2は、転送長情報に、1回の転送で送信可能なデータ長を設定して転送長情報保持部5 2に保持させ、処理はステップS 8 4に進む。

[0154] 一方、ステップS 8 1において、CCIレイヤ処理部4 2が、転送残量のデータ長が、1回の転送で送信可能なデータ長より長くない(短い)と判定した場合、処理はステップS 8 3に進む。ステップS 8 3において、CCIレイヤ処理部4 2は、転送長情報に、転送残量を設定して転送長情報保持部5 2に保持させ、処理はステップS 8 4に進む。

[0155] ステップS 8 4において、コマンド送信部2 3は、ライトコマンドをI3Cスレーブ1 3に送信し、ステップS 8 5において、データ送信部2 1はインデックスをI3Cスレーブ1 3に送信する。その後、ステップS 8 6において、転送長情報送信部5 5は、転送長情報保持部5 2に保持されている転送長情報を、データ送信部2 1によりI3Cスレーブ1 3に送信させる。

[0156] ステップS 8 7において、CCIレイヤ処理部4 2は、現時点で転送長情報保持部5 2に保持されている転送長情報を、レジスタに書き込みを行う残りの

データのデータ長として設定する。

- [0157] ステップS 8 8において、CCIレイヤ処理部4 2は、現在の残りのデータ長が、2バイト以上、1バイト、および0バイトのいずれであるかを判定する。
- [0158] ステップS 8 8において、CCIレイヤ処理部4 2が、現在の残りのデータ長が、2バイト以上であると判定した場合、処理はステップS 8 9に進む。ステップS 8 9において、CCIレイヤ処理部4 2は、I3Cマスタ1 2からI3Cスレーブ1 3へ転送してレジスタに書き込む2バイトのデータをI3Cマスタ1 2に供給し、ステップS 9 0において、残りのデータ長を2バイト繰り下げて更新する。
- [0159] 一方、ステップS 8 8において、CCIレイヤ処理部4 2が、現在の残りのデータ長が、1バイトであると判定した場合、処理はステップS 9 1に進む。ステップS 9 1において、CCIレイヤ処理部4 2では、I3Cマスタ1 2からI3Cスレーブ1 3へ転送してレジスタに書き込む1バイトのデータがI3Cマスタ1 2に供給されるとともに、無効データ処理部5 4により1バイトのダミーデータが付加される。そして、CCIレイヤ処理部4 2は、ステップS 9 2において、残りのデータ長を1バイト繰り下げて更新する。
- [0160] ステップS 9 0またはS 9 2の処理後、処理はステップS 9 3に進み、I3Cマスタ1 2は、ステップS 8 9またはS 9 1においてCCIレイヤ処理部4 2から供給されたデータをデータ送信部2 1によりI3Cスレーブ1 3に送信し、処理はステップS 8 8に戻る。
- [0161] 一方、ステップS 8 8において、CCIレイヤ処理部4 2が、現在の残りのデータ長が、0バイトであると判定した場合、処理はステップS 9 4に進む。即ち、この場合、図9のステップS 2 2で受信したデータ転送の要求に従った全てのデータの転送が完了しており、ステップS 9 4において、I3Cマスタ1 2は、CRCワードを送信する。
- [0162] ステップS 9 5において、CCIレイヤ処理部4 2は、現在の転送残量から転送長情報を減算して転送残量（＝転送残量－Length）を更新する。

- [0163] ステップS 9 6において、CCIレイヤ処理部4 2は、更新された転送残量が0となったか否かを判定する。
- [0164] ステップS 9 6において、CCIレイヤ処理部4 2が、更新された転送残量が0となっていないと判定した場合、処理はステップS 9 7に進む。ステップS 9 7において、I3Cマスタ1 2は、HDRモードによる通信のリスタートを指示するコマンドを送信した後、処理はステップS 8 1に戻り、以下、同様の処理が繰り返される。
- [0165] 一方、ステップS 9 6において、CCIレイヤ処理部4 2が、更新された転送残量が0となったと判定した場合、DDRライト転送処理は終了し、処理は図1 0のステップS 3 6に進む。
- [0166] 図1 0乃至図1 3を参照して説明したように、システムコントローラ4 1は、DDRモードによるレジスタR/W転送処理を行うことができる。
- [0167] 次に、図1 4乃至図1 7を参照して、TSL/TSPモードによるレジスタR/W転送処理（図9のステップS 2 5）について説明する。
- [0168] 図1 4は、TSL/TSPモードによるレジスタR/W転送処理を説明するフローチャートである。
- [0169] ステップS 1 0 1において、I3Cマスタ1 2は、バスI F 1 1に接続されている全てのI3Cスレーブ1 3に対して、HDRモードによる通信を開始して、TSL/TSPモードで通信を行うHDR開始コマンド（ENTHDR1/2）を送信する。
- [0170] ステップS 1 0 2において、CCIレイヤ処理部4 2は、図9のステップS 2 2で上位層であるCPU4 3からデータ転送が要求されたデータのデータ長を、被制御デバイス6 1との間で転送されるデータの残り示す転送残量に設定する。
- [0171] ステップS 1 0 3において、CCIレイヤ処理部4 2は、CPU4 3により要求されたデータの転送方向が、リード転送およびライト転送のどちらであるかを判定する。
- [0172] ステップS 1 0 3において、CCIレイヤ処理部4 2が、データの転送方向がリード転送であると判定した場合、処理はステップS 1 0 4に進み、図1 5

を参照して後述するようにTSL/TSPリード転送処理が行われる。

- [0173] 一方、ステップS 1 0 3において、CCIレイヤ処理部4 2が、データの転送方向がライト転送であると判定した場合、処理はステップS 1 0 5に進み、図 1 7を参照して後述するようにTSL/TSPライト転送処理が行われる。
- [0174] ステップS 1 0 4のTSL/TSPリード転送処理の処理後、または、ステップS 1 0 5のTSL/TSPライト転送処理の処理後、処理はステップS 1 0 6に進む。そして、ステップS 1 0 6乃至S 1 0 8において、図 1 0のステップS 3 6乃至S 3 8と同様の処理が行われた後、TSL/TSPモードによるレジスタR/W転送処理は終了され、処理は図 9のステップS 2 2に戻る。
- [0175] 図 1 5は、図 1 4のステップS 1 0 4において行われるTSL/TSPリード転送処理を説明するフローチャートである。
- [0176] ステップS 1 1 1乃至S 1 1 4において、図 1 1のステップS 4 1乃至S 4 4と同様の処理が行われる。そして、ステップS 1 1 5において、I3Cマスタ 1 2は、データ信号線 1 4 - 1およびクロック信号線 1 4 - 2に対する駆動を停止する。なお、TSL/TSPモードでは、ターンアラウンド (Turnaround)の手順が、DDRモードとは異なっている。
- [0177] ステップS 1 1 6において、I3Cマスタ 1 2は、I3Cスレーブ 1 3から送信されてくるデータを受信したか否かを判定する。なお、TSL/TSPモードでは、DDRモードと異なり、プリアンプルの送信は行われない。
- [0178] ステップS 1 1 6において、I3Cスレーブ 1 3から送信されてくるデータを受信したと判定された場合、処理はステップS 1 1 7に進み、データ受信部 2 2は、I3Cスレーブ 1 3から送信されてくるデータおよびパリティを受信する。
- [0179] ステップS 1 1 8において、I3Cマスタ 1 2は、ステップS 1 1 7でデータ受信部 2 2が受信したデータにエラーが含まれているか否かを判定し、エラーが含まれていないと判定した場合、処理はステップS 1 1 9に進む。
- [0180] ステップS 1 1 9乃至S 1 2 4において、CCIレイヤ処理部 4 2は、図 1 1のステップS 4 9乃至S 5 4と同様の処理を行う。

- [0181] ステップS 1 2 5において、I3Cマスタ 1 2は、I3Cスレーブ 1 3から送信されてくるデータを受信したか否かを判定し、データを受信したと判定した場合、処理はステップS 1 1 7に戻って、以下、同様の処理が繰り返して行われる。
- [0182] 一方、ステップS 1 2 5において、データを受信していないと判定された場合、処理はステップS 1 2 6に進み、I3Cマスタ 1 2は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 に対する駆動を再開する。なお、TSL/TSPモードでは、CRCワードの送信は行われなるとともに、ターンアラウンドの手順がDDRモードとは異なる。
- [0183] 一方、ステップS 1 1 8において、I3Cマスタ 1 2が、ステップS 1 1 7でデータ受信部 2 2 が受信したデータにエラーが含まれていると判定した場合、処理はステップS 1 2 8に進む。なお、TSL/TSPモードでは、エラー検出条件がDDRモードと異なっており、例えば、パリティエラーを検出した場合、または、データワードの境界以外でシンボル 2 × 2 以上を受信した場合、データにエラーが含まれていると判定される。
- [0184] ステップS 1 2 8において、I3Cマスタ 1 2は、信号の変化が停止するのを待機し、信号の変化が停止すると、処理はステップS 1 2 9に進む。即ち、TSL/TSPモードでは、エラーリカバリの手順がDDRモードとは異なる。
- [0185] また、ステップS 1 1 6において、I3Cスレーブ 1 3から送信されてくるデータを受信していないと判定された場合、例えば、NACK応答（シンボル 2 × 3 回）を受信した場合、処理はステップS 1 2 9に進む。
- [0186] ステップS 1 2 9において、I3Cマスタ 1 2は、CCIレイヤ処理部 4 2 に対してエラーを通知し、ステップS 1 3 0において、CCIレイヤ処理部 4 2 は、上位層であるCPU 4 3 に対してエラーを通知する。
- [0187] ステップS 1 3 0の処理後、または、ステップS 1 2 7において現在の転送残量が 0 となったと判定された場合、TSL/TSPリード転送処理は終了され、処理は図 1 4 のステップS 1 0 6に進む。
- [0188] 図 1 6 は、図 1 5 のステップS 1 1 2 において行われるHDRライト転送処理

を説明するフローチャートである。

- [0189] ステップS 1 4 1乃至S 1 4 3において、図 1 2のステップS 7 1乃至7 3と同様の処理が行われ、ライトコマンド、インデックス、および転送長情報が送信されてHDRライト転送処理が終了した後、処理は図 1 5のステップS 1 1 3に進む。即ち、図 1 6に示すTSL/TSPリード転送処理におけるHDRライト転送処理は、CRCワードを送信しない点で、図 1 2を参照して上述したDDRリード転送処理におけるHDRライト転送処理と異なっている。
- [0190] 図 1 7は、図 1 4のステップS 1 0 5において行われるTSL/TSPライト転送処理について説明するフローチャートである。
- [0191] ステップS 1 5 1乃至ステップS 1 6 3において、図 1 3のステップS 8 1乃至ステップS 9 3と同様の処理が行われる。そして、ステップS 1 5 8において、現在の残りのデータ長が0バイトであると判定された場合、即ち、図 9のステップS 2 2で受信したデータ転送の要求に従った全てのデータの転送が完了すると、処理はステップS 1 6 4に進む。
- [0192] ステップS 1 6 4乃至S 1 6 6において、図 1 3のステップS 9 5乃至S 9 7と同様の処理が行われた後、TSL/TSPライト転送処理は終了され、処理は図 1 4のステップS 1 0 6に進む。即ち、図 1 7に示すTSL/TSPライト転送処理は、CRCワードを送信しない点で、図 1 3を参照して上述したDDRライト転送処理と異なっている。
- [0193] 図 1 4乃至図 1 7を参照して説明したように、システムコントローラ 4 1は、TSL/TSPモードによるレジスタR/W転送処理を行うことができる。
- [0194] <被制御デバイスのデータ転送処理>  
図 1 8乃至図 2 5を参照して、被制御デバイス 6 1において実行されるデータ転送処理について説明する。
- [0195] 図 1 8は、システムコントローラ 4 1が、図 1 0を参照して上述したDDRモードによるレジスタR/W転送処理を実行するのに応じて被制御デバイス 6 1において行われるデータ転送処理を説明するフローチャートである。
- [0196] 例えば、I3Cスレーブ 1 3が、I3Cマスタ 1 2から送信されてくる、DDRモー

ドで通信を行うHDR開始コマンド（ENTHDR0）を受信すると処理が開始される。そして、ステップS 1 7 1において、I3Cスレーブ1 3は、I3Cマスタ1 2がHDR開始コマンドに続けて送信してくる信号のプリアンプルに基づく判定を行う。ステップS 1 7 1において、I3Cスレーブ1 3が、プリアンプルに基づいて、I3Cマスタ1 2からコマンドが送信されてくると判定した場合、処理はステップS 1 7 2に進む。

[0197] ステップS 1 7 2において、I3Cスレーブ1 3では、コマンド解釈部3 3が、I3Cマスタ1 2から送信されてくるコマンドおよびパリティを受信する。

[0198] ステップS 1 7 3において、コマンド解釈部3 3は、ステップS 1 7 2で受信したパリティを用いて、ステップS 1 7 2で受信したコマンドにエラーが発生しているか否かを判定する。そして、コマンド解釈部3 3が、パリティエラーが発生していないと判定した場合、処理はステップS 1 7 4に進む。

[0199] ステップS 1 7 4において、コマンド解釈部3 3は、ステップS 1 7 2で受信したコマンドのコマンドコードが、リードコマンドおよびライトコマンドのどちらであるかを判定する。

[0200] ステップS 1 7 4において、コマンド解釈部3 3が、コマンドコードがリードコマンドであると判定した場合、処理はステップS 1 7 5に進み、図1 9を参照して後述するようにDDRリード転送処理が行われる。

[0201] 一方、ステップS 1 7 4において、コマンド解釈部3 3が、コマンドコードがライトコマンドであると判定した場合、処理はステップS 1 7 6に進み、図2 0を参照して後述するようにDDRライト転送処理が行われる。

[0202] ステップS 1 7 5のDDRリード転送処理、または、ステップS 1 7 6のDDRライト転送処理の処理後、処理はステップS 1 7 9に進む。

[0203] 一方、ステップS 1 7 1において、プリアンプルに基づいて、フレーミングエラーが発生したことが検出された場合、または、ステップS 1 7 3において、パリティエラーが発生していると判定された場合、処理はステップS 1 7 7に進む。

- [0204] ステップS 1 7 7において、I3Cスレーブ1 3は、CCIレイヤ処理部6 2に対してエラーを通知し、ステップS 1 7 8において、CCIレイヤ処理部6 2は、転送残量を0に設定した後、処理はステップS 1 7 9に進む。
- [0205] ステップS 1 7 9において、I3Cスレーブ1 3は、コマンド解釈部3 3がHDRモードによる通信のリスタートを指示するコマンドと、HDRモードによる通信の終了を指示するコマンドとの、どちらを受信したか否かを判定する。
- [0206] ステップS 1 7 9において、コマンド解釈部3 3が、HDRモードによる通信のリスタートを指示するコマンドを受信したと判定した場合、処理はステップS 1 7 1に戻り、以下、同様の処理が繰り返して行われる。
- [0207] 一方、ステップS 1 7 9において、コマンド解釈部3 3が、HDRモードによる通信の終了を指示するコマンドを受信したと判定した場合、被制御デバイス6 1におけるデータ転送処理は終了される。
- [0208] 図1 9は、図1 8のステップS 1 7 5において行われるDDRリード転送処理を説明するフローチャートである。
- [0209] ステップS 1 8 1において、CCIレイヤ処理部6 2は、現在の転送残量が、0バイトより大きくかつ最大リード長未満、最大リード長以上、および0バイトのいずれであるかを判定する。
- [0210] ステップS 1 8 1において、CCIレイヤ処理部6 2が、現在の転送残量は0バイトより大きくかつ最大リード長未満であると判定した場合、処理はステップS 1 8 2に進む。ステップS 1 8 2において、CCIレイヤ処理部6 2は、現在のリードコマンドに応じて送信するデータの送信残量に、現在の転送残量を設定する。
- [0211] 一方、ステップS 1 8 1において、CCIレイヤ処理部6 2が、現在の転送残量は最大リード長以上であると判定した場合、処理はステップS 1 8 3に進む。ステップS 1 8 3において、CCIレイヤ処理部6 2は、現在のリードコマンドに応じて送信するデータの送信残量に、最大リード長を設定する。
- [0212] ステップS 1 8 2またはS 1 8 3の処理後、処理はステップS 1 8 4に進み、I3Cスレーブ1 3は、データ信号線1 4 - 1に対する駆動を開始する。

- [0213] ステップS 1 8 5において、CCIレイヤ処理部6 2は、現在のリードコマンドに応じて送信する送信残量が、2バイト以上、1バイト、および0バイトのいずれであるかを判定する。
- [0214] ステップS 1 8 5において、CCIレイヤ処理部6 2が、現在のリードコマンドに応じて送信するデータの送信残量が、2バイト以上であると判定した場合、処理はステップS 1 8 6に進む。
- [0215] ステップS 1 8 6において、CCIレイヤ処理部6 2は、レジスタから2バイトのデータを読み出す。そして、CCIレイヤ処理部6 2は、ステップS 1 8 7において、ステップS 1 8 6で読み出した2バイトのデータをI3Cスレーブ1 3に供給する。ステップS 1 8 8において、CCIレイヤ処理部6 2は、インデックスを2バイト繰り上げ、現在のコマンドに応じて送信するデータの送信残量を2バイト繰り下げ、転送残量を2バイト繰り下げる更新を行う。
- [0216] 一方、ステップS 1 8 5において、CCIレイヤ処理部6 2が、現在のリードコマンドに応じて送信するデータの送信残量が、1バイトであると判定した場合、処理はステップS 1 8 9に進む。
- [0217] ステップS 1 8 9において、CCIレイヤ処理部6 2は、レジスタから1バイトのデータを読み出す。そして、CCIレイヤ処理部6 2は、ステップS 1 9 0において、ステップS 1 8 9で読み出した1バイトのデータに1バイトのダミーデータを付加してI3Cスレーブ1 3に供給する。ステップS 1 9 1において、CCIレイヤ処理部6 2は、インデックスを1バイト繰り上げ、現在のコマンドに応じて送信するデータの送信残量を1バイト繰り下げ、転送残量を1バイト繰り下げる更新を行う。
- [0218] ステップS 1 8 8またはS 1 9 1の処理後、処理はステップS 1 9 2に進み、I3Cスレーブ1 3は、ステップS 1 8 7またはS 1 9 0においてCCIレイヤ処理部6 2から供給されたデータを、データ送信部3 1によりI3Cマスタ1 2に送信する。
- [0219] ステップS 1 9 3において、I3Cスレーブ1 3は、I3Cマスタ1 2により通信を途中で遮断することを指示するマスタアボートが行われたか否かを判定

する。

- [0220] ステップS 1 9 3において、I3Cスレーブ1 3が、マスタアボートが行われていないと判定した場合、処理はステップS 1 8 5に戻り、以下、同様の処理が繰り返される。一方、ステップS 1 9 3において、I3Cスレーブ1 3が、マスタアボートが行われたと判定した場合、処理はステップS 1 9 5に進む。
- [0221] 一方、ステップS 1 8 5において、CCIレイヤ処理部6 2が、現在のリードコマンドに応じて送信する送信残量が、0バイトであると判定した場合、処理はステップS 1 9 4に進む。ステップS 1 9 4において、I3Cスレーブ1 3は、CRCワードを送信して、処理はステップS 1 9 5に進む。
- [0222] ステップS 1 9 5において、I3Cスレーブ1 3は、データ信号線1 4 - 1に対する駆動を停止する。
- [0223] 一方、ステップS 1 8 1において、現在の転送残量が0バイトであると判定された場合、処理はステップS 1 9 6に進む。即ち、この場合、CCIプロトコル違反であるため、ステップS 1 9 6において、I3Cスレーブ1 3はNACKをI3Cマスタ1 2に送信する。
- [0224] ステップS 1 9 5またはS 1 9 6の処理後、DDRリード転送処理は終了され、処理は図1 8のステップS 1 7 9に進む。
- [0225] 図2 0は、図1 8のステップS 1 7 6において行われるDDRライト転送処理を説明するフローチャートである。
- [0226] ステップS 2 0 1において、I3Cスレーブ1 3は、I3Cマスタ1 2から送信されてくる信号のプリアンプルに基づく判定を行う。
- [0227] ステップS 2 0 1において、I3Cスレーブ1 3が、プリアンプルに基づいて、I3Cマスタ1 2からデータが送信されてくると判定した場合、処理はステップS 2 0 2に進む。
- [0228] ステップS 2 0 2において、I3Cスレーブ1 3では、データ受信部3 2が、I3Cマスタ1 2から送信されてくるデータおよびパリティを受信する。
- [0229] ステップS 2 0 3において、I3Cスレーブ1 3は、ステップS 2 0 2で受信

したパリティを用いて、ステップS 2 0 2で受信したデータにエラーが発生しているか否かを判定する。そして、I3Cスレーブ1 3が、パリティエラーが発生していないと判定した場合、処理はステップS 2 0 4に進む。

[0230] ステップS 2 0 4において、CCIレイヤ処理部6 2は、ステップS 2 0 2でデータ受信部3 2が受信したデータ、即ち、I3Cマスタ1 2が送信したインデックスを取得する。

[0231] ステップS 2 0 5において、I3Cスレーブ1 3は、I3Cマスタ1 2から送信されてくる信号のプリアンプルに基づいて、データが送信されてくるのか、CRCワードが送信されてくるのか、エラーが発生しているのかいずれであるかを判定する。

[0232] ステップS 2 0 5において、I3Cスレーブ1 3が、データが送信されてくると判定した場合、処理はステップS 2 0 6に進む。

[0233] ステップS 2 0 6において、I3Cスレーブ1 3では、データ受信部3 2が、I3Cマスタ1 2から送信されてくるデータおよびパリティを受信する。

[0234] ステップS 2 0 7において、I3Cスレーブ1 3は、ステップS 2 0 6で受信したパリティを用いて、ステップS 2 0 6で受信したデータにエラーが発生しているか否かを判定する。そして、I3Cスレーブ1 3が、パリティエラーが発生していないと判定した場合、処理はステップS 2 0 8に進む。

[0235] ステップS 2 0 8において、CCIレイヤ処理部6 2は、ステップS 2 0 6でデータ受信部3 2が受信したデータ、即ち、I3Cマスタ1 2が送信した転送長情報を、転送残量として取得する。

[0236] ステップS 2 0 9において、I3Cスレーブ1 3は、I3Cマスタ1 2から送信されてくる信号のプリアンプルに基づいて、データが送信されてくるのか、CRCワードが送信されてくるのか、エラーが発生しているのかいずれであるかを判定する。

[0237] ステップS 2 0 9において、I3Cスレーブ1 3が、データが送信されてくると判定した場合、処理はステップS 2 1 0に進んでライト処理（図2 1）が行われる。

- [0238] 一方、ステップS 2 0 9において、I3Cスレーブ1 3が、CRCワードが送信されてくると判定した場合、処理はステップS 2 1 1に進み、データ受信部3 2はCRCワードを受信する。
- [0239] ステップS 2 1 2において、I3Cスレーブ1 3は、ステップS 2 1 1でデータ受信部3 2が受信したCRCワードにエラーが発生しているか否かを判定する。ステップS 2 1 2において、CRCワードにエラーが発生していないと判定された場合、処理はステップS 2 1 3に進み、I3Cスレーブ1 3は、ランダムリードであると判断する。
- [0240] 一方、ステップS 2 0 5において、I3Cスレーブ1 3が、CRCワードが送信されてくると判定した場合、処理はステップS 2 1 4に進み、データ受信部3 2はCRCワードを受信する。
- [0241] ステップS 2 1 5において、I3Cスレーブ1 3は、ステップS 2 1 4でデータ受信部3 2が受信したCRCワードにエラーが発生しているか否かを判定する。ステップS 2 1 5において、I3Cスレーブ1 3が、CRCワードにエラーが発生していないと判定した場合、処理はステップS 2 1 6に進む。即ち、この場合、CCIプロトコル違反であるため、ステップS 2 1 6において、CCIレイヤ処理部6 2は、転送残量を0に設定する。
- [0242] 一方、ステップS 2 0 1、ステップS 2 0 5、またはステップS 2 0 9において、プリアンプルに基づいてフレーミングエラーが発生したことが検出された場合、処理はステップS 2 1 7に進む。同様に、ステップS 2 0 3およびS 2 0 7において、パリティエラーが発生していると判定された場合、処理はステップS 2 1 7に進む。さらに、ステップS 2 1 2またはS 2 1 5において、CRCエラーが発生していると判定された場合、処理はステップS 2 1 7に進む。
- [0243] ステップS 2 1 7において、I3Cスレーブ1 3は、CCIレイヤ処理部6 2に対してエラーを通知し、ステップS 2 1 8において、CCIレイヤ処理部6 2は、転送残量を0に設定する。
- [0244] そして、ステップS 2 1 0、ステップS 2 1 3、ステップS 2 1 6、また

はステップS 2 1 8の処理後、DDRライト転送処理は終了され、処理は図 1 8のステップS 1 7 9に進む。

[0245] 図 2 1は、図 2 0のステップS 2 1 0において行われるライト処理を説明するフローチャートである。

[0246] ステップS 2 2 1において、I3Cスレーブ 1 3では、データ受信部 3 2が、I3Cマスタ 1 2から送信されてくるデータおよびパリティを受信する。

[0247] ステップS 2 2 2において、I3Cスレーブ 1 3は、ステップS 2 2 1で受信したパリティを用いて、ステップS 2 2 1で受信したデータにエラーが発生しているか否かを判定する。そして、I3Cスレーブ 1 3が、パリティエラーが発生していないと判定した場合、処理はステップS 2 2 3に進み、CCIレイヤ処理部 6 2は、正常にデータを受信することができたことより、ライト転送を開始すると判断する。

[0248] ステップS 2 2 4において、CCIレイヤ処理部 6 2は、転送残量が、2バイト以上、1バイト、および0バイトのいずれであるかを判定する。

[0249] ステップS 2 2 4において、転送残量が2バイト以上であると判定された場合、処理はステップS 2 2 5に進み、CCIレイヤ処理部 6 2は、I3Cスレーブ 1 3が受信した2バイトのデータを、レジスタに書き込むデータとして取得する。そして、CCIレイヤ処理部 6 2は、ステップS 2 2 6において、その2バイトのデータのレジスタ書き込み処理を行い、ステップS 2 2 7において、インデックスを2バイト繰り上げ、転送残量を2バイト繰り下げる更新を行う。

[0250] 一方、ステップS 2 2 4において、転送残量が1バイトであると判定された場合、処理はステップS 2 2 8に進む。ステップS 2 2 8において、CCIレイヤ処理部 6 2では、I3Cスレーブ 1 3が受信した2バイトのデータのうち、ダミーデータの1バイトが無効データ処理部 7 4により破棄され、残りの1バイトがレジスタに書き込むデータとして取得される。そして、CCIレイヤ処理部 6 2は、ステップS 2 2 9において、その1バイトのデータのレジスタ書き込み処理を行い、ステップS 2 3 0において、インデックスを1バイト

繰り上げ、転送残量を1バイト繰り下げる更新を行う。

- [0251] 一方、ステップS 2 2 4において、転送残量が0バイトであると判定された場合、処理はステップS 2 3 1に進む。即ち、この場合、CCIプロトコル違反であるため、ステップS 2 3 1において、CCIレイヤ処理部6 2は、I3Cスレーブ1 3が受信したデータを2バイトとも破棄する。
- [0252] ステップS 2 2 7、ステップS 2 3 0、またはステップS 2 3 1の処理後、処理はステップS 2 3 2に進む。ステップS 2 3 2において、I3Cスレーブ1 3は、I3Cマスタ1 2から送信されてくる信号のプリアンプルに基づいて、データが送信されてくるのか、CRCワードが送信されてくるのか、エラーが発生しているのかいずれであるかを判定する。
- [0253] ステップS 2 3 2において、I3Cスレーブ1 3が、データが送信されてくると判定した場合、処理はステップS 2 2 1に戻り、以下、同様の処理が繰り返される。
- [0254] 一方、ステップS 2 3 2において、I3Cスレーブ1 3が、CRCワードが送信されてくると判定した場合、処理はステップS 2 3 3に進み、データ受信部3 2はCRCワードを受信する。
- [0255] ステップS 2 3 4において、I3Cスレーブ1 3は、ステップS 2 3 3でデータ受信部3 2が受信したCRCワードにエラーが発生しているか否かを判定する。ステップS 2 3 4において、CRCワードにエラーが発生していないと判定された場合、処理はステップS 2 3 5に進む。即ち、この場合、正常にCRCワードを受信することができたことより、CCIレイヤ処理部6 2は、ステップS 2 3 5において、ライト転送を終了すると判断し、ステップS 2 3 6において、転送残量を0に設定する。
- [0256] 一方、ステップS 2 2 2において、パリティエラーが発生したと判定された場合、ステップS 2 3 2において、プリアンプルに基づいてフレーミングエラーが発生したと判定された場合、または、ステップS 2 3 4において、CRCエラーが発生していると判定された場合、処理はステップS 2 3 7に進む。

- [0257] ステップS 2 3 7において、I3Cスレーブ1 3は、CCIレイヤ処理部6 2に対してエラーを通知し、ステップS 2 3 8において、CCIレイヤ処理部6 2は、転送残量を0に設定する。
- [0258] そして、ステップS 2 3 6またはS 2 3 8の処理後、ライト処理は終了され、処理は図1 8のステップS 1 7 9に進む。
- [0259] 図1 8乃至図2 1を参照して説明したように、被制御デバイス6 1は、DDRモードによるレジスタR/W転送処理を行うことができる。
- [0260] 図2 2は、システムコントローラ4 1が、図1 4を参照して上述したTSL/TSPモードによるレジスタR/W転送処理を実行するのに応じて被制御デバイス6 1において行われるデータ転送処理を説明するフローチャートである。
- [0261] 例えば、I3Cスレーブ1 3が、I3Cマスタ1 2から送信されてくる、DDRモードで通信を行うHDR開始コマンド（ENTHDR1/2）を受信すると処理が開始される。そして、ステップS 2 4 1において、I3Cスレーブ1 3では、コマンド解釈部3 3が、I3Cマスタ1 2から送信されてくるコマンドおよびパリティを受信する。なお、TSL/TSPモードでは、DDRモードと異なり、プリアンプルの送信は行われない。
- [0262] ステップS 2 4 2において、コマンド解釈部3 3は、ステップS 1 7 2で受信したコマンドにエラーが発生しているか否かを判定する。なお、TSL/TSPモードでは、エラー検出条件がDDRモードと異なり、例えば、パリティエラーを検出した場合、または、データワードの境界以外でシンボル2×2以上を受信した場合、コマンドにエラーが発生していると判定される。
- [0263] ステップS 2 4 2において、コマンド解釈部3 3が、エラーが発生していないと判定した場合、処理はステップS 2 4 3に進む。
- [0264] ステップS 2 4 3において、コマンド解釈部3 3は、ステップS 2 4 2で受信したコマンドのコマンドコードが、リードコマンドおよびライトコマンドのどちらであるかを判定する。
- [0265] ステップS 2 4 3において、コマンド解釈部3 3が、コマンドコードがリードコマンドであると判定した場合、処理はステップS 2 4 4に進み、図2

3を参照して後述するようにTSL/TSPリード転送処理が行われる。

- [0266] 一方、ステップS 2 4 3において、コマンド解釈部3 3が、コマンドコードがライトコマンドであると判定した場合、処理はステップS 2 4 5に進み、図2 4を参照して後述するようにTSL/TSPライト転送処理が行われる。
- [0267] ステップS 2 4 4のTSL/TSPリード転送処理、または、ステップS 2 4 5のTSL/TSPライト転送処理の処理後、処理はステップS 2 4 8に進む。
- [0268] 一方、ステップS 2 4 2において、コマンド解釈部3 3が、エラーが発生していると判定した場合、処理はステップS 2 4 6に進む。そして、ステップS 2 4 6乃至S 2 4 8において、図1 8のステップS 1 7 7乃至S 1 7 9と同様の処理が行われる。
- [0269] 図2 3は、図2 2のステップS 2 4 4において行われるTSL/TSPリード転送処理を説明するフローチャートである。
- [0270] ステップS 2 5 1乃至S 2 5 3において、図1 9のステップS 1 8 1乃至S 1 8 3と同様の処理が行われる。そして、ステップS 2 5 2またはS 2 5 3の処理後、ステップS 2 5 4において、I3Cスレーブ1 3は、データ信号線1 4 - 1およびクロック信号線1 4 - 2に対する駆動を開始する。
- [0271] その後、ステップS 2 5 5乃至S 2 6 2において、図1 9のステップS 1 8 5乃至S 1 9 2と同様の処理が行われ、ステップS 2 5 5で現在のリードコマンドに応じて送信するデータの送信残量が0バイトであると判定されるまで、処理が繰り返して行われる。なお、TSL/TSPモードでは、DDRモードと異なり、マスタアボートは行われない。
- [0272] ステップS 2 5 5において、送信残量が0バイトであると判定されると、処理はステップS 2 6 3に進み、I3Cスレーブ1 3は、転送終了を示す信号（シンボル2×3回）を送信する。なお、TSL/TSPモードでは、DDRモードと異なり、CRCワードの送信は行われない。
- [0273] 一方、ステップS 2 5 1において、現在の転送残量が0バイトであると判定された場合、処理はステップS 2 6 4に進む。即ち、この場合、CCIプロトコル違反であるため、I3Cスレーブ1 3は、ステップS 2 6 4において、デー

タ信号線 14-1 およびクロック信号線 14-2 に対する駆動を開始し、ステップ S 265 において、NACK（シンボル 2×3 回）を送信する。なお、TSL/TSPモードでは、NACKの形式がDDRモードとは異なっている。

[0274] ステップ S 263 または S 265 の処理後、処理はステップ S 266 に進む。ステップ S 266 において、I3Cスレーブ 13 は、データ信号線 14-1 およびクロック信号線 14-2 に対する駆動を停止した後、TSL/TSPリード転送処理は終了され、処理は図 22 のステップ S 248 に進む。なお、TSL/TSPモードでは、ターンアラウンドの手順が、DDRモードとは異なっている。

[0275] 図 24 は、図 22 のステップ S 245 において行われる TSL/TSPライト転送処理を説明するフローチャートである。

[0276] ステップ S 271 において、I3Cスレーブ 13 では、データ受信部 32 が、I3Cマスタ 12 から送信されてくるデータおよびパリティを受信する。なお、TSL/TSPモードでは、DDRモードと異なり、プリアンプルの送信は行われない。

[0277] ステップ S 272 において、I3Cスレーブ 13 は、ステップ S 271 で受信したデータにエラーが発生しているか否かを判定する。なお、TSL/TSPモードでは、エラー検出条件がDDRモードと異なっており、例えば、パリティエラーを検出した場合、または、データワードの境界以外でシンボル 2×2 以上を受信した場合、データにエラーが発生していると判定される。

[0278] ステップ S 272 において、データにエラーが発生していないと判定された場合、処理はステップ S 273 に進み、CCIレイヤ処理部 62 は、ステップ S 271 でデータ受信部 32 が受信したデータ、即ち、I3Cマスタ 12 が送信したインデックスを取得する。

[0279] ステップ S 274 において、I3Cスレーブ 13 は、I3Cマスタ 12 から送信されてくるデータを受信したか否かを判定する。

[0280] ステップ S 274 において、I3Cマスタ 12 から送信されてくるデータを受信したと判定された場合、処理はステップ S 275 に進み、データ受信部 32 は、I3Cマスタ 12 から送信されてくるデータおよびパリティを受信する。

- [0281] ステップS 2 7 6において、I3Cスレーブ1 3は、ステップS 2 7 2と同様に、ステップS 2 7 5で受信したデータにエラーが発生しているか否かを判定し、エラーが発生していないと判定した場合、処理はステップS 2 7 7に進む。
- [0282] ステップS 2 7 7において、CCIレイヤ処理部6 2は、ステップS 2 7 5でデータ受信部3 2が受信したデータ、即ち、I3Cマスタ1 2が送信した転送長情報を、転送残量として取得する。
- [0283] ステップS 2 7 8において、I3Cスレーブ1 3は、I3Cマスタ1 2から送信されてくるデータを受信したか否かを判定する。なお、TSL/TSPモードでは、DDRモードと異なり、プリアンプルの送信は行われない。
- [0284] ステップS 2 7 8において、I3Cスレーブ1 3が、データを受信したと判定した場合、処理はステップS 2 7 9に進んでライト処理（図2 5）が行われる。
- [0285] 一方、ステップS 2 7 8において、データを受信していないと判定された場合、処理はステップS 2 8 0に進み、I3Cスレーブ1 3は、ランダムリードであると判断する。
- [0286] 一方、ステップS 2 7 4において、I3Cマスタ1 2から送信されてくるデータを受信していないと判定された場合、処理はステップS 2 8 1に進む。即ち、この場合、CCIプロトコル違反であるため、ステップS 2 8 1において、CCIレイヤ処理部6 2は、転送残量を0に設定する。なお、TSL/TSPモードでは、DDRモードと異なり、CRCワードの送信は行われない。
- [0287] 一方、ステップS 2 7 2またはS 2 7 6において、受信したデータにエラーが発生していると判定された場合、処理はステップS 2 8 2に進む。ステップS 2 8 2において、I3Cスレーブ1 3は、CCIレイヤ処理部6 2に対してエラーを通知し、ステップS 2 8 3において、CCIレイヤ処理部6 2は、転送残量を0に設定する。
- [0288] そして、ステップS 2 7 9、ステップS 2 8 0、ステップS 2 8 1、またはステップS 2 8 3の処理後、TSL/TSPライト転送処理は終了され、処理は図

22のステップS248に進む。

[0289] 図25は、図24のステップS279において行われるライト処理を説明するフローチャートである。

[0290] ステップS291において、I3Cスレーブ13では、データ受信部32が、I3Cマスタ12から送信されてくるデータおよびパリティを受信する。

[0291] ステップS292において、I3Cスレーブ13は、ステップS291で受信したデータにエラーが発生しているか否かを判定する。なお、TSL/TSPモードでは、エラー検出条件がDDRモードと異なっており、例えば、パリティエラーを検出した場合、または、データワードの境界以外でシンボル2×2以上を受信した場合、データにエラーが発生していると判定される。

[0292] ステップS292において、I3Cスレーブ13が、データにエラーが発生していないと判定した場合、処理はステップS293に進み、CCIレイヤ処理部62は、正常にデータを受信することができたことより、ライト転送を開始すると判断する。

[0293] ステップS294乃至S301において、図21のステップS224乃至S231と同様の処理が行われた後、ステップS302において、I3Cスレーブ13は、I3Cマスタ12から送信されてくるデータを受信したか否かを判定する。なお、TSL/TSPモードでは、DDRモードと異なり、プリアンプルの送信は行われない。

[0294] ステップS302において、I3Cスレーブ13が、データを受信したと判定した場合、処理はステップS291に戻り、以下、同様の処理が繰り返して行われる。

[0295] 一方、ステップS302において、I3Cスレーブ13が、データを受信していないと判定した場合、処理はステップS303に進む。そして、CCIレイヤ処理部62は、データが送信されてこないことより、ステップS303において、ライト転送を終了すると判断し、ステップS304において、転送残量を0に設定する。

[0296] 一方、ステップS292において、I3Cスレーブ13が、データにエラーが

発生していると判定した場合、処理はステップS 3 0 5に進む。ステップS 3 0 5において、I3Cスレーブ1 3は、CCIレイヤ処理部6 2に対してエラーを通知し、ステップS 3 0 6において、CCIレイヤ処理部6 2は、転送残量を0に設定する。

[0297] そして、ステップS 3 0 4またはS 3 0 6の処理後、ライト処理は終了され、処理は図2 2のステップS 2 4 8に進む。

[0298] 図2 2乃至図2 5を参照して説明したように、被制御デバイス6 1は、TSL/TSPモードによるレジスタR/W転送処理を行うことができる。

[0299] <I3CスレーブおよびCCIレイヤ処理部によるエラー対策>

図2 6を参照して、I3CスレーブおよびCCIレイヤ処理部によるエラー対策について説明する。図2 6には、TSL/TSPモードによるリード転送処理において連続的にデータを読み出す際にエラーが発生したときの処理の一例が示されている。

[0300] 例えば、HDRモード（TSP/TSL/DDR）において、I3Cスレーブ1 3が何らかのエラーを検出したとき、I3Cスレーブ1 3は、HDR終了コマンド（HDR\_Exit）またはHDRリスタートコマンド（HDR\_Restart）を受信するまで、一切の通信を無視し、いずれか一方を検出すると、通信を復帰するように規定されている。

[0301] ここで、図2 6に示すように、例えば、アドレス設定用のライトコマンド（TSL/TSP\_Cmd(W)）を受信してからリードコマンド（TSL/TSP\_Cmd(R)）の直前のHDRリスタートコマンドを受信するまでの間にエラーが発生した場合の処理について説明する。即ち、このタイミングでエラーが発生すると、I3Cスレーブ1 3は、エラーを検出してからHDRリスタートコマンドを受信するまでの間（無視区間）の処理を停止することになる。従って、この場合、インデックス（Index）および転送長情報（Length）は、CCIレイヤ処理部6 2に通知されないことになる。

[0302] そして、その後、I3Cスレーブ1 3は、HDRリスタートコマンドを受信することにより通信を復帰し、HDRリスタートコマンドに続いて送信されるリード

コマンドをCCIレイヤ処理部62に転送する。しかしながら、CCIレイヤ処理部62は、インデックスおよび転送長情報を把握していないため、どこからデータを読み出すべきかが分からない状態が発生してしまう。

[0303] そこで、本実施の形態のI3Cスレーブ13は、エラーを検出した場合には、そのエラーの検出をCCIレイヤ処理部62に通知（例えば、図20のステップS217や図24のステップS282など）するように規定される。そして、このエラーの通知に応じて、CCIレイヤ処理部62は、転送残量を0に設定（例えば、図20のステップS218や図24のステップS283など）するように規定される。

[0304] これにより、CCIレイヤ処理部62が、例えば、エラーの発生によってインデックスおよび転送長情報を認識できない場合にリードコマンドを受信しても、転送残量が0であると判定される結果、CCIプロトコル違反となる。従って、CCIレイヤ処理部62は、I3Cスレーブ13がエラーを検出した後、HDRリスタートコマンドおよびライトコマンドの組み合わせ（HDR\_Restart+TSL/TS P\_Cmd(W)）を受信するまで、または、HDR終了コマンドを受信するまで、一切の通信を無視することができる。

[0305] このように、CCIレイヤ処理部62が、どこからデータを読み出すべきか分からない状態が発生してしまうことを回避して、I3Cスレーブ13の規定と同様の動作を行うことができる。従って、I3Cスレーブ13とCCIレイヤ処理部62とのエラー対応にズレが発生することが回避され、確実にリード処理を実行することができる。

[0306] 従って、被制御デバイス61は、エラーの可能性のあるデータをレジスタに書き込むことや、エラーの可能性のあるデータをレジスタから読み出すことを回避することができ、そのようなエラーによって通信が不安定になることもなく、より確実に通信を行うことができる。

[0307] なお、上述のフローチャートを参照して説明した各処理は、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェク

トによる処理)も含むものである。また、プログラムは、1のCPUにより処理されるものであっても良いし、複数のCPUによって分散処理されるものであっても良い。

[0308] また、上述した一連の処理(通信方法)は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラムが記録されたプログラム記録媒体からインストールされる。

[0309] 図27は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

[0310] コンピュータにおいて、CPU (Central Processing Unit) 101、ROM (Read Only Memory) 102、RAM (Random Access Memory) 103、およびEEPROM (Electrically Erasable and Programmable Read Only Memory) 104は、バス105により相互に接続されている。バス105には、さらに、入出力インタフェース106が接続されており、入出力インタフェース106が外部に接続される。

[0311] 以上のように構成されるコンピュータでは、CPU101が、例えば、ROM102およびEEPROM104に記憶されているプログラムを、バス105を介してRAM103にロードして実行することにより、上述した一連の処理が行われる。また、コンピュータ(CPU101)が実行するプログラムは、ROM102に予め書き込んでおく他、入出力インタフェース106を介して外部からEEPROM104にインストールしたり、更新したりすることができる。

[0312] <構成の組み合わせ例>

なお、本技術は以下のような構成も取ることができる。

(1)

バスを介して通信を行う通信装置であって、

通信の主導権を有する第 1 の通信装置と、前記第 1 の通信装置による制御に従って通信を行う少なくとも 1 台以上の第 2 の通信装置とにより通信が行われ、

前記第 1 の通信装置は、

前記第 2 の通信装置が 1 回のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第 2 の通信装置から取得する取得部と、

前記第 2 の通信装置とデータ転送を行う際に、1 回のデータ転送において転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御する送受信制御部と、

前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信する送信部と

を備える通信装置。

(2)

前記送受信制御部は、前記最大転送長以上の長さのデータ長のデータの転送が要求された場合、その転送が要求されたデータを前記最大転送長以下に分割してデータ転送を行い、

前記送信部は、前記送受信制御部により分割されたデータのデータ長を示す前記転送長情報を送信する

上記 (1) に記載の通信装置。

(3)

前記第 2 の通信装置に書き込むデータを転送するライト転送を行うとき、

前記取得部は、前記第 2 の通信装置によるライト転送における前記最大転送長である最大ライト長を取得し、

前記送受信制御部は、前記最大ライト長以上の長さのデータ長のデータの転送が要求された場合、その転送が要求されたデータを前記最大ライト長以下に分割して、複数回に分けてデータを送信するようにデータ転送を行い、

前記送信部は、前記送受信制御部により分割されたデータのデータ長を示す前記転送長情報を、前記データの転送ごとに送信する

上記（１）または（２）に記載の通信装置。

（４）

前記第２の通信装置から読み出したデータを転送するリード転送を行うとき、

前記取得部は、前記第２の通信装置によるリード転送における前記最大転送長である最大リード長を取得し、

前記送受信制御部は、前記最大リード長以上の長さのデータ長のデータの転送が要求された場合、その転送が要求されたデータを前記最大リード長以下に分割して、複数回に分けてデータを送信するようにデータ転送を行い、

前記送信部は、前記送受信制御部により分割されたデータのデータ長を示す前記転送長情報を、前記データの転送ごとに送信する

上記（１）から（３）までのいずれかに記載の通信装置。

（５）

前記第２の通信装置から読み出したデータを転送するリード転送を行うとき、

前記取得部は、前記第２の通信装置によるリード転送における前記最大転送長である最大リード長を取得し、

前記送受信制御部は、前記最大リード長以上の長さのデータ長のデータの転送が要求された場合、その転送が要求されたデータを前記最大リード長以下に分割して、複数回に分けてデータを送信するようにデータ転送を行い、

前記送信部は、転送が要求されたデータ全体のデータ長を示す前記転送長情報を１回だけ送信する

上記（１）から（３）までのいずれかに記載の通信装置。

（６）

前記第２の通信装置は、

少なくとも前記転送長情報を正常に受信することができないエラーの発生を検出した場合、そのエラーの発生を上位層で処理を行う処理部に通知するエラー通知部を備え、

前記上位層では、通信のリスタートを指示するコマンドと前記データの書き込みを指示するコマンドとの組み合わせを受信するまで、または、通信の終了を指示するコマンドを受信するまで一切の通信を無視する

上記（１）から（５）までのいずれかに記載の通信装置。

（７）

バスを介して通信を行う通信方法であって、

通信の主導権を有する第１の通信装置と、前記第１の通信装置による制御に従って通信を行う少なくとも１台以上の第２の通信装置とにより通信が行われ、

前記第１の通信装置は、

前記第２の通信装置が１回のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第２の通信装置から取得し、

前記第２の通信装置とデータ転送を行う際に、１回のデータ転送において転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御し、

前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信する

ステップを含む通信方法。

（８）

バスを介して通信を行う通信装置のコンピュータに実行させるプログラムであって、

通信の主導権を有する第１の通信装置と、前記第１の通信装置による制御に従って通信を行う少なくとも１台以上の第２の通信装置とにより通信が行われ、

前記第１の通信装置は、

前記第２の通信装置が１回のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第２の通信装置から取得し、

前記第２の通信装置とデータ転送を行う際に、１回のデータ転送におい

て転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御し、

前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信する

ステップを含む通信処理をコンピュータに実行させるプログラム。

(9)

バスを介した通信の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う少なくとも1台以上の第2の通信装置とにより通信が行われる通信システムであって、

前記第1の通信装置は、

前記第2の通信装置が1回のデータ転送において転送可能な最大の転送長を示す最大転送長を、前記第2の通信装置から取得する取得部と、

前記第2の通信装置とデータ転送を行う際に、1回のデータ転送において転送されるデータのデータ長が前記最大転送長以下となるようにデータの送受信を制御する送受信制御部と、

前記データをデータ転送するのに先立って、転送されるデータのデータ長を示す転送長情報を送信する送信部と

を備える通信システム。

[0313] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

## 符号の説明

[0314] 11 バスIF, 12 I3Cマスタ, 13 I3Cスレーブ, 14-1 データ信号線, 14-2 クロック信号線, 21 データ送信部, 22 データ受信部, 23 コマンド送信部, 24 モード制御部, 25 送受信制御部, 31 データ送信部, 32 データ受信部, 33 コマンド解釈部, 34 モード制御部, 35 受信制御部, 41 システムコントローラ, 42 CCIレイヤ処理部, 43 CPU, 44 内部バス, 51 レジスタアドレス管理部, 52 転送長情報保持部

, 53 ライト転送終了制御部, 54 無効データ処理部, 55 転送長情報送信部, 61 被制御デバイス, 62 CCIレイヤ処理部, 63 デバイス制御部, 64 内部バス, 71 レジスタアドレス管理部, 72 レジスタR/W制御部, 73 リード転送終了制御部, 74 無効データ処理部, 75 転送長情報保持部