

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月7日(07.07.2022)



(10) 国際公開番号

WO 2022/144969 A1

(51) 国際特許分類:
G06F 12/00 (2006.01) G06F 12/0862 (2016.01)
G06F 12/06 (2006.01)

(21) 国際出願番号: PCT/JP2020/049130

(22) 国際出願日: 2020年12月28日(28.12.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

(72) 発明者: 菅原 昭雄 (SUGAHARA, Akio); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).
藤生 政樹 (FUJII, Masaki); 〒1080023 東京

都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

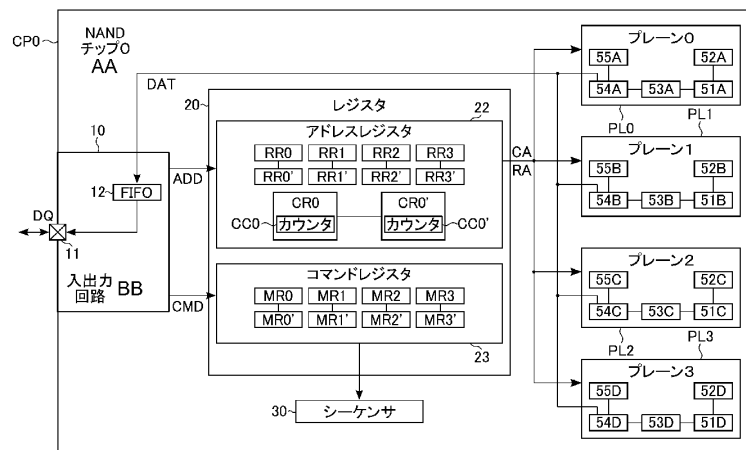
(74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目23番1号 セレスティン芝三井ビルディング11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: MEMORY SYSTEM

(54) 発明の名称: メモリシステム

[図6]



20... REGISTER
22... ADDRESS REGISTER
23... COMMAND REGISTER
30... SEQUENCER
CC0, CC0'... COUNTER
PL0... PLANE 0
PL1... PLANE 1
PL2... PLANE 2
PL3... PLANE 3
AA... CHIP
BB... INPUT/OUTPUT CIRCUIT

(57) Abstract: This memory system comprises: a first chip including a first plane and a first input/output circuit; and a controller which can issue a command for controlling the first chip. The first plane includes a first memory cell array, and a first latch circuit which can store first readout data read out from the first memory cell array. The first input/output circuit includes a first FIFO circuit which can take in the first readout data from the first latch circuit. The controller can transmit a first command to the first chip for ordering the taking in of the first readout data to the first FIFO circuit from the first latch circuit in a period in which a readout operation is being executed in the first plane.

[続葉有]

WO 2022/144969 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 一実施形態のメモリシステムは、第1プレーンと、第1入出力回路とを含む第1チップと、第1チップを制御するためのコマンドを発行可能なコントローラとを備える。第1プレーンは、第1メモリセルアレイと、第1メモリセルアレイから読み出された第1読み出しデータを記憶可能な第1ラッチ回路とを含む。第1入出力回路は、第1ラッチ回路から第1読み出しデータを取り込み可能な第1FIFO回路を含む。コントローラは、第1プレーンにおいて読み出し動作を実行している期間内に、第1チップに、第1ラッチ回路から第1FIFO回路への第1読み出しデータの取り込みを命令する第1コマンドを送信可能である。