

明 細 書

発明の名称：ＳＯＩウェーハ及びその製造方法

技術分野

[0001] 本発明は、ＳＯＩウェーハ及びその製造方法に関する。

背景技術

[0002] 近年、大容量通信の需要が極めて高く、第５、第６世代移動通信システム（通称５Ｇ、６Ｇ）に適用した機器開発が加速している。これらの通信機器には集積回路が組み込まれており、集積回路を構成する能動素子（トランジスタなど）、及び受動素子（インダクターなど）は５Ｇ、６Ｇ環境下における高度な動作安定性が求められる。特に、これらの大容量通信システムでは高い周波数帯（ミリ波～サブテラヘルツ帯）の使用が予定されていることから、優れた高周波特性と省電力性能を兼ね備えたデバイス設計、及び材料開発が社会的に要求されている。

[0003] 半導体集積回路に必要な材料に目を向けると、高周波用集積回路の基板としてＣＺ（C z o c h r a l s k i、チョクラルスキー）法によって作製されたシリコンウェーハが用いられる場合がある。この際使用されるシリコンウェーハは、小さい抵抗損失と良好な高周波特性を達成する目的から、基板抵抗率を高くする必要がある。

[0004] 更に、より優れた高周波特性が求められる用途においては、特許文献１や特許文献２に記載されているようなトラップリッチ（T r a p - r i c h）層が形成されたウェーハが多く利用される。これは、高抵抗率基板上へ形成したデバイスに高周波信号が入力された場合、基板内で反転層が形成されることで抵抗率が変化する現象が知られており、トラップリッチ層の深い準位において反転層で発生したキャリアを捕獲することで高い基板抵抗率が維持できるためである。とりわけ受動素子では、高抵抗率基板上にトラップリッチ層としてポリシリコン層を形成したウェーハが用いられる。それに対して、能動素子にはトラップリッチ層を有したＳＯＩウェーハが広く利用されて

いる。このようなSOIウェーハの構造では、高抵抗率基板上にトラップリッチ層としてポリシリコン層、誘電体層としての酸化膜、単結晶シリコン層がこの順で積層されている。

[0005] しかし、高周波用集積回路の基板として広く使われる高抵抗率基板の製造は抵抗率制御の技術難易度が高く歩留まりが悪い。加えて、トラップリッチ層として用いられるポリシリコンは加工難易度が高く生産性の悪化につながることや、ポリシリコンをトラップリッチ層として利用したSOI構造は製造プロセスが煩雑でコスト面に大きな問題を抱えている。そこで、高抵抗率基板を使用せず、シリコン単結晶基板（以下、単に「シリコン基板」ともいう。）にシリコンエピタキシャル膜を形成したウェーハを用いたSOIウェーハを作製することで、優れた高周波特性を示す、特に高調波を低減する技術開発が求められてきた。

[0006] また、シリコン基板上に炭素ドーパエピタキシャル膜が形成されたウェーハについては特許文献3や特許文献4に記載がある。しかし、特許文献3、特許文献4のウェーハは、基本的にシリコン基板、炭素ドーパエピタキシャル膜、シリコンエピタキシャル膜から成る、主に撮像素子への利用を想定したエピタキシャルウェーハであり、エピタキシャル層をトラップリッチ層としてSOIウェーハとすることは検討されていない。しかも、特許文献3、特許文献4にはエピタキシャル膜形成後に熱処理を行うことは記載されていないので、エピタキシャル膜中にはトラップリッチ層は形成されていない。

[0007] また、シリコン基板上に炭素ドーパエピタキシャル膜が形成されたウェーハに対して熱処理を実施するエピタキシャルウェーハについては特許文献5に記載がある。しかし、高周波デバイス用ウェーハへの利用やトラップリッチ層が形成されたSOIウェーハについては言及されていない。

[0008] 特許文献5では、高濃度に炭素を含有したシリコンエピタキシャル膜をゲッターリング層として利用することを念頭に開発しており、熱処理はゲッターリング駆動することを目的にしている。そのため、熱処理条件は450～750℃の範囲で30分程度と記載されている。より短い時間でゲッターリング駆

動させるために800～1000℃の熱処理にも言及されているが、その熱処理時間は30分以下であることが推測される。しかし、このような条件では安定した高周波特性を得ることは難しい。

[0009] 以上のことから、特許文献3、特許文献4、特許文献5のウェーハは、高周波デバイス用ウェーハへの利用は困難である。

先行技術文献

特許文献

- [0010] 特許文献1：特表2015-503853号公報
特許文献2：特開2019-129195号公報
特許文献3：特開2009-164590号公報
特許文献4：特開2009-200231号公報
特許文献5：特開2006-216934号公報

発明の概要

発明が解決しようとする課題

[0011] 上記のように、高周波用集積回路の基板として、高抵抗率基板を使用することなく高調波を低減でき、また、トラップリッチ層としてポリシリコン層を代替するようなSOIウェーハが求められてきた。本発明者らは、このような要求に応える材料開発を目指して鋭意検討を重ねた結果、高濃度に炭素を含有するシリコンエピタキシャル膜を通常抵抗率の基板上へ形成したエピタキシャルウェーハを用いたSOIウェーハが有望であることを突き止めた。これにより、少ない工程数で製造でき、かつ加工プロセスが容易な高周波用集積回路の基板を提供することが可能となる。

[0012] しかしながら、これらの基板であっても高調波を低減する能力は従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハのレベルには達しておらず、より優れた高周波特性を示すSOIウェーハの開発が急務であった。

[0013] 本発明は、上記問題点を鑑みてなされたものであって、高濃度に炭素を含

有するシリコンエピタキシャル膜を通常抵抗率の基板上へ形成したエピタキシャルウェーハを用いたＳＯＩウェーハであって、高調波を低減する能力が従来のポリシリコン層をトラップリッチ層として用いたＳＯＩウェーハより優れており、かつ加工プロセスが容易な高周波用集積回路基板用のＳＯＩウェーハ及びその製造方法を提供することを目的とする。

課題を解決するための手段

- [0014] 本発明は、上記目的を達成するためになされたものであり、抵抗率が $10 \Omega \cdot \text{cm}$ 以上 $5000 \Omega \cdot \text{cm}$ 以下のシリコン単結晶基板上に、炭素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ 以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満であり、かつ炭素欠陥を含むシリコンエピタキシャル膜、誘電体層、及び、シリコン単結晶膜をこの順に備え、前記シリコンエピタキシャル膜の厚さは、 $6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\} > [\text{エピタキシャル膜の炭素濃度} (\text{atoms/cm}^3)]$ を満たすものであることを特徴とするＳＯＩウェーハを提供する。
- [0015] このようなＳＯＩウェーハによれば、微小な炭素欠陥を含むシリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたＳＯＩウェーハよりも優れた高周波特性を有するものとなる。
- [0016] このとき、前記ＳＯＩウェーハは高周波デバイス用ウェーハとすることができる。
- [0017] 本発明に係るＳＯＩウェーハは、微小な炭素欠陥を含むシリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたＳＯＩウェーハよりも優れた高周波特性を有するものであるため、高周波デバイス用ウェーハに好適である。
- [0018] このとき、前記炭素欠陥は、サイズが 10 nm 以下、前記シリコンエピタキシャル膜における密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上のものとすることができる。
- [0019] このような炭素欠陥を含むものであれば、より安定して、従来のポリシリ

コン層をトラップリッチ層として用いたSOIウェーハよりも優れた高周波特性を有するものとなる。

[0020] 本発明はまた、抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板である第1の基板を準備するステップと、前記第1の基板上に、減圧下で炭素濃度が $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させるステップと、前記シリコンエピタキシャル膜を形成した第1の基板を、 900°C 以上 1100°C 以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、前記シリコンエピタキシャル膜中に炭素欠陥を形成するステップと、シリコン単結晶基板である第2の基板を準備するステップと、前記第2の基板の表面に誘電体層を形成するステップと、前記第1の基板上に形成されたエピタキシャル膜と第2の基板の誘電体層を貼り合わせるステップと、を含み、前記シリコンエピタキシャル膜を気相成長させるステップでは、前記シリコンエピタキシャル膜の厚さが $6.6\times 10^{20}\times\exp\{-1.6\times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\}>[\text{エピタキシャル膜の炭素濃度}(\text{atoms}/\text{cm}^3)]$ を満たすシリコンエピタキシャル膜を形成することを特徴とするSOIウェーハの製造方法を提供する。

[0021] このようなSOIウェーハの製造方法によれば、第1の基板の気相成長とその後の熱処理によって第1の基板のシリコンエピタキシャル膜の内部に微小な炭素欠陥を高密度に形成することができ、前記第1の基板をベースウェーハに用いて、貼り合わせ法によりSOIウェーハを製造することで、シリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高周波特性を有するSOIウェーハを容易に製造することができる。

[0022] 本発明はまた、抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板である第1の基板を準備するステップと、前記第1の基板上に、減圧下で炭素濃度が $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させるステップと、前

記シリコンエピタキシャル膜を形成した第1の基板を、酸化性雰囲気、900℃以上1100℃以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、前記シリコンエピタキシャル膜中に炭素欠陥を形成するとともに前記シリコンエピタキシャル膜上に酸化膜を形成するステップと、シリコン単結晶基板である第2の基板を準備するステップと、前記第1の基板上に形成されたエピタキシャル膜上に形成された酸化膜と前記第2の基板を貼り合わせるステップと、を含み、前記シリコンエピタキシャル膜を気相成長させるステップでは、前記シリコンエピタキシャル膜の厚さが $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\}$ > [エピタキシャル膜の炭素濃度 (atoms/cm³)] を満たすシリコンエピタキシャル膜を形成することを特徴とするSOIウェーハの製造方法を提供する。

[0023] このようなSOIウェーハの製造方法によっても、第1の基板のシリコンエピタキシャル膜の内部に微小な炭素欠陥を高密度に形成することができ、これをベースウェーハに用いて、貼り合わせ法によりSOIウェーハを製造することで、シリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高周波特性を有するSOIウェーハを容易に製造することができる。

[0024] このとき、前記酸化膜を表面に形成しない第2の基板は、第1の基板に貼り合わせる前に1枚のシリコン単結晶基板から複数枚の基板に切り出して薄膜化した基板とすることができる。

[0025] これにより、1枚のシリコン単結晶基板から、本発明のSOIウェーハに必要な第2の基板としてのシリコン基板を複数枚切り出して作製することができ、製造コストの観点から極めて大きいメリットを得ることができる。

[0026] このとき、前記SOIウェーハの製造方法を用いて製造されたSOIウェーハを、高周波デバイス用ウェーハとすることができる。

[0027] 前記SOIウェーハの製造方法を用いて製造されたSOIウェーハは、微

小さな炭素欠陥が高密度に形成されたシリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高周波特性を有するものとなるため、特に高周波デバイス用ウェーハに好適である。

[0028] このとき、前記炭素欠陥は、サイズが10nm以下、前記シリコンエピタキシャル膜における密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上のものとすることができる。

[0029] このような炭素欠陥を含むものとすることで、より安定して従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高周波特性を達成できるSOIウェーハを得ることができる。

発明の効果

[0030] 以上のように、本発明のSOIウェーハによれば、高抵抗率基板である必要がなく、また、微細な炭素欠陥を含むシリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高調波低減能力を有するものとなり、高周波デバイス用ウェーハとして適したものとなる。また、本発明のSOIウェーハの製造方法によれば、前記の優れた高調波低減能力を有するSOIウェーハを容易に製造することが可能となる。

図面の簡単な説明

[0031] [図1]本発明におけるSOIウェーハを示す概略図である。

[図2]本発明における第1実施形態のSOIウェーハの製造方法の一例を示すフロー図である。

[図3]本発明における第2実施形態のSOIウェーハの製造方法の一例を示すフロー図である。

[図4]本発明における第3実施形態のSOIウェーハの製造方法の一例を示すフロー図である。

[図5]本発明のSOIウェーハにおいてシリコンエピタキシャル膜とシリコン基板の界面近傍にVoid欠陥領域が形成されるシリコンエピタキシャル膜

の炭素濃度と膜厚の条件を示したグラフである。

[図6]実験例2において、エピタキシャルウェーハに対して熱処理時間を振って熱処理を実施した場合における該エピタキシャルウェーハの2次高調波、3次高調波特性の変化を示したプロットである。

[図7]実施例1及び比較例1～2におけるエピタキシャルウェーハの2次高調波特性、及び3次高調波特性と炭素濃度の関係を示したグラフである。

発明を実施するための形態

[0032] 以下、本発明を詳細に説明するが、本発明はこれらに限定されるものではない。

[0033] 上述のように、通信機器の小型化や省電力化、低コスト化の要求から、さらなる高周波特性の向上、特に高調波を低減できる安価なSOIウェーハが求められていた。

[0034] 本発明者らは、上記課題について鋭意検討を重ねた結果、抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板上に、炭素濃度が $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満であり、かつ炭素欠陥を含むシリコンエピタキシャル膜、誘電体層、及び、シリコン単結晶膜をこの順に備え、前記シリコンエピタキシャル膜の厚さは、 $6.6\times 10^{20}\times \exp\{-1.6\times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\}>[\text{エピタキシャル膜の炭素濃度}(\text{atoms}/\text{cm}^3)]$ を満たすものであることを特徴とするSOIウェーハにより、微小な炭素欠陥を含むシリコンエピタキシャル膜の作用によって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高調波低減能力を有するものとなることを見出し、本発明を完成した。

[0035] 本発明者らは、また、抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板である第1の基板を準備するステップと、前記第1の基板上に、減圧下で炭素濃度が $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させるステップと、前記シリコンエピタキシャル膜を形成した第1の基板を、 900°C 以上

1100℃以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、前記シリコンエピタキシャル膜中に炭素欠陥を形成するステップと、シリコン単結晶基板である第2の基板を準備するステップと、前記第2の基板の表面に誘電体層を形成するステップと、前記第1の基板上に形成されたエピタキシャル膜と第2の基板の誘電体層を貼り合わせるステップと、を含み、前記シリコンエピタキシャル膜を気相成長させるステップでは、前記シリコンエピタキシャル膜の厚さが $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\}$ $> [\text{エピタキシャル膜の炭素濃度} (\text{atoms}/\text{cm}^3)]$ を満たすシリコンエピタキシャル膜を形成することを特徴とするSOIウェーハの製造方法により、前記の優れた高調波低減能力を有するSOIウェーハを容易に製造することが可能となることを見出し、本発明を完成した。

[0036] 本発明者らは、また、抵抗率が $10 \Omega \cdot \text{cm}$ 以上 $5000 \Omega \cdot \text{cm}$ 以下のシリコン単結晶基板である第1の基板を準備するステップと、前記第1の基板上に、減圧下で炭素濃度が $2 \times 10^{19} \text{ atoms}/\text{cm}^3$ 以上 $3 \times 10^{20} \text{ atoms}/\text{cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させるステップと、前記シリコンエピタキシャル膜を形成した第1の基板を、酸化性雰囲気、900℃以上1100℃以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、前記シリコンエピタキシャル膜中に炭素欠陥を形成するとともに前記シリコンエピタキシャル膜上に酸化膜を形成するステップと、シリコン単結晶基板である第2の基板を準備するステップと、前記第1の基板上に形成されたエピタキシャル膜上に形成された酸化膜と前記第2の基板を貼り合わせるステップと、を含み、前記シリコンエピタキシャル膜を気相成長させるステップでは、前記シリコンエピタキシャル膜の厚さが $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\}$ $> [\text{エピタキシャル膜の炭素濃度} (\text{atoms}/\text{cm}^3)]$ を満たすシリコンエピタキシャル膜を形成することを特徴とするSOIウェーハの製造方法により、前記の優れた高調波低減能力を有するSOIウェーハを容易に

製造することが可能となることを見出し、本発明を完成した。

[0037] [本発明のSOIウェーハ]

以下、本発明のSOIウェーハについて、図1を参照して説明する。図1に示すとおり、本発明のSOIウェーハ1は、シリコン単結晶基板2上に、炭素欠陥を含むシリコンエピタキシャル膜3、誘電体層4、及び、シリコン単結晶基板5をこの順に備えている。

[0038] シリコン単結晶基板2は、抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下である。この範囲の抵抗率のシリコン単結晶基板2は、高周波デバイス用として用いることができるものである。上記抵抗率は特に、高周波特性が良好で、かつ単結晶製造において抵抗率制御が可能な $1000\sim 5000\Omega\cdot\text{cm}$ 程度であることがより好ましい。

[0039] シリコンエピタキシャル膜3は、一般的な炭素固溶度である $3\times 10^{17}\text{atoms}/\text{cm}^3$ （シリコンの融点における炭素の最大固溶度）を大きく上回る $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満の濃度で炭素を含有し、炭素欠陥を含むものである。また、Void欠陥が含まれていないものである。

[0040] シリコンエピタキシャル膜3に含まれる微小な炭素欠陥は、サイズが約 10nm 以下、シリコンエピタキシャル膜3における密度が約 $1\times 10^{10}\text{cm}^{-2}$ 以上（本発明よりシリコンエピタキシャル膜3の炭素濃度が低い場合は、約 25nm 以上の炭素欠陥が低密度に含まれる）のものであることが好ましい。サイズの下限值及び密度の上限値は特段制限されないが、それぞれ、 3nm 以上、 $1\times 10^{12}\text{cm}^{-2}$ 以下とすることができる。なお、炭素欠陥のサイズは断面TEMで検出された欠陥の最も長い部分を計測して測定された値である。これは後述のSOIウェーハの製造方法においても同様である。

[0041] また、シリコンエピタキシャル膜3がVoid欠陥を含まないように、シリコンエピタキシャル膜3の厚さと炭素濃度は、 $6.6\times 10^{20}\times \exp\{-1.6\times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\}>[\text{エピタキシャル膜の炭素濃度}(\text{atoms}/\text{cm}^3)]$ の関係を満たしている。

- [0042] シリコンエピタキシャル膜3中の高密度に含まれる微小な炭素欠陥により膜中に深い準位が新たに形成されることにより、トラップリッチS O I ウェーハとなる。このようなS O I ウェーハは、微小な炭素欠陥の利点を有し、V o i d 欠陥の欠点が排除された高調波特性に優れたものとなる。この理由は、微小な炭素欠陥が高密度に形成されたシリコンエピタキシャル膜がトラップリッチ層として働き、反転層の形成を阻害するためと考えられる。そのため、高周波デバイス用ウェーハや能動素子向けに好適な基板となる。
- [0043] シリコンエピタキシャル膜3の炭素濃度の上限と下限値は、 $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満とする。このような濃度であれば、一般的な炭素固溶度を大きく上回る炭素濃度であるために、熱処理によって高密度に微小な炭素欠陥を形成することが可能となり、十分な高周波特性を実現できるものとなる。仮に、下限値を下回る炭素濃度の場合、炭素の過飽和度が小さいために粗大な炭素欠陥が形成され、低密度化した結果、十分な高周波特性を実現できないものとなる。一方で、炭素濃度が $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上の場合、膜厚が所定の値を越えるとV o i d 欠陥が形成され、膜の内部で微小な炭素欠陥と共存すると、熱処理によって高周波特性は向上するものの向上の幅が小さくなる。これは、V o i d 欠陥の体積が炭素欠陥と比べて非常に大きいために、V o i d 欠陥による影響が支配的になるためだと考えられる。そのため、大きく高周波特性が優れたS O I ウェーハであるためには、シリコンエピタキシャル膜3の膜厚は、V o i d 欠陥が形成されないような薄い膜厚であることが重要である。また、炭素濃度が $3 \times 10^{20} \text{ atoms/cm}^3$ 以上になると、シリコンエピタキシャル膜3の膜質が悪くなるに加えて、生産性も低下してしまう。炭素濃度の上限はシリコンエピタキシャル膜厚に依存し、炭素濃度の上限は、 $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\}$ > [エピタキシャル膜の炭素濃度 (atoms/cm^3)] の関係式から求めることができる。このような濃度であれば、安定して高周波特性が優れたものとなる。これは後述のS O I ウェーハの製造方法においても同様で

ある。

[0044] シリコンエピタキシャル膜3の厚さの上限値と下限値は、生産性やコストを考慮して、例えば $0.1\ \mu\text{m}$ 以上、 $2.5\ \mu\text{m}$ 以下とすることができる。このような範囲であれば、より低コストで十分な高周波特性を有するものとなる。ただし、シリコンエピタキシャル膜の炭素濃度が $2.0 \times 10^{19}\ \text{atoms}/\text{cm}^3$ 以上の場合、シリコンエピタキシャル膜を熱処理すると、シリコンエピタキシャル膜とシリコン基板界面にVoid欠陥領域が形成されやすくなる。Void欠陥は空孔の凝集体であるため、シリコンエピタキシャル膜3の厚さを薄くすることによって、膜の内部における空孔発生量を低減するとVoid欠陥の形成が抑制される。そのため、炭素濃度に応じて膜厚を調整する必要がある。以上のことから、シリコンエピタキシャル膜3の厚さと炭素濃度の関係は、 $6.6 \times 10^{20} \times \exp\{-1.6 \times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\} > [\text{エピタキシャル膜の炭素濃度}(\text{atoms}/\text{cm}^3)]$ を満たす必要がある。

[0045] (実験例1)

シリコン基板上に形成された炭素ドーパのシリコンエピタキシャル膜について、エピタキシャル膜にVoid欠陥を形成しない、エピタキシャル膜の炭素濃度と膜厚との関係について、実験により評価した結果を以下説明する。

[0046] 発明者らは、減圧CVD装置を利用して、 $2.0 \times 10^{19}\ \text{atoms}/\text{cm}^3$ 以上の炭素を含有し、かつ厚さを振ったシリコンエピタキシャル膜（炭素濃度： $2.0 \times 10^{19}\ \text{atoms}/\text{cm}^3$ の試料では膜厚： $1\ \mu\text{m}$ と $1.5\ \mu\text{m}$ と $2\ \mu\text{m}$ と $3\ \mu\text{m}$ と $5.5\ \mu\text{m}$ 、炭素濃度： $1.0 \times 10^{20}\ \text{atoms}/\text{cm}^3$ の試料では、膜厚： $1\ \mu\text{m}$ と $2\ \mu\text{m}$ と $3\ \mu\text{m}$ 、炭素濃度： $3.0 \times 10^{20}\ \text{atoms}/\text{cm}^3$ と 1.0×10^{21} の試料では、膜厚： $1\ \mu\text{m}$ ）をシリコン基板上に形成した。シリコンエピタキシャル膜の炭素濃度と厚さの調整は、減圧CVD炉におけるソースガスの導入量と処理時間を変えることにより行った。

- [0047] これらのエピタキシャルウェーハのVoid欠陥領域の有無を評価するため、得られたエピタキシャルウェーハに対して、酸素雰囲気下における1000℃の熱処理を36時間実施した。熱処理後、各エピタキシャルウェーハのシリコンエピタキシャル膜とシリコン基板の界面を含む薄片試料（厚さ約500nm）を用いて平面TEM観察を実施した。
- [0048] 実験例1の結果、炭素濃度が $2.0 \times 10^{19} \text{ atoms/cm}^3$ の試料では膜厚が3μm以上で、炭素濃度が $1.0 \times 10^{20} \text{ atoms/cm}^3$ の試料では膜厚が2μm以上で、炭素濃度が $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上の試料では膜厚が1μmで、シリコンエピタキシャル膜とシリコン基板の界面近傍にVoid欠陥領域が形成されていることが判明した。
- [0049] 上記結果より、発明者らは、熱処理によってシリコンエピタキシャル膜にVoid欠陥が形成される条件は、シリコンエピタキシャル膜に含有される炭素濃度とシリコンエピタキシャル膜の厚さの両方に依存して変化していると結論付けた。
- [0050] 実験例1で示されたVoid欠陥領域の有無を、シリコンエピタキシャル膜に含まれる炭素濃度とシリコンエピタキシャル膜の膜厚で整理した結果を図5に示す。
- 図5は、本発明のエピタキシャルウェーハにおいてシリコンエピタキシャル膜とシリコン基板の界面近傍にVoid欠陥領域が形成されるシリコンエピタキシャル膜の炭素濃度と膜厚の条件を示したグラフである。このとき、熱処理後にシリコンエピタキシャル膜とシリコン基板との界面にVoid欠陥領域が形成される領域を図内破線と網掛け部分で示している。即ち、図内白色部分は、シリコンエピタキシャル膜にVoid欠陥領域が形成されない領域である。これは、シリコンエピタキシャル膜に含まれる炭素濃度と膜厚との関係において、 $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\} > [\text{エピタキシャル膜の炭素濃度}(\text{atoms/cm}^3)]$ を満たす範囲とすることができる。
- [0051] このような本発明のSOIウェーハによれば、高抵抗率基板である必要が

なく、また、微小な炭素欠陥を高密度に含むシリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高調波低減能力を有するものとなり、高周波デバイス用ウェーハとして適したものとなる。

[0052] 次に、本発明に係るSOIウェーハの製造方法について説明する。

[0053] [第1実施形態]

本発明における第1実施形態のSOIウェーハの製造方法の一例を図2に示す。この方法は、トラップリッチ層として、微小な炭素欠陥が高密度に形成されたシリコンエピタキシャル膜を利用したSOIウェーハの製造方法である。

[0054] まず、ベースウェーハとなる第1の基板のエピタキシャルウェーハの製造方法について説明する。

[0055] (第1の基板を準備するステップ)

第1の基板として、抵抗率が $10 \sim 5000 \Omega \cdot \text{cm}$ のシリコン基板を用意する。

[0056] (シリコンエピタキシャル膜を気相成長させるステップ)

次に、第1の基板上に、減圧下で炭素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ 以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させる。

具体的には、シリコン基板上に減圧下でシリコン原子及び炭素原子を含有するガスを供給することで、第1の基板の表面に $2 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満の炭素濃度であり、かつシリコンエピタキシャル膜の厚さと炭素濃度の関係が $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\} > [\text{エピタキシャル膜の炭素濃度} (\text{atoms/cm}^3)]$ を満たすシリコンエピタキシャル膜（以下、単に「エピタキシャル膜」ともいう。）を気相成長させる。

[0057] エピタキシャル膜の気相成長は減圧下で行うことにより、エピタキシャル膜中にドーピングする炭素以外の不純物濃度を下げることができる。エピタキシ

ャル膜を形成する圧力は減圧であればよく、特に限定する必要はないが、10 Torr (約1.3 kPa) 程度、例えば5 Torr (約0.67 kPa) 以上20 Torr (約2.7 kPa) 以下で行うことが好ましい。

[0058] エピタキシャル膜の気相成長における炭素ドーピングは、上記のように、シリコン原子及び炭素原子を含有するガス（原料ガス）を用いる。原料ガスとしては、モノメチルシランガス及びトリメチルシランガスの少なくともいずれか一方を含むものとするのが好ましい。これらのガスを用いることにより、シリコンエピタキシャル膜へ容易に良好な炭素ドーピングを行うことができる。また、原料ガス供給時のキャリアガスとして、気相成長の雰囲気中に水素やアルゴン等を含んでいても良い。

[0059] 減圧下におけるエピタキシャル膜は、例えば、600～1000℃で気相成長させることにより、エピタキシャル膜をより良好に形成することができる。

[0060] また、形成するエピタキシャル膜の厚さが所望の厚さになるように気相成長の圧力、温度、時間、原料ガス濃度などを適宜設定することが好ましい。エピタキシャル膜の厚さは、例えば0.1 μm以上2.5 μm以下とすることができるが、 $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\} > [\text{エピタキシャル膜の炭素濃度} (\text{atoms}/\text{cm}^3)]$ を満たす範囲であれば、これに限定されない。このようなエピタキシャル膜の炭素濃度と膜厚の関係であれば、エピタキシャル膜中にVoid欠陥が形成されない。

[0061] (炭素欠陥を形成するステップ)

その後、エピタキシャル膜を有するエピタキシャルウェーハを熱処理することで、エピタキシャル膜内に微小な炭素欠陥を高密度に形成することができる。

[0062] エピタキシャル膜の成膜後の熱処理の方法は特に限定されず、例えば一般的なシリコンウェーハ用の熱処理炉や、エピタキシャル膜の気相成長に使用したチャンバーを用いることができる。

[0063] 熱処理における熱処理温度の下限は900℃以上、上限は1100℃以下とする。このようにすることで、一般的な熱処理炉を用いて微小な炭素欠陥を高密度に形成することができ、かつ重金属拡散の影響を抑えることができ、製造効率が良くなる。

[0064] また、熱処理時間は3時間以上36時間以下とする。このようにすることで、十分微小な炭素欠陥が形成され品質が良くなり、製造効率の観点から優れたエピタキシャルウェーハとなる。

[0065] ここで、熱処理における熱処理時間について検討した結果を、以下の実験例2で説明する。

[0066] (実験例2)

微小な炭素欠陥を高密度に形成する際の熱処理時間は、以下の実験により決定した。

優れた高調波特性を示すエピタキシャルウェーハの製造に必要な熱処理時間を基礎調査するため、成膜時の炭素濃度を $1.0 \times 10^{20} \text{ atoms/cm}^3$ としたエピタキシャルウェーハに対し、酸素雰囲気下、1000℃における熱処理時間を15分～12時間の範囲で変化させて熱処理を実施した。そして、このエピタキシャルウェーハの高周波特性を調査するため、2次高調波特性及び3次高調波特性を測定した。

[0067] SOIウェーハの高周波特性の測定は以下のようにして行う。

高調波特性〔2次高調波特性(2HD)や3次高調波特性(3HD)〕は、まず、最上層のシリコン単結晶膜を除去した後に、誘電体層(例えば酸化膜)上に金属(例えばアルミニウム)でCoplanar Waveguide(CPW)を形成し、この金属電極の両端にプローブを接地させる。その後、電極のどちらか一方から高周波信号を入力し、もう片側から出力される2次高調波及び3次高調波を測定する(例えば入力信号の周波数:1GHz、入力電力:15dBm)。

[0068] 本実験におけるエピタキシャルウェーハについては、上記の範囲の熱処理時間で熱処理されたシリコンエピタキシャル膜上に線路長2200μmのア

ルミニウム電極を形成し、2次高調波特性、及び3次高調波特性を測定した。測定結果を図6に示す。図6に示すとおり、熱処理時間が3時間以上とした試料の入力信号の周波数を1GHzとした場合の2次高調波特性は全て-50dBm程度であり、3次高調波特性は全て-60dBm以下であった。

[0069] この結果は、微小な炭素欠陥を高密度に形成することにより優れた高調波特性を示すエピタキシャルウェーハの製造には1000℃での熱処理を少なくとも3時間以上実施する必要があることを示している。そこで、熱処理時間は3時間以上36時間以下とする。なお、上限については、過度に長時間処理しても炭素欠陥を形成する効果に変化はなくなり、生産性を考慮して36時間以下と設定した。このようにすることで、十分微小な炭素欠陥が形成され品質が良くなり、製造効率の観点から優れたエピタキシャルウェーハとなる。

[0070] 以上を踏まえると、1000℃前後まで昇温した熱処理炉に直接エピタキシャルウェーハを投入し、3時間～36時間程度熱処理することで、減圧下における気相成長によって形成されたエピタキシャル膜内で微小な炭素欠陥が高密度に形成される。この際、熱処理時のガス種は特に限定されず、例えば酸素ガスや、アルゴンや窒素などの不活性ガスとすることができる。

[0071] 上記熱処理後、エピタキシャル膜上における誘電体層の形成は必須ではなく、エピタキシャル膜上に誘電体層が形成されていなくても構わない。

[0072] このようにして、本発明の第1実施形態のSOIウェーハにおけるトラップリッチ層に使用されるエピタキシャルウェーハ（ベースウェーハ）を製造することができる。微小な炭素欠陥が高密度に形成されたエピタキシャル膜がトラップリッチ層として機能する。

[0073] 次に、第1実施形態のSOIウェーハの製造方法における第2の基板の製造方法を説明する。

[0074] （第2の基板を準備するステップ）

第2の基板としてシリコン単結晶基板を準備する。第2の基板の抵抗率は、例えば抵抗率が $10\Omega\cdot\text{cm}$ 程度のシリコン単結晶基板とすることができ

るがこれに限定されない。作製するデバイスによって $10 \sim 1000 \Omega \cdot \text{cm}$ の範囲で適宜決定することができる。

[0075] (誘電体層を形成するステップ)

次に、第2の基板の表面に誘電体層を形成する。誘電体層の材料は特に限定されないが、例えばシリコン酸化膜を熱酸化やパイロジェニック酸化等で形成できる。誘電体層として酸化膜を形成する場合は、熱酸化（酸化性雰囲気、 1000°C 、 $1 \sim 12$ 時間）により基板表面全体に酸化膜を形成することができる。この第2の基板はボンドウェーハとなる。

[0076] 図2における第1の基板と第2の基板を作製する順番は問わない。どちらを先に行っても良く、並行して行うこともできる。

[0077] (第1の基板上に形成されたエピタキシャル膜と第2の基板の誘電体層を貼り合わせるステップ)

上記のように気相成長とその後の熱処理によって作製したエピタキシャルウェーハである第1の基板と、第2の基板を準備した後、図2に示すように、第1の基板のエピタキシャル膜と第2の基板の誘電体層を貼り合わせる（接合する）。

[0078] 貼り合わせの後、第2の基板のシリコン基板を薄膜化することができる。この薄膜化は、第2の基板のシリコン基板を研磨やエッチングする方法やイオン注入剥離法により、用途に合わせて所望の厚さにすることができる。イオン注入剥離法は、例えば図2の貼り合わせ前にシリコン基板の誘電体層側から水素イオンなどを注入してシリコン基板内にイオン注入層を形成しておき、貼り合わせ後に熱処理などによってイオン注入層に沿って剥離することにより実施することができる。

[0079] このような本発明における第1実施形態のSOIウェーハの製造方法により、SOIウェーハを製造することができる。このようにして製造されたSOIウェーハは、抵抗率が $10 \sim 5000 \Omega \cdot \text{cm}$ のシリコン基板上に、 $2 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満の濃度で炭素を含有するエピタキシャル膜を熱処理することで得られる微小な炭素

欠陥が形成されたエピタキシャル膜、誘電体層、シリコン単結晶膜がこの順に積層した構造を有する。

[0080] エピタキシャル膜の炭素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ 以上であれば、熱処理によって十分量の微小な炭素欠陥が形成され、熱処理前と比べて大幅に2次高調波及び3次高調波を低減できる。一方、エピタキシャル膜に含まれる炭素濃度が $3 \times 10^{20} \text{ atoms/cm}^3$ 以上の場合は、エピタキシャル膜の品質が悪化し、生産性も低下する。

[0081] エピタキシャル膜に含まれる微小な炭素欠陥は、サイズが約 10 nm 以下、エピタキシャル膜における密度が約 $1 \times 10^{10} \text{ cm}^{-2}$ 以上（本発明よりエピタキシャル膜の炭素濃度が低い場合は、約 25 nm 以上の炭素欠陥が低密度に含まれる）のものであることが好ましい。

[0082] このような本発明の第1実施形態のSOIウェーハの製造方法によれば、高抵抗率基板を使用せず、エピタキシャル膜に微小な炭素欠陥が高密度に形成されたSOIウェーハを容易に製造することができる。製造されたSOIウェーハは、エピタキシャル膜がトラップリッチ層として機能し確実に高調波を低減するため、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高調波低減能力を有する。その結果、高周波デバイス用ウェーハとして適したSOIウェーハとなる。

[0083] [第2実施形態]

本発明の第2実施形態のSOIウェーハの製造方法の一例を図3に示す。この方法は、上記のようなトラップリッチ層として、微小な炭素欠陥が高密度に形成されたシリコンエピタキシャル膜を利用したSOIウェーハの製造方法である。

[0084] （第1の基板を準備するステップ）～（シリコンエピタキシャル膜を気相成長させるステップ）

まず、ベースウェーハとなる第1の基板のエピタキシャルウェーハの製造方法について説明する。第1の基板を準備するステップ～シリコンエピタキシャル膜を気相成長させるステップは、図2で示した第1実施形態における

エピタキシャルウェーハの製造方法と同様である。

[0085] (炭素欠陥及び酸化膜を形成するステップ)

第2実施形態のSOIウェーハの製造方法では、図3に示すとおり、シリコンエピタキシャル膜を形成した第1の基板を、酸化性雰囲気で、900℃以上1100℃以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、シリコンエピタキシャル膜中に炭素欠陥を形成するとともにシリコンエピタキシャル膜上に酸化膜を形成する。この場合の熱処理条件は、上記第1の実施形態で説明したとおりであり、炭素欠陥形成のための熱処理を酸化性雰囲気で行うことで、シリコンエピタキシャル膜中での炭素欠陥の形成とシリコンエピタキシャル膜上への酸化膜の形成を同時に行う。

[0086] 酸化膜の膜厚は特に限定されず、用途に合わせて調整することができるが、生産性を考慮して100nm以上、1μm以下とできる。

[0087] 以上の第2実施形態のSOIウェーハの製造方法によっても、SOIウェーハのトラップリッチ層として機能するエピタキシャルウェーハ（ベースウェーハ）を製造することができる。

[0088] 第2実施形態では、酸化膜を第1の基板上においてエピタキシャル膜表面に形成している。酸化膜の形成とエピタキシャル膜中での微小な炭素欠陥を高密度に形成するために必要な熱処理を同一チャンバー内で同時に実施することができ、SOIウェーハの製造に必要な工程数を削減することが可能となる。

[0089] (第2の基板を準備するステップ)

上記第1の実施形態と同様に、シリコン単結晶基板である第2の基板を準備する。図3に示すボンドウェーハとなる第2の基板は、例えば抵抗率が10Ω・cm程度のシリコン基板とすることができるがこれに限定されない。作製するデバイスによって10～1000Ω・cmの範囲で適宜決定することができる。

[0090] (第1の基板上に形成されたエピタキシャル膜上に形成された酸化膜と第2の基板を貼り合わせるステップ)

第2の実施形態ではエピタキシャル膜上に酸化膜が形成されているため、第1実施形態のような第2の基板の表面に誘電体層を形成するステップを行わないが、誘電体層の存在を排除することを意図していない。図3に示すように、第1の基板上に形成されたエピタキシャル膜上に形成された酸化膜と第2の基板を貼り合わせる（接合する）。

[0091] このとき、第2の基板は、ベースウェーハとなる第1の基板に貼り合わせる前において、1枚のシリコン単結晶基板から複数枚の基板に切り出して薄膜化した基板とすることが好ましい。薄膜化の手法は特に限定されないが、研磨による薄膜化や、スマートカット法（登録商標）等のイオン注入技術、レーザーカッティング技術が利用できる。ただし、製造コストの観点からは、第1の基板に貼り合わせる前に単一のシリコン基板から複数の薄膜化した第2の基板を作製する方が、貼り合わせ後に同等の厚さへ薄膜化することに比べてコスト的に有利である。

[0092] 薄膜化された第2の基板の膜厚も特に限定されず、用途や薄膜化手法に応じて調整することができる。このように、仮にレーザーカッティング技術によって貼り合わせ前に1枚のシリコン基板（厚さ775 μm ）から約60 μm の薄膜化したシリコン基板を切り出した場合、少なくとも10枚以上の、SOIウェーハの製造に必要な第2の基板を作製することができ、製造コストの観点から極めて大きなメリットがあるため好ましい。この際、第2の基板はボンドウェーハとなる。

[0093] 貼り合わせの後に第2の基板を更に薄膜化することもでき、この場合は、研磨やエッチングをする方法や、イオン注入剥離法により、用途に合わせて所望の厚さにすることができる。イオン注入剥離法は、例えば貼り合わせ前に、薄膜化されたシリコン基板の第1の基板の酸化膜（誘電体層）に接する側から水素イオンなどを注入してシリコン基板内にイオン注入層を形成しておき、貼り合わせ後に熱処理などによってイオン注入層に沿って剥離することにより実施することができる。

[0094] 第2実施形態のSOIウェーハの製造工程において、図3における第1の

基板と第2の基板を作製する順番は問わない。どちらを先に行っても良く、並行して行うこともできる。また、第2の基板の薄膜化と貼り合わせの順番も問わない。薄膜化してから貼り合わせしても、貼り合わせしてから薄膜化してもどちらでも良い。

[0095] このような本発明における第2実施形態のSOIウェーハの製造方法により、SOIウェーハを製造することができる。このようにして製造されたSOIウェーハは、抵抗率が $10 \sim 5000 \Omega \cdot \text{cm}$ のシリコン基板上に、 $2 \times 10^{19} \text{ atoms/cm}^3$ 以上、 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満の濃度で炭素を含有するエピタキシャル膜を熱処理することで得られる微小な炭素欠陥が形成されたエピタキシャル膜、誘電体層、シリコン単結晶膜がこの順に積層した構造を有する。

[0096] エピタキシャル膜に含まれる微小な炭素欠陥は、サイズが約 10 nm 以下、エピタキシャル膜における密度が約 $1 \times 10^{10} \text{ cm}^{-2}$ 以上（本発明よりエピタキシャル膜の炭素濃度が低い場合は、約 25 nm 以上の炭素欠陥が低密度に含まれる）のものであることが好ましい。

[0097] このような本発明の第2実施形態のSOIウェーハの製造方法によれば、高抵抗率基板を使用せず、エピタキシャル膜に微小な炭素欠陥が高密度に形成されたSOIウェーハを容易に製造することができる。製造されたSOIウェーハは、エピタキシャル膜がトラップリッチ層として機能し確実に高調波を低減するため、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高調波低減能力を有する。その結果、高周波デバイス用ウェーハとして適したSOIウェーハとなる。

[0098] [第3実施形態]

本発明に係るSOIウェーハは、以下に述べるような方法によっても製造することが可能である。

[0099] まず、ベースウェーハとなる第1の基板のエピタキシャルウェーハの製造方法について説明する。図4で示した第1の基板上への炭素ドーピングのシリコンエピタキシャル膜（以下、単に「エピタキシャル膜」ともいう。）の作製

方法は、図2で示した第1実施形態の製造方法におけるエピタキシャルウェーハの製造方法と同様である。

[0100] 第3実施形態のSOIウェーハの製造方法では、図4に示すとおり、エピタキシャル膜を形成した第1の基板の上に、誘電体層を形成する。この際、誘電体層として酸化膜を形成する。

[0101] 酸化膜（誘電体層）を形成する方法として、熱酸化やパイロジェニック酸化等による基板表面全体への酸化法が利用できるが（酸化性雰囲気、1000℃、1～12時間）、酸化性雰囲気下における処理であれば特に限定はされない。酸化膜（誘電体層）の膜厚も特に限定されず、用途に合わせて調整することができるが、生産性を考慮して100nm以上、1μm以下とできる。

[0102] 酸化膜（誘電体層）を形成した第1の基板を、900℃以上1100℃以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、シリコンエピタキシャル膜中に炭素欠陥を形成する。この場合の熱処理条件は、上記第1の実施形態で説明したとおりである。

[0103] ただし、酸化膜（誘電体層）の形成のための酸化処理によって、シリコンエピタキシャル膜中に十分量の微小な炭素欠陥が形成されている場合は、そのままこれを第1の基板（ベースウェーハ）とすることもできる。炭素欠陥の形成が不十分な場合は、酸化雰囲気による追加熱処理によってエピタキシャル膜中に微小な炭素欠陥を形成することができる。または、酸化膜（誘電体層）の厚さをこれ以上厚くする必要がない場合は、追加熱処理雰囲気として不活性ガスを利用することもできる。追加熱処理の実施や追加熱処理条件は状況に応じて調整することができ、特に限定はされない。

[0104] 以上の第3実施形態のSOIウェーハの製造方法によっても、SOIウェーハのトラップリッチ層として機能するエピタキシャルウェーハ（ベースウェーハ）を製造することができる。

[0105] 第3実施形態では、酸化膜（誘電体層）を第1の基板においてエピタキシャル膜表面に形成している。これにより、酸化膜（誘電体層）の形成とエ

ピタキシャル膜中での微小な炭素欠陥を高密度に形成するために必要な熱処理を同一チャンバー内で段階的に実施することができ、SOIウェーハの製造に必要な工程数を削減することが可能となる。

[0106] 続いて、第3実施形態のSOIウェーハの製造方法における第2の基板の製造方法を説明する。

[0107] 図4に示すボンドウエーハとなる第2の基板は、例えば抵抗率が $10\Omega\cdot\text{cm}$ 程度のシリコン基板とすることができ、これに限定されない。作製するデバイスによって $10\sim 1000\Omega\cdot\text{cm}$ の範囲で適宜決定することができる。

[0108] 第3実施形態では、第2の基板に誘電体層を形成しないが、誘電体層の存在を排除することを意図していない。

[0109] 上記のように気相成長と酸化膜（誘電体層）の形成、その後の熱処理によって作製したエピタキシャルウェーハである第1の基板と、第2の基板を準備した後、図4に示すように、第1の基板上へ形成した酸化膜（誘電体層）と第2の基板を貼り合わせる（接合する）。このようにしてSOIウェーハを製造することができる。

[0110] このとき、第2の基板は、貼り合わせの前後において、第2実施形態における薄膜化と同様の手法により薄膜化を行うことができる。

[0111] 第3実施形態のSOIウェーハの製造工程において、図4における第1の基板と第2の基板を作製する順番は問わない。どちらを先に行っても良く、並行して行うこともできる。また、第2の基板の薄膜化と貼り合わせの順番も問わない。薄膜化してから貼り合わせしても、貼り合わせしてから薄膜化してもどちらでも良い。

[0112] このような本発明における第3実施形態のSOIウェーハの製造方法により、本発明に係るSOIウェーハを製造することができる。このようにして製造されたSOIウェーハは、抵抗率が $10\sim 5000\Omega\cdot\text{cm}$ のシリコン基板上に、 $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上、 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満の濃度で炭素を含有するエピタキシャル膜を熱処理することで得られる

微小な炭素欠陥が高密度に形成されたエピタキシャル膜、酸化膜（誘電体層）、シリコン単結晶膜がこの順に積層した構造を有する。

[0113] エピタキシャル膜に含まれる微小な炭素欠陥は、サイズが約10 nm以下、エピタキシャル膜における密度が約 $1 \times 10^{10} \text{ cm}^{-2}$ 以上（本発明よりエピタキシャル膜の炭素濃度が低い場合は、約25 nm以上の炭素欠陥が低密度に含まれる）のものであることが好ましい。

[0114] このような本発明の第3実施形態のSOIウェーハの製造方法によれば、高抵抗率基板を使用せず、エピタキシャル膜に微小な炭素欠陥が高密度に形成されたSOIウェーハを容易に製造することができる。製造されたSOIウェーハは、エピタキシャル膜がトラップリッチ層として機能し確実に高調波を低減するため、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高調波低減能力を有する。その結果、高周波デバイス用ウェーハとして適したSOIウェーハとなる。

[0115] [高周波特性]

SOIウェーハの高周波特性について説明する。

[0116] 本発明のSOIウェーハは、シリコン基板上の炭素ドーパのシリコンエピタキシャル膜において熱処理で微小な炭素欠陥が高密度に形成されているため、トラップリッチ層のトラップ密度が熱処理前と比べて高まっており、その結果キャリア捕獲能力が向上するので、シリコン基板が高抵抗率ではない場合であっても、従来の高抵抗率基板上にトラップリッチ層としてポリシリコン層を形成したSOIウェーハに比べて、高調波を顕著に低減することができ、優れた高調波特性を得ることができる。

[0117] このように、本発明のSOIウェーハは、2次高調波特性、及び3次高調波特性を向上させることができ、高周波デバイス用ウェーハとして適している。

実施例

[0118] 以下、実施例を挙げて本発明について具体的に説明するが、これは本発明を限定するものではない。

[0119] (実施例1)

図2に沿って、本発明における第1実施形態のSOIウェーハの製造方法における、トラップリッチ層として機能する第1の基板（ベースウェーハ）となるエピタキシャルウェーハを製造した。

[0120] 具体的には、減圧CVD装置によりチョクラスキー法によって製造された単結晶インゴットをスライスして得た直径300mmのシリコン基板上（P型、抵抗率 $10\Omega\cdot\text{cm}$ ）に、炭素のソースガスとしてモノメチルシランを用いて炭素ドーピングのシリコンエピタキシャル膜（炭素濃度： $2.0\times 10^{19}\sim 1.0\times 10^{20}\text{atoms}/\text{cm}^3$ 、膜厚： $1\mu\text{m}$ ）を形成した。この炭素濃度範囲では、膜厚が $0.1\sim 1.1\mu\text{m}$ であればVoid欠陥は形成されない。成膜後、得られたエピタキシャルウェーハに対して、非酸化性雰囲気、 1000°C 、12時間の熱処理を実施することでシリコンエピタキシャル膜に微小な炭素欠陥を高密度に形成した。このときシリコンエピタキシャル膜上に酸化膜は形成されていない。

[0121] 前記炭素ドーピングのシリコンエピタキシャル膜の濃度は、(1) $2.0\times 10^{19}\text{atoms}/\text{cm}^3$ 、(2) $3.0\times 10^{19}\text{atoms}/\text{cm}^3$ 、(3) $6.0\times 10^{19}\text{atoms}/\text{cm}^3$ 、(4) $1.0\times 10^{20}\text{atoms}/\text{cm}^3$ 、の4通りのものとした。

[0122] 続いて、熱処理を行ったエピタキシャルウェーハを用いてSOIウェーハを作製した。ボンドウェーハとなる第2の基板として、直径300mmのシリコン基板（P型、抵抗率 $10\Omega\cdot\text{cm}$ ）の表面に誘電体層として厚さ400nmの酸化膜を形成したシリコンウェーハを用意した。

[0123] 第1の基板上に形成された、微小な炭素欠陥が形成されたシリコンエピタキシャル膜の面と、第2の基板の酸化膜面（誘電体層の表面）を接合し、第2の基板のシリコン基板を研磨することで、シリコン単結晶膜を $1\mu\text{m}$ 残したSOIウェーハを製造した。これを実施例1のSOIウェーハとした。

[0124] 実施例1のSOIウェーハの高周波特性を調査するため、実施例1のSOIウェーハの2次高調波特性、及び3次高調波特性を測定した。製造したS

SOIウェーハの第2の基板側のシリコン単結晶膜を除去した後、微小な炭素欠陥が高密度に形成されたシリコンエピタキシャル膜〔炭素濃度：(1)～(4)、膜厚：1 μm 〕の表面に露出した誘電体層に線路長2200 μm のアルミニウム電極を形成し、高周波特性を測定した。

[0125] 上記測定結果を図7に示す。図7に示すとおり、入力信号の周波数を1 GHzとした場合の前記ウェーハの2次高調波特性は、シリコンエピタキシャル膜の炭素濃度が(1)～(4)の場合でそれぞれ、(1)－55.0 dBm、(2)－47.3 dBm、(3)－52.4 dBm、(4)－59.5 dBmであった。

また、3次高調波特性は、シリコンエピタキシャル膜の炭素濃度が(1)～(4)の場合でそれぞれ、(1)－85.2 dBm、(2)－87.1 dBm、(3)－91.2 dBm、(4)－84.1 dBmであった。

この結果は、実施例1のエピタキシャルウェーハが高調波を顕著に低減できることを示しており、SOIウェーハの第1の基板（ベースウェーハ）に適用したときにトラップリッチ層として優れていることが判明した。

[0126] （比較例1）

実施例1のSOIウェーハの製造方法と同様の手法で、第1の基板においてシリコンエピタキシャル層の成膜後に熱処理を実施していない点のみが異なるSOIウェーハを製造し、比較例1のSOIウェーハとした。

[0127] 実施例1と同様の手法で、比較例1のSOIウェーハの2次高調波特性及び3次高調波特性を測定した結果を図7に示す。

図7に示すとおり、前記ウェーハの2次高調波特性は、シリコンエピタキシャル膜の炭素濃度が(1)～(4)の場合でそれぞれ、(1)－18.3 dBm、(2)－18.8 dBm、(3)－20.4 dBm、(4)－19.9 dBmであった。

また、3次高調波特性は、(1)－43.4 dBm、(2)－41.2 dBm、(3)－41.4 dBm、(4)－47.0 dBmであった。

この結果から、比較例1の2次高調波特性、3次高調波特性はいずれも実

施例1より劣る結果となった。

[0128] 以上の結果より、炭素ドープのシリコンエピタキシャル膜の炭素濃度を $2 \times 10^{19} \text{ atoms/cm}^3$ 以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満とし、かつ該シリコンエピタキシャル膜の厚さと炭素濃度の関係が、 $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\} > [\text{エピタキシャル膜の炭素濃度} (\text{atoms/cm}^3)]$ を満たす前記シリコンエピタキシャル膜に対して熱処理することで微小な炭素欠陥を高密度に形成したエピタキシャル層をSOIウェーハの第1の基板（ベースウェーハ）に適用したときに、炭素欠陥を含まないエピタキシャル層をSOIウェーハの第1の基板（ベースウェーハ）に適用したときに比べてトラップリッチ層として優れていることが判明した。

[0129] （比較例2）

実施例1と比較例1のエピタキシャルウェーハの製造方法と同様の手法で、シリコンエピタキシャル膜に含有される炭素濃度のみが異なるエピタキシャルウェーハを製造した。

まず、減圧CVD装置によりチョクラルスキー法によって製造された単結晶インゴットをスライスして得た直径300mmのシリコン基板上（P型、抵抗率 $10 \Omega \cdot \text{cm}$ ）に、炭素のソースガスとしてモノメチルシランを用いて炭素ドープのシリコンエピタキシャル膜（炭素濃度： $3.0 \times 10^{20} \sim 1.0 \times 10^{21} \text{ atoms/cm}^3$ 、膜厚： $1 \mu\text{m}$ ）を形成することで、比較例2におけるSOIウェーハの第1の基板（ベースウェーハ）を用意した。この炭素濃度範囲では、膜厚 $1 \mu\text{m}$ 以上でVoid欠陥が形成されることが判明している。前記全てのベースウェーハに対して、酸素雰囲気下、 1000°C での熱処理を12時間実施した試料と熱処理を施さなかった試料を用意した。

[0130] 前記炭素ドープのシリコンエピタキシャル膜の濃度は、（1） $3.0 \times 10^{20} \text{ atoms/cm}^3$ 、（2） $1.0 \times 10^{21} \text{ atoms/cm}^3$ 、の2通りのものとした。

[0131] 続いて、第2の基板（ボンドウェーハ）として、直径300mmのシリコン基板（P型、抵抗率 $10\Omega\cdot\text{cm}$ ）の表面に誘電体層として厚さ400nmの酸化膜を形成したシリコンウェーハを用意した。前記ベースウェーハにおけるシリコンエピタキシャル膜の面と、ボンドウェーハの酸化膜面（誘電体層の表面）を接合し、ボンドウェーハ側のシリコン基板を研磨することで、シリコン単結晶膜を $1\mu\text{m}$ 残したSOIウェーハとした。これを比較例2のSOIウェーハとした。

[0132] 実施例1と同様の手法で、比較例2のSOIウェーハの2次高調波特性及び3次高調波特性を測定した結果を図7に示す。

図7に示すとおり、入力信号の周波数を1GHzとした場合の前記ウェーハの2次高調波特性（熱処理なし）は、シリコンエピタキシャル膜の炭素濃度が（1）～（2）の場合でそれぞれ、（1） -26.0dBm 、（2） -26.3dBm であり、2次高調波特性（熱処理あり）は、（1） -29.5dBm 、（2） -28.5dBm であった。

また、3次高調波特性（熱処理なし）は、（1） -64.0dBm 、（2） -65.7dBm であり、3次高調波特性（熱処理あり）は、（1） -49.7dBm 、（2） -64.2dBm であった。

この結果は、比較例2の2次高調波特性、3次高調波特性はいずれも実施例1より劣る結果となった。

[0133] （実施例2）

図3に沿って、本発明における第2実施形態のSOIウェーハの製造方法を用いて、トラップリッチ層として機能する第1の基板（ベースウェーハ）となるエピタキシャルウェーハを製造した。

[0134] 具体的には、減圧CVD装置によりチョクラスキー法によって製造されたインゴットをスライスして得た直径300mmのシリコン基板上（P型、抵抗率 $10\Omega\cdot\text{cm}$ ）に、炭素のソースガスとしてモノメチルシランを用いて炭素ドーパのシリコンエピタキシャル膜（炭素濃度： $2.0\times 10^{19}\sim 1.0\times 10^{20}\text{atoms}/\text{cm}^3$ 、膜厚： $1\mu\text{m}$ ）を形成した。この炭素濃度

範囲では、膜厚が $0.1 \sim 1.1 \mu\text{m}$ であればVoid欠陥は形成されない。成膜後、得られたエピタキシャルウェーハに対して、酸化性雰囲気、 1000°C 、12時間の熱処理を実施することでシリコンエピタキシャル膜に微小な炭素欠陥を高密度に形成した。このときシリコンエピタキシャル膜上に酸化膜が形成されている。

[0135] 第1の基板上に形成された、表面に酸化膜を備えるとともに微小な炭素欠陥が形成されたシリコンエピタキシャル膜の面と、直径 300mm の第2の基板のシリコン基板（P型、抵抗率 $10\Omega \cdot \text{cm}$ ）とを接合し、第2の基板のシリコン基板を研磨することで、シリコン単結晶膜を $1\mu\text{m}$ 残したSOIウェーハを製造した。これを実施例2のSOIウェーハとした。

[0136] 実施例1と同様の手法で、実施例2のSOIウェーハの2次高調波特性及び3次高調波特性を測定した。その結果、実施例1とほぼ同等の高周波特性を示すことが確認された。以上から、第1の形態、第2の形態を問わず、同等の高周波特性を示すSOIウェーハが製造できることが示された。

[0137] （実施例3）

図4に沿って、本発明における第3実施形態のSOIウェーハの製造方法を用いて、トラップリッチ層として機能する第1の基板（ベースウェーハ）となるエピタキシャルウェーハを製造した。減圧CVD装置によりチョクラルスキー法によって製造されたインゴットをスライスして得た直径 300mm のシリコン基板上（P型、抵抗率 $10\Omega \cdot \text{cm}$ ）に、炭素のソースガスとしてモノメチルシランを用いて炭素ドーピングのシリコンエピタキシャル膜（炭素濃度： $2.0 \times 10^{19} \sim 1.0 \times 10^{20} \text{atoms}/\text{cm}^3$ 、膜厚： $1\mu\text{m}$ ）を形成した。この炭素濃度範囲では、膜厚が $0.1 \sim 1.1 \mu\text{m}$ であればVoid欠陥は形成されない。成膜後、パイロジェニック酸化（ $1000^\circ\text{C}/4\text{時間}$ ）によって、炭素ドーピングのシリコンエピタキシャル膜表面へ誘電体層である酸化膜を 400nm 形成した。得られたエピタキシャルウェーハに対して、非酸化性雰囲気、 1000°C 、8時間の熱処理を実施することでシリコンエピタキシャル膜に微小な炭素欠陥を形成した。これを、実施例3に

おけるベースウェーハとした。第3実施形態では、このシリコンエピタキシャル膜上には酸化膜が形成されていることが必要である。

[0138] 続いて、前記ベースウェーハを用いてSOIウェーハを作製した。第2の基板（ボンドウェーハ）として、直径300mmのシリコン基板（厚さ775 μ m、P型、抵抗率10 $\Omega \cdot \text{cm}$ ）をレーザーカッティングによって薄膜化し、厚さ約100 μ mのボンドウェーハとした。次に、第1の基板上において、微小な炭素欠陥が形成されたシリコンエピタキシャル膜表面の誘電体層と、ボンドウェーハを接合し、SOIウェーハを製造した。これを実施例3のSOIウェーハとした。

[0139] 実施例1と同様の手法で、実施例3のSOIウェーハの2次高調波特性及び3次高調波特性を測定した。その結果、実施例1とほぼ同等の高周波特性を示すことが確認された。以上から、第1実施形態、第2実施形態、第3実施形態を問わず、同等の高周波特性を示すSOIウェーハが製造できることが示された。

[0140] しかも、実施例3では1枚のシリコン基板から5枚のSOIウェーハの製造に必要な第2の基板を作製することができ、製造コストの観点から極めて大きいメリットがある。

[0141] 以上のとおり、本発明の実施例によれば、高抵抗率基板を用いず、かつ、微小な炭素欠陥を高密度に含むシリコンエピタキシャル膜がトラップリッチ層として作用することによって、従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハよりも優れた高周波特性を有するSOIウェーハを容易に製造することができた。

[0142] 本発明は上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

- [請求項1] 抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板上に、炭素濃度が $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満であり、かつ炭素欠陥を含むシリコンエピタキシャル膜、誘電体層、及び、シリコン単結晶膜をこの順に備え、
前記シリコンエピタキシャル膜の厚さは、 $6.6\times 10^{20}\times \exp\{-1.6\times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\}>[\text{エピタキシャル膜の炭素濃度}(\text{atoms}/\text{cm}^3)]$ を満たすものであることを特徴とするSOIウェーハ。
- [請求項2] 高周波デバイス用ウェーハであることを特徴とする請求項1に記載のSOIウェーハ。
- [請求項3] 前記炭素欠陥は、サイズが 10nm 以下、前記シリコンエピタキシャル膜における密度が $1\times 10^{10}\text{cm}^{-2}$ 以上のものであることを特徴とする請求項1又は2に記載のSOIウェーハ。
- [請求項4] 抵抗率が $10\Omega\cdot\text{cm}$ 以上 $5000\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板である第1の基板を準備するステップと、
前記第1の基板上に、減圧下で炭素濃度が $2\times 10^{19}\text{atoms}/\text{cm}^3$ 以上 $3\times 10^{20}\text{atoms}/\text{cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させるステップと、
前記シリコンエピタキシャル膜を形成した第1の基板を、 900°C 以上 1100°C 以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、前記シリコンエピタキシャル膜中に炭素欠陥を形成するステップと、
シリコン単結晶基板である第2の基板を準備するステップと、
前記第2の基板の表面に誘電体層を形成するステップと、
前記第1の基板上に形成されたエピタキシャル膜と第2の基板の誘電体層を貼り合わせるステップと、を含み、
前記シリコンエピタキシャル膜を気相成長させるステップでは、前

記シリコンエピタキシャル膜の厚さが $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\}$ $>$ $[\text{エピタキシャル膜の炭素濃度} (\text{atoms}/\text{cm}^3)]$ を満たすシリコンエピタキシャル膜を形成することを特徴とするSOIウェーハの製造方法。

[請求項5]

抵抗率が $10 \Omega \cdot \text{cm}$ 以上 $5000 \Omega \cdot \text{cm}$ 以下のシリコン単結晶基板である第1の基板を準備するステップと、

前記第1の基板上に、減圧下で炭素濃度が $2 \times 10^{19} \text{atoms}/\text{cm}^3$ 以上 $3 \times 10^{20} \text{atoms}/\text{cm}^3$ 未満のシリコンエピタキシャル膜を気相成長させるステップと、

前記シリコンエピタキシャル膜を形成した第1の基板を、酸化性雰囲気、 900°C 以上 1100°C 以下の熱処理温度、3時間以上36時間以下の熱処理時間で熱処理することで、前記シリコンエピタキシャル膜中に炭素欠陥を形成するとともに前記シリコンエピタキシャル膜上に酸化膜を形成するステップと、

シリコン単結晶基板である第2の基板を準備するステップと、

前記第1の基板上に形成されたエピタキシャル膜上に形成された酸化膜と前記第2の基板を貼り合わせるステップと、を含み、

前記シリコンエピタキシャル膜を気相成長させるステップでは、前記シリコンエピタキシャル膜の厚さが $6.6 \times 10^{20} \times \exp \{-1.6 \times [\text{エピタキシャル膜の厚さ} (\mu\text{m})]\}$ $>$ $[\text{エピタキシャル膜の炭素濃度} (\text{atoms}/\text{cm}^3)]$ を満たすシリコンエピタキシャル膜を形成することを特徴とするSOIウェーハの製造方法。

[請求項6]

前記第2の基板は、前記第1の基板に貼り合わせる前に1枚のシリコン単結晶基板から複数枚の基板に切り出して薄膜化した基板とすることを特徴とする請求項5に記載のSOIウェーハの製造方法。

[請求項7]

請求項4又は5に記載のSOIウェーハの製造方法を用いて製造されたSOIウェーハを高周波デバイス用ウェーハとすることを特徴とする、SOIウェーハの製造方法。

[請求項8] 前記炭素欠陥を、サイズが10 nm以下、前記エピタキシャル膜における密度が $1 \times 10^{10} \text{ cm}^{-2}$ 以上のものとすることを特徴とする請求項4又は5に記載のSOIウェーハの製造方法。