

极化码的编码方法及装置

技术领域

本申请实施例涉及通信技术领域，尤其是涉及一种极化码的编码方法及装置。

背景技术

通信系统中，为了降低编码复杂度，提出一种基于奇偶校验极化码（parity check polar codes, PC-Polar codes）的编码方案。

其中，PC-Polar 码可以包括信息位、冻结位、PC 位和速率匹配缩短位，信息位用于承载信息比特，冻结位用于承载冻结比特，PC 位用于承载 PC 比特，PC 位根据信息位确定，PC 比特的取值可以根据位于该 PC 位前边的信息比特的取值通过 PC 方程确定，速率匹配缩短位不用发送到信道上。

对于不同数目的信息比特序列，其信息比特的位置不同，会导致 PC 位和 PC 方程不同，即需要为不同数目的信息比特序列单独存储对应的 PC 位和 PC 方程，硬件复杂度较高，硬件开销较大。

发明内容

本申请提供一种极化码的编码方法及装置，能够使不同数目的信息比特序列基于相同的可靠度序列和第一矩阵构造极化码，可以降低硬件复杂度，降低硬件开销，提升码谱特性，降低译码复杂度，提升译码性能。

第一方面，本申请实施例提供一种极化码的编码方法，该方法的执行主体可以是发送端设备，也可以是发送端设备的芯片、芯片系统或片上系统。该方法包括：发送端设备根据可靠度序列，将长度为 k 的信息比特序列映射到长度为 N 的第一序列的 k 个比特位上，得到第二序列，将第二序列与第一矩阵相乘，得到第三序列，对第三序列进行极化编码，得到第四序列。其中，可靠度序列的长度为 N ，第二序列包括 k 个信息位、 x 个奇偶校验 PC 位和 $N-k-x$ 个冻结位， $k \leq K \leq N$ ， $1 \leq x$ ， K 为信息比特序列的长度的最大值， k 、 K 、 N 、 x 均为正整数；第一矩阵为对角线以下全为 0，对角线全为 1 的矩阵，第一矩阵中与 PC 位对应的列的列重大于 1，与冻结位或信息位对应的列的列重等于 1，第一矩阵中列重大于 1 的列数小于或等于 $N-K$ 。

基于第一方面，本申请实施例提供了一种基于嵌套 PC 的极化码编码方案，可以为信息比特序列单独构造具备嵌套特性的长度为 N 的可靠度序列，从而在从后往前顺序打孔时，降低性能坏点的数量，提升码谱特性，提高译码性能。同时，本申请实施例的不同数目的信息比特序列可以基于相同的第一矩阵构造极化码，即第一矩阵对于不同数目的信息比特序列具有嵌套特性，第一矩阵不随信息比特序列的数目的变化而变化，或者也可以描述为不同数目的信息比特序列对应的 PC 位和 PC 方程是嵌套的，发送端设备可以为不同长度的信息比特序列保存同一个第一矩阵，并不需要为不同长度的信息比特序列单独存储对应的 PC 位和 PC 方程，从而可以降低硬件复杂度，降低硬件开销，提升码谱特性，降低译码复杂度，提升译码性能。

一种可能的设计中，将第二序列与第一矩阵相乘，得到第三序列，包括：根据第一矩阵，确定一个或多个 PC 位和 PC 位校验的比特位；根据 PC 位校验的比特位的取值，确定第二序列中 PC 位的取值，得到第三序列。

基于该可能的设计，在根据第一矩阵对第二序列进行处理时，可以根据第一矩阵中列重大于 1 的列，确定第二序列的一个或多个 PC 位，进而根据各个 PC 位校验的比特位，确定第二序列中各个 PC 位的取值，如可以将 PC 位校验的比特位的取值的异或结果作为该 PC 位的取值，为根据第一矩阵对第二序列进行处理得到第三序列提供一种可行性方案。

一种可能的设计中，可靠度序列根据下述一种或多种确定：可靠度、码谱、性能优化结果。

基于该可能的设计，可以基于可靠度、码谱、性能优化结果等参数，为信息比特序列单独构造长度为 N 的可靠度序列，可以在后续对编码后的序列按照从后往前顺序打孔时，降低性能坏点的数量，提升码谱特性，提高译码性能。

一种可能的设计中，第一矩阵的列重小于或等于第一数值。

基于该可能的设计，第一矩阵的列重可以小于或等于第一数值，从而可以保证第一矩阵的稀疏性，获得较好的码谱特性。

一种可能的设计中,第三序列包括一个或多个PC位,PC位的编号与PC位校验的比特位的编号之间的差值为素数。

基于该可能的设计,通过限定PC位的编号与PC位校验的比特位的编号之间的差值为素数,可以大大降低搜索空间,并在提升码谱特性的同时,尽可能损失比较少的最优性。

一种可能的设计中,第三序列的PC位是第三序列的下述比特位中的一个或多个:16、18、21、或25。

一种可能的设计中,PC位是第三序列中的第16个比特位时,PC位校验的比特位是第三序列中的第13个比特位;或者,PC位是第三序列中的第18个比特位时,PC位校验的比特位是第三序列的下述比特位中的一个或多个:11、13、15;或者,PC位是第三序列中的第21个比特位时,PC位校验的比特位是第三序列中的第14个比特位;或者,PC位是第三序列中的第25个比特位时,PC位校验的比特位是第三序列中的第22个比特位。

基于上述两种可能的设计,为PC位和PC位校验的比特位提供一种较优的举例,能够大大降低搜索空间,获得较好的码谱特性的同时,尽可能损失比较少的最优性,降低译码复杂度,提高译码性能。

一种可能的设计中,第三序列的PC位是第三序列的下述比特位中的一个或多个:19、21、25、或26。

一种可能的设计中,PC位是第三序列中的第19个比特位时,PC位校验的比特位是第三序列中的第14个比特位;或者,PC位是第三序列中的第21个比特位时,PC位校验的比特位是第三序列的下述比特位中的一个或多个:11、14;或者,PC位是第三序列中的第25个比特位时,PC位校验的比特位是第三序列的下述比特位中的一个或多个:14、22;或者,PC位是第三序列中的第26个比特位时,PC位校验的比特位是第三序列中的第13个比特位。

基于上述两种可能的设计,为PC位和PC位校验的比特位提供又一种较优的举例,能够大大降低搜索空间,获得较好的码谱特性的同时,尽可能损失比较少的最优性,降低译码复杂度,提高译码性能。

一种可能的设计中,方法还包括:根据第一交织图样,对第四序列进行交织处理,得到第五序列;对第五序列进行速率匹配,得到第一速率匹配序列。

基于该可能的设计,该第一交织图样可以是根据序列性能和嵌套特性确定的交织图样,从而可以不用为不同数目的信息比特序列单独存储交织图样,可以降低硬件复杂度,降低硬件开销。同时,由于第一交织图样是根据序列性能确定的,可以保证速率匹配性能无坏点(如1比特细粒度速率匹配性能无坏点),提高译码性能。

一种可能的设计中,第一交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第五序列的第B个比特位上;其中,A和B的映射关系为:(5,31)、(26,30)、(11,29)、(9,28)、(28,27)、(7,26)、(30,25)、(16,24)、(31,23)、(21,22)、(10,21)、(24,20)、(27,19)、(6,18)、(3,17)、(12,16)、(17,15)、(8,14)、(13,13)、(0,12)、(2,11)、(1,10)、(4,9)、(14,8)、(25,7)、(23,6)、(22,5)、(19,4)。

一种可能的设计中,第一交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第五序列的第B个比特位上;其中,A和B的映射关系为:(4,31)、(22,30)、(27,29)、(17,28)、(8,27)、(2,26)、(15,25)、(21,24)、(29,23)、(23,22)、(6,21)、(26,20)、(20,19)、(7,18)、(0,17)、(13,16)、(19,15)、(11,14)、(14,13)、(16,12)、(25,11)、(3,10)、(10,9)、(5,8)、(12,7)、(1,6)、(18,5)、(24,4)。

基于上述两种可能的设计,为第一交织图样提供两种较优的举例,能够在具备嵌套特性的同时,保证速率匹配性能无坏点,提升译码性能。

一种可能的设计中,方法还包括:根据第二交织图样,对第四序列进行交织处理,得到第六序列;对第六序列进行速率匹配,得到第二速率匹配序列。

基于该可能的设计,与上述第一种可能的设计中的具备嵌套特性的第一交织图样所不同的,也可以为不同数目的信息比特序列单独设计对应的第二交织图样,即不同数目的信息比特序列可以对应不同的第二交织图样,以更贴合不同数目的信息比特序列,保证速率匹配性能无坏点,提升译码性能。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(12,31)、(9,30)、(19,29)、(18,28)、(1,27)、(15,26)、(14,25)、(29,24)、(16,23)、(10,22)、(28,21)、(23,20)、(20,19)、(6,18)、(21,17)、(7,16)、(2,15)、(25,14)、(0,13)、(3,12)、(5,

11)、(31, 10)、(30, 9)、(4, 8)、(22, 7)、(13, 6)、(27, 5)、(8, 4)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(18, 31)、(29, 30)、(9, 29)、(12, 28)、(27, 27)、(22, 26)、(23, 25)、(26, 24)、(4, 23)、(0, 22)、(7, 21)、(14, 20)、(8, 19)、(19, 18)、(1, 17)、(21, 16)、(13, 15)、(11, 14)、(17, 13)、(20, 12)、(16, 11)、(15, 10)、(6, 9)、(10, 8)、(28, 7)、(25, 6)、(24, 5)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(2, 31)、(20, 30)、(12, 29)、(25, 28)、(8, 27)、(22, 26)、(16, 25)、(5, 24)、(29, 23)、(14, 22)、(23, 21)、(15, 20)、(3, 19)、(11, 18)、(10, 17)、(17, 16)、(0, 15)、(30, 14)、(18, 13)、(27, 12)、(4, 11)、(19, 10)、(21, 9)、(6, 8)、(26, 7)、(9, 6)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(19, 31)、(23, 30)、(16, 29)、(18, 28)、(29, 27)、(0, 26)、(21, 25)、(8, 24)、(11, 23)、(4, 22)、(13, 21)、(2, 20)、(20, 19)、(24, 18)、(25, 17)、(6, 16)、(28, 15)、(14, 14)、(10, 13)、(9, 12)、(31, 11)、(26, 10)、(7, 9)、(17, 8)、(1, 7)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(7, 31)、(9, 30)、(19, 29)、(26, 28)、(31, 27)、(21, 26)、(27, 25)、(2, 24)、(23, 23)、(17, 22)、(10, 21)、(30, 20)、(25, 19)、(24, 18)、(0, 17)、(16, 16)、(4, 15)、(11, 14)、(20, 13)、(12, 12)、(29, 11)、(18, 10)、(13, 9)、(3, 8)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(15, 31)、(16, 30)、(9, 29)、(14, 28)、(17, 27)、(24, 26)、(21, 25)、(20, 24)、(5, 23)、(1, 22)、(7, 21)、(30, 20)、(11, 19)、(6, 18)、(2, 17)、(3, 16)、(8, 15)、(22, 14)、(12, 13)、(23, 12)、(19, 11)、(10, 10)、(29, 9)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(17, 31)、(21, 30)、(15, 29)、(14, 28)、(4, 27)、(24, 26)、(8, 25)、(29, 24)、(19, 23)、(16, 22)、(7, 21)、(2, 20)、(9, 19)、(25, 18)、(26, 17)、(23, 16)、(28, 15)、(30, 14)、(13, 13)、(6, 12)、(22, 11)、(0, 10)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(28, 31)、(29, 30)、(14, 29)、(26, 28)、(8, 27)、(23, 26)、(24, 25)、(30, 24)、(0, 23)、(31, 22)、(10, 21)、(5, 20)、(20, 19)、(4, 18)、(16, 17)、(12, 16)、(9, 15)、(21, 14)、(1, 13)、(11, 12)、(22, 11)。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(22, 31)、(19, 30)、(28, 29)、(9, 28)、(4, 27)、(6, 26)、(14, 25)、(11, 24)、(3, 23)、(13, 22)、(0, 21)、(15, 20)、(26, 19)、(24, 18)、(27, 17)、(18, 16)、(21, 15)、(17, 14)、(20, 13)、(12, 12)。

基于上述九种可能的设计,为 k 等于 3~11 分别提供一种可能的第二交织图样,即为不同数目的信息比特序列单独设计对应的第二交织图样,保证速率匹配性能无坏点,提升译码性能。

一种可能的设计中,第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上;其中, A 和 B 的映射关系为:(5, 31)、(11, 30)、(24, 29)、(30, 28)、(13, 27)、(20, 26)、(22, 25)、(3, 24)、(4, 23)、(25, 22)、(31, 21)、(6, 20)、(10, 19)、(8, 18)、(21, 17)、(15, 16)、(9, 15)、(2, 14)、(0, 13)、(27, 12)、(14, 11)、(16, 10)、(17, 9)、(23, 8)、(28, 7)、(26, 6)、(1, 5)、(7, 4)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(16,31)、(28,30)、(10,29)、(30,28)、(19,27)、(7,26)、(13,25)、(9,24)、(11,23)、(6,22)、(8,21)、(26,20)、(21,19)、(20,18)、(23,17)、(25,16)、(0,15)、(17,14)、(27,13)、(22,12)、(18,11)、(15,10)、(5,9)、(12,8)、(2,7)、(29,6)、(24,5)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(9,31)、(19,30)、(11,29)、(12,28)、(21,27)、(0,26)、(29,25)、(2,24)、(4,23)、(31,22)、(10,21)、(1,20)、(22,19)、(7,18)、(24,17)、(30,16)、(20,15)、(3,14)、(28,13)、(13,12)、(14,11)、(8,10)、(6,9)、(5,8)、(17,7)、(18,6)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(11,31)、(25,30)、(31,29)、(27,28)、(14,27)、(0,26)、(22,25)、(19,24)、(18,23)、(3,22)、(20,21)、(2,20)、(4,19)、(17,18)、(23,17)、(24,16)、(12,15)、(1,14)、(7,13)、(10,12)、(28,11)、(26,10)、(6,9)、(5,8)、(8,7)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(7,31)、(12,30)、(2,29)、(5,28)、(26,27)、(6,26)、(27,25)、(24,24)、(4,23)、(19,22)、(1,21)、(29,20)、(9,19)、(8,18)、(13,17)、(11,16)、(28,15)、(10,14)、(25,13)、(16,12)、(30,11)、(0,10)、(21,9)、(3,8)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(7,31)、(30,30)、(17,29)、(16,28)、(19,27)、(6,26)、(29,25)、(18,24)、(10,23)、(3,22)、(24,21)、(9,20)、(21,19)、(28,18)、(31,17)、(12,16)、(23,15)、(2,14)、(15,13)、(4,12)、(27,11)、(20,10)、(25,9)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(28,31)、(25,30)、(17,29)、(6,28)、(11,27)、(21,26)、(27,25)、(30,24)、(3,23)、(1,22)、(4,21)、(8,20)、(15,19)、(26,18)、(29,17)、(18,16)、(9,15)、(19,14)、(2,13)、(20,12)、(23,11)、(10,10)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(23,31)、(30,30)、(3,29)、(28,28)、(14,27)、(19,26)、(9,25)、(16,24)、(29,23)、(13,22)、(26,21)、(12,20)、(18,19)、(0,18)、(15,17)、(4,16)、(20,15)、(1,14)、(25,13)、(31,12)、(21,11)。

一种可能的设计中,第二交织图样用于指示将第四序列的第A个比特位上的取值调换放置在第六序列的第B个比特位上;其中,A和B的映射关系为:(1,31)、(24,30)、(14,29)、(15,28)、(25,27)、(12,26)、(26,25)、(13,24)、(27,23)、(31,22)、(8,21)、(5,20)、(20,19)、(21,18)、(3,17)、(28,16)、(17,15)、(6,14)、(19,13)、(11,12)。

基于上述九种可能的设计,为k等于3~11分别提供又一种可能的第二交织图样,即为不同数目的信息比特序列单独设计对应的第二交织图样,保证速率匹配性能无坏点,提升译码性能。

第二方面,本申请实施例提供一种通信装置,通信装置可以应用于上述第一方面的发送端设备,以实现上述发送端设备所执行的功能,该通信装置可以是发送端设备,也可以是发送端设备的芯片或者芯片系统或者片上系统等,通信装置可以通过硬件执行上述发送端设备所执行的功能,也可以通过硬件执行相应的软件实现。所述硬件或软件包括一个或多个与上述功能相对应的模块。如,收发模块和处理模块,收发模块可以独立完成下述收发操作,也可以与处理模块相互配合,以完成下述收发操作;相应的,处理模块也可以独立完成下述处理操作,也可以与收发模块相互配合以完成下述处理操作,不予限制。

23)、(14, 22)、(23, 21)、(15, 20)、(3, 19)、(11, 18)、(10, 17)、(17, 16)、(0, 15)、(30, 14)、(18, 13)、(27, 12)、(4, 11)、(19, 10)、(21, 9)、(6, 8)、(26, 7)、(9, 6); 或者, 其中, A 和 B 的映射关系为: (19, 31)、(23, 30)、(16, 29)、(18, 28)、(29, 27)、(0, 26)、(21, 25)、(8, 24)、(11, 23)、(4, 22)、(13, 21)、(2, 20)、(20, 19)、(24, 18)、(25, 17)、(6, 16)、(28, 15)、(14, 14)、(10, 13)、(9, 12)、(31, 11)、(26, 10)、(7, 9)、(17, 8)、(1, 7); 或者, 其中, A 和 B 的映射关系为: (7, 31)、(9, 30)、(19, 29)、(26, 28)、(31, 27)、(21, 26)、(27, 25)、(2, 24)、(23, 23)、(17, 22)、(10, 21)、(30, 20)、(25, 19)、(24, 18)、(0, 17)、(16, 16)、(4, 15)、(11, 14)、(20, 13)、(12, 12)、(29, 11)、(18, 10)、(13, 9)、(3, 8); 或者, 其中, A 和 B 的映射关系为: (15, 31)、(16, 30)、(9, 29)、(14, 28)、(17, 27)、(24, 26)、(21, 25)、(20, 24)、(5, 23)、(1, 22)、(7, 21)、(30, 20)、(11, 19)、(6, 18)、(2, 17)、(3, 16)、(8, 15)、(22, 14)、(12, 13)、(23, 12)、(19, 11)、(10, 10)、(29, 9); 或者, 其中, A 和 B 的映射关系为: (17, 31)、(21, 30)、(15, 29)、(14, 28)、(4, 27)、(24, 26)、(8, 25)、(29, 24)、(19, 23)、(16, 22)、(7, 21)、(2, 20)、(9, 19)、(25, 18)、(26, 17)、(23, 16)、(28, 15)、(30, 14)、(13, 13)、(6, 12)、(22, 11)、(0, 10); 或者, 其中, A 和 B 的映射关系为: (28, 31)、(29, 30)、(14, 29)、(26, 28)、(8, 27)、(23, 26)、(24, 25)、(30, 24)、(0, 23)、(31, 22)、(10, 21)、(5, 20)、(20, 19)、(4, 18)、(16, 17)、(12, 16)、(9, 15)、(21, 14)、(1, 13)、(11, 12)、(22, 11); 或者, 其中, A 和 B 的映射关系为: (22, 31)、(19, 30)、(28, 29)、(9, 28)、(4, 27)、(6, 26)、(14, 25)、(11, 24)、(3, 23)、(13, 22)、(0, 21)、(15, 20)、(26, 19)、(24, 18)、(27, 17)、(18, 16)、(21, 15)、(17, 14)、(20, 13)、(12, 12)。

一种可能的设计中, 第二交织图样用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上; 其中, A 和 B 的映射关系为: (5, 31)、(11, 30)、(24, 29)、(30, 28)、(13, 27)、(20, 26)、(22, 25)、(3, 24)、(4, 23)、(25, 22)、(31, 21)、(6, 20)、(10, 19)、(8, 18)、(21, 17)、(15, 16)、(9, 15)、(2, 14)、(0, 13)、(27, 12)、(14, 11)、(16, 10)、(17, 9)、(23, 8)、(28, 7)、(26, 6)、(1, 5)、(7, 4); 或者, 其中, A 和 B 的映射关系为: (16, 31)、(28, 30)、(10, 29)、(30, 28)、(19, 27)、(7, 26)、(13, 25)、(9, 24)、(11, 23)、(6, 22)、(8, 21)、(26, 20)、(21, 19)、(20, 18)、(23, 17)、(25, 16)、(0, 15)、(17, 14)、(27, 13)、(22, 12)、(18, 11)、(15, 10)、(5, 9)、(12, 8)、(2, 7)、(29, 6)、(24, 5); 或者, 其中, A 和 B 的映射关系为: (9, 31)、(19, 30)、(11, 29)、(12, 28)、(21, 27)、(0, 26)、(29, 25)、(2, 24)、(4, 23)、(31, 22)、(10, 21)、(1, 20)、(22, 19)、(7, 18)、(24, 17)、(30, 16)、(20, 15)、(3, 14)、(28, 13)、(13, 12)、(14, 11)、(8, 10)、(6, 9)、(5, 8)、(17, 7)、(18, 6); 或者, 其中, A 和 B 的映射关系为: (11, 31)、(25, 30)、(31, 29)、(27, 28)、(14, 27)、(0, 26)、(22, 25)、(19, 24)、(18, 23)、(3, 22)、(20, 21)、(2, 20)、(4, 19)、(17, 18)、(23, 17)、(24, 16)、(12, 15)、(1, 14)、(7, 13)、(10, 12)、(28, 11)、(26, 10)、(6, 9)、(5, 8)、(8, 7); 或者, 其中, A 和 B 的映射关系为: (7, 31)、(12, 30)、(2, 29)、(5, 28)、(26, 27)、(6, 26)、(27, 25)、(24, 24)、(4, 23)、(19, 22)、(1, 21)、(29, 20)、(9, 19)、(8, 18)、(13, 17)、(11, 16)、(28, 15)、(10, 14)、(25, 13)、(16, 12)、(30, 11)、(0, 10)、(21, 9)、(3, 8); 或者, 其中, A 和 B 的映射关系为: (7, 31)、(30, 30)、(17, 29)、(16, 28)、(19, 27)、(6, 26)、(29, 25)、(18, 24)、(10, 23)、(3, 22)、(24, 21)、(9, 20)、(21, 19)、(28, 18)、(31, 17)、(12, 16)、(23, 15)、(2, 14)、(15, 13)、(4, 12)、(27, 11)、(20, 10)、(25, 9); 或者, 其中, A 和 B 的映射关系为: (28, 31)、(25, 30)、(17, 29)、(6, 28)、(11, 27)、(21, 26)、(27, 25)、(30, 24)、(3, 23)、(1, 22)、(4, 21)、(8, 20)、(15, 19)、(26, 18)、(29, 17)、(18, 16)、(9, 15)、(19, 14)、(2, 13)、(20, 12)、(23,

11)、(10, 10); 或者, 其中, A 和 B 的映射关系为: (23, 31)、(30, 30)、(3, 29)、(28, 28)、(14, 27)、(19, 26)、(9, 25)、(16, 24)、(29, 23)、(13, 22)、(26, 21)、(12, 20)、(18, 19)、(0, 18)、(15, 17)、(4, 16)、(20, 15)、(1, 14)、(25, 13)、(31, 12)、(21, 11); 或者, 其中, A 和 B 的映射关系为: (1, 31)、(24, 30)、(14, 29)、(15, 28)、(25, 27)、(12, 26)、(26, 25)、(13, 24)、(27, 23)、(31, 22)、(8, 21)、(5, 20)、(20, 19)、(21, 18)、(3, 17)、(28, 16)、(17, 15)、(6, 14)、(19, 13)、(11, 12)。

其中, 上述第二方面或第二方面中任一可能的设计所带来的技术效果可以参见上述第一方面或第一方面中任一可能的设计所带来的技术效果, 不予赘述。

第三方面, 本申请实施例提供一种通信装置, 该通信装置包括一个或多个处理器; 一个或多个处理器, 用于运行计算机程序或指令, 当一个或多个处理器执行计算机指令或指令时, 使得通信装置执行如第一方面或第一方面中任一可能的设计所述的极化码的编码方法。

一种可能的设计中, 该通信装置还包括一个或多个存储器, 一个或多个存储器与一个或多个处理器耦合, 一个或多个存储器用于存储上述计算机程序或指令。在一种可能的实现方式中, 存储器位于所述通信装置之外。在另一种可能的实现方式中, 存储器位于所述通信装置之内。本申请实施例中, 处理器和存储器还可能集成于一个器件中, 即处理器和存储器还可以被集成在一起。在一种可能的实现方式中, 所述通信装置还包括收发器, 所述收发器, 用于接收信息和/或发送信息。

一种可能的设计中, 该通信装置还包括一个或多个通信接口, 一个或多个通信接口和一个或多个处理器耦合, 一个或多个通信接口用于与通信装置之外的其它模块进行通信。

第四方面, 本申请实施例提供了一种通信装置, 该通信装置包括输入输出接口和逻辑电路; 输入输出接口, 用于输入和/或输出信息; 逻辑电路用于执行如第一方面或第一方面中任一可能的设计所述的极化码的编码方法, 根据信息进行处理和/或生成信息。

第五方面, 本申请实施例提供了一种计算机可读存储介质, 该计算机可读存储介质存储有计算机指令或程序, 当计算机指令或程序在计算机上运行时, 使得如第一方面或第一方面中任一可能的设计所述的极化码的编码方法被执行。

第六方面, 本申请实施例提供了一种包含计算机指令的计算机程序产品, 当其在计算机上运行时, 使得如第一方面或第一方面中任一可能的设计所述的极化码的编码方法被执行。

第七方面, 本申请实施例提供一种计算机程序, 当其在计算机上运行时, 使得如第一方面或第一方面中任一可能的设计所述的极化码的编码方法被执行。

第八方面, 本申请实施例提供一种芯片, 包括: 处理器, 处理器与存储器耦合, 存储器用于存储程序或指令, 当程序或指令被处理器执行时, 使得该芯片执行第一方面或第一方面中任一可能的设计所述的极化码的编码方法。

其中, 第三方面至第八方面中任一种设计方式所带来的技术效果可参见上述第一方面或第一方面中任一可能的设计所带来的技术效果, 不予赘述。

第九方面, 本申请实施例提供一种通信系统, 该通信系统可以包括如第二方面或第二方面的任一可能的设计所述的通信装置。

附图说明

图1为本申请实施例提供了一种LTE-RM码的译码流程示意图;

图2为本申请实施例提供了一种PC-Polar码的示意图;

图3为本申请实施例提供了一种LTE-RM码和PC-Polar码的译码复杂度的对比示意图;

图4为本申请实施例提供了一种通信系统的示意图;

图5为本申请实施例提供了一种发送端设备和接收端设备进行编码和译码的示意图;

图6为本申请实施例提供了一种通信装置的组成示意图;

图7为本申请实施例提供了一种极化码的编码方法的流程图;

图8为本申请实施例提供了一种第一矩阵的示意图;

图9为本申请实施例提供了一种第一矩阵的示意图;

图10为本申请实施例提供了一种第一交织图样的搜索过程的示意图;

图 11 为本申请实施例提供的一种第一交织图样的示意图；
 图 12 为本申请实施例提供的一种第一交织图样的示意图；
 图 13 为本申请实施例提供的一种第二交织图样的示意图；
 图 14 为本申请实施例提供的一种第二交织图样的示意图；
 图 15 为本申请实施例提供的一种性能对比示意图；
 图 16 为本申请实施例提供的一种性能对比示意图；
 图 17 为本申请实施例提供的一种性能对比示意图；
 图 18 为本申请实施例提供的一种性能对比示意图；
 图 19 为本申请实施例提供的一种性能对比示意图；
 图 20 为本申请实施例提供的一种通信装置的示意图；
 图 21 为本申请实施例提供的一种通信装置的构成图。

具体实施方式

在描述本申请实施例之前，对本申请实施例涉及的技术术语进行描述。

长期演进-里德-穆勒码 (long term evolution-reed-muller, LTE-RM) 编码：发送端设备可以对 3~11 比特的超短信息比特序列进行如下方式的编码：

步骤 1、对长度为 K 的信息比特序列 $c_0, c_1, \dots, c_{K-1}$ 进行编码，得到长度为 N 的编码后的序列 $d_0, d_1, \dots, d_{N-1}$ 。

示例性的，K 可以为 3~11 中的任一值，N 可以为 32。

其中， $d_i = (\sum_{k=0}^{K-1} c_k M_{i,k})$ ， $M_{i,k}$ 的值可以根据下述表 1 确定， $i=0, 1, 2, \dots, N-1$ 。

表 1

i	$M_{i,0}$	$M_{i,1}$	$M_{i,2}$	$M_{i,3}$	$M_{i,4}$	$M_{i,5}$	$M_{i,6}$	$M_{i,7}$	$M_{i,8}$	$M_{i,9}$	$M_{i,10}$
0	1	1	0	0	0	0	0	0	0	0	1
1	1	1	1	0	0	0	0	0	0	1	1
2	1	0	0	1	0	0	1	0	1	1	1
3	1	0	1	1	0	0	0	0	1	0	1
4	1	1	1	1	0	0	0	1	0	0	1
5	1	1	0	0	1	0	1	1	1	0	1
6	1	0	1	0	1	0	1	0	1	1	1
7	1	0	0	1	1	0	0	1	1	0	1
8	1	1	0	1	1	0	0	1	0	1	1
9	1	0	1	1	1	0	1	0	0	1	1
10	1	0	1	0	0	1	1	1	0	1	1
11	1	1	1	0	0	1	1	0	1	0	1
12	1	0	0	1	0	1	0	1	1	1	1
13	1	1	0	1	0	1	0	1	0	1	1
14	1	0	0	0	1	1	0	1	0	0	1
15	1	1	0	0	1	1	1	1	0	1	1
16	1	1	1	0	1	1	1	0	0	1	0
17	1	0	0	1	1	1	0	0	1	0	0
18	1	1	0	1	1	1	1	1	0	0	0
19	1	0	0	0	0	1	1	0	0	0	0
20	1	0	1	0	0	0	1	0	0	0	1
21	1	1	0	1	0	0	0	0	0	1	1
22	1	0	0	0	1	0	0	1	1	0	1
23	1	1	1	0	1	0	0	0	1	1	1
24	1	1	1	1	1	0	1	1	1	1	0

25	1	1	0	0	0	1	1	1	0	0	1
26	1	0	1	1	0	1	0	0	1	1	0
27	1	1	1	1	0	1	0	1	1	1	0
28	1	0	1	0	1	1	1	0	1	0	0
29	1	0	1	1	1	1	1	1	1	0	0
30	1	1	1	1	1	1	1	1	1	1	1
31	1	0	0	0	0	0	0	0	0	0	0

步骤 2、对长度为 N 的编码后的序列 $d_0, d_1, \dots, d_{N-1}$ 进行速率匹配, 得到长度为 E 的速率匹配序列 $f_0, f_1, \dots, f_{E-1}$ 。

其中, E 为速率匹配后的实际发送码长, 或者描述为 E 为速率匹配后的传输码长。可以根据速率匹配相关信息确定传输码长 E。

当确定传输码长 E 不等于编码长度 N (如 E 不等于 32) 时, 可以采用如下速率匹配方式: 传输码长 E 小于 N (如 E 小于 32) 时, 从后往前打孔, 传输码长 E 大于 N (如 E 大于 32) 时, 从前向后重复。

示例性的, 速率匹配序列 $f_0, f_1, \dots, f_{E-1}$ 可以参照下述方式获得:

for j=0 to E-1

$f_j = d_{j \bmod N}$;

end for

步骤 3、发送速率匹配序列 $f_0, f_1, \dots, f_{E-1}$ 。

LTE-RM 译码: 接收端设备可以参照图 1 所示的译码流程示意图, 对 3~11 比特的超短信息比特序列的编码结果进行如下方式的译码:

步骤 1、对接收到的序列进行简单判决 (如硬判决), 对经过简单判决之后的码字 (如双极性码字) 或软比特信息进行交织处理, 得到处理后的接收码字。

其中, 接收到的序列可以为上述速率匹配序列。

可选的, 如果简单判决之后的码字长度不等于 N, 则可以进行高位添零处理。

例如, 如果简单判决之后的码字为长度为 20 的 $b_0, b_1, \dots, b_{19}$, 则可以在高位补 12 个 0, 得到长度为 N=32 的码字 $0, \dots, 0, b_0, b_1, \dots, b_{19}$ 。

步骤 2、根据掩码矢量对经过步骤 1 处理后的接收码字进行交织处理。

其中, 该交织处理过程与上述步骤 1 中的交织处理过程相同。

示例性的, 可以根据 7 个基本的掩码序列产生 128 个掩码矢量, 将这 128 个掩码矢量分别与经过步骤 1 处理后的接收码字进行相乘 (即进行消掩处理), 得到 128 个长度为 32 的双极性序列。

步骤 3、将步骤 2 得到的双极性序列与 32 阶的哈达玛 (Hadamard) 矩阵进行快速哈达玛变换 (fast hadamard transform, FHT), 得到 128×32 的相关值矩阵。

步骤 4、从步骤 3 得到的相关值矩阵中找出绝对值最大数, 从而这个绝对值最大数的行号对应的二进制形式即为信息比特序列的第 2~6 比特, 列号对应的二进制形式即为信息比特序列的第 7~13 比特。

步骤 5、信息比特序列的第 1 比特根据这个绝对值最大数的实际符号来确定, 即正号时, 译为 0; 负号时, 译为 1。

其中, 上述步骤 4 和步骤 5 中的第 1 比特至第 12 比特是将信息比特序列从第 1 比特开始定义, 可以理解的是, 也可以将信息比特序列从第 0 比特开始定义, 即将上述第 1 比特、第 2 比特、...、第 12 比特分别替换成第 0 比特、第 1 比特、...、第 11 比特, 不予限制。

但是, 上述 LTE-RM 译码采用的是 FHT, 在信息比特序列的长度大于 6 比特时, 需要枚举掩码矢量并进行消掩 (demask) 处理, 导致 LTE-RM 译码方案达到最大似然 (maximum likelihood, ML) 译码性能的复杂度较高, 功耗较大。另外, 当速率匹配序列的长度 E 较小时, 打孔数目较多, 会出现性能坏点, 影响译码性能。

奇偶校验极化码 (parity check polar codes, PC-Polar codes): PC-Polar 码可以包括信息位、冻结位、PC 位和速率匹配缩短位, 信息位可以用于承载信息比特, 冻结位可以用于承载冻结比特, PC 位可以用于承载 PC 比特, 速率匹配缩短位不用发送到信道上。

其中, 可以从冻结位中挑出一部分集合作为 PC 位, 这些 PC 位上的 PC 比特的取值和其他冻结位不

同，不是固定为 0，而是根据该 PC 位前面的信息位的信息比特的取值，通过 PC 方程来确定，所以 PC 位又可以称为动态冻结位（即位置来自于冻结位，但是取值不固定为 0）。

示例性的，以信息比特序列的长度为 7 为例，该信息比特序列对应的 PC-Polar 码可以为如图 2 所示的 PC-Polar 码，其中，冻结位可以是第 0、1、2、4、8 个比特位，信息位可以是第 3、5、6、10、11、13、14 个比特位，PC 位可以是第 9、12 个比特位，速率匹配缩短位可以是第 7、15 个比特位。

其中，位于第 9 个比特位的 PC 比特的取值可以是：位于第 3 个比特位上的信息比特的取值与位于第 6 个比特位上的信息比特的取值的异或，位于第 12 个比特位的 PC 比特的取值可以是：位于第 3 个比特位上的信息比特的取值与位于第 5 个比特位上的信息比特的取值的异或。

基于上述描述，相比于 LTE-RM 编码和译码方案，采用 PC-Polar 码进行编码和译码，可以降低译码复杂度，降低功耗，提升译码性能。

示例性的，如图 3 所示，可以看出，对于不同码率，PC-Polar 码的译码复杂度小于 LTE-RM 码的译码复杂度。

但是，在 PC-Polar 码中，对于不同长度的信息比特序列（或者描述为对于不同数目的信息比特），其信息比特的位置不同，会导致 PC 位和 PC 方程不同（如长度为 4 的信息比特序列对应的 PC 位，在长度为 3 的信息比特序列中可能就不是 PC 位，对应的 PC 方程也不一致），导致需要为不同长度的信息比特序列单独存储对应的 PC 位和 PC 方程，硬件复杂度较高，硬件开销较大。

为了解决该技术问题，本申请实施例提供一种极化码的编码方法，该方法中，发送端设备可以根据可靠度序列将长度为 k 的信息比特序列映射到长度为 N 的第一序列的 k 个比特位上，得到第二序列，将第二序列与第一矩阵相乘，得到第三序列，对第三序列进行极化编码，得到第四序列。其中，可靠度序列的长度为 N ，第二序列包括 k 个信息位、 x 个奇偶校验 PC 位和 $N-k-x$ 个冻结位， $k \leq K \leq N$ ， $1 \leq x$ ， K 为信息比特序列的长度的最大值， k 、 K 、 N 、 x 均为正整数，第一矩阵为对角线以下全为 0，对角线全为 1 的矩阵，第一矩阵中与 PC 位对应的列的列重大于 1，与冻结位或信息位对应的列的列重等于 1，第一矩阵中列重大于 1 的列数小于或等于 $N-K$ 。

本申请实施例中，可以为信息比特序列单独构造长度为 N 的可靠度序列，从而在从后往前顺序打孔时，降低性能坏点的数量，提升码谱特性，提高译码性能，同时，本申请实施例的不同数目的信息比特序列可以基于相同的第一矩阵构造极化码，即不同数目的信息比特序列对应的 PC 位和 PC 方程是嵌套的，不需要为不同长度的信息比特序列单独存储对应的 PC 位和 PC 方程，从而可以降低硬件复杂度，降低硬件开销，提升码谱特性，降低译码复杂度，提升译码性能。

下面结合说明书附图对本申请实施例的实施方式进行详细描述。

本申请实施例提供的极化码的编码方法可用于任一通信系统，该通信系统可以为第三代合作伙伴计划（third generation partnership project, 3GPP）通信系统，例如，长期演进（long term evolution, LTE）系统，又可以为第五代（fifth generation, 5G）移动通信系统、LTE 和 5G 混合组网的系统、新空口（new radio, NR）系统、NR 车辆外联（vehicle to everything, V2X）系统、设备到设备（device-to-device, D2D）通信系统、机器到机器（machine to machine, M2M）通信系统、物联网（internet of things, IoT）、窄带物联网系统（narrow band- internet of things, NB-IoT）、全球移动通信系统（global system for mobile communications, GSM）、增强型数据速率 GSM 演进系统（enhanced data rate for GSM evolution, EDGE）、宽带码分多址系统（wideband code division multiple access, WCDMA）、码分多址 2000 系统（code division multiple access, CDMA2000）、时分同步码分多址系统（time division-synchronization code division multiple access, TD-SCDMA）、增强移动宽带（enhanced mobile broadband, eMBB）、极高可靠极低时延通信（ultra-reliable and low-latency communication, URLLC）、增强型机器类型通信（enhanced machine-type communication, eMTC）以及各种类型的下一代通信系统，如第六代（sixth generation, 6G）移动通信系统，也可以为非陆地通信网络（non-terrestrial network, NTN）系统、非 3GPP 通信系统等，不予限制。

本申请实施例提供的极化码的编码方法可以应用于各种通信场景，尤其适用于 Polar 码在通信系统中作为一种短码的信道编码场景，例如，可以应用于以下通信场景中的一种或多种：控制信道的编码、数据信道的编码等，不予限制。

下面以图 4 为例，对本申请实施例提供的通信系统进行描述。

图 4 为本申请实施例提供的一种通信系统的示意图，如图 4 所示，该通信系统可以包括至少一个终端

设备和至少一个网络设备。

其中，图4中终端设备可以位于网络设备的波束/小区覆盖范围内，网络设备可以为终端设备提供通信服务。示例性的，网络设备可以采用信道编码对下行数据进行编码，并经过星座调制后通过空口传输给终端设备（即网络设备为发送端设备，终端设备为接收端设备）；终端设备也可以采用信道编码对上行数据进行编码，并经过星座调制后通过空口发送给网络设备（即终端设备为发送端设备，网络设备为接收端设备）。可以理解的是，网络设备与网络设备进行通信，或者终端设备与终端设备进行通信时，也可以基于信道编码进行通信，即发送端设备和接收端设备可以均为网络设备，或者均为终端设备，不予限制。

图4中的终端设备可以是具有无线收发功能的设备或可设置于该设备的芯片或芯片系统，可以允许用户接入网络，是用于向用户提供语音和/或数据连通性的设备。终端设备也可以称为用户设备（user equipment, UE）、用户单元（subscriber unit）、终端（terminal）或者移动台（mobile station, MS）或者移动终端（mobile terminal, MT）等。

示例性的，图4中的终端设备可以是手机（mobile phone）、平板电脑或带无线收发功能的电脑。终端设备还可以是用户站、移动站、远方站、远程终端设备、移动终端设备、用户终端设备、无线通信设备、用户代理、用户装置、蜂窝电话、无绳电话、会话启动协议（session initiation protocol, SIP）电话、无线本地环路（wireless local loop, WLL）站、个人数字处理（personal digital assistant, PDA）、具有无线通信功能的手持设备、计算设备、连接到无线调制解调器的处理设备、车载设备、可穿戴设备、物联网中的终端设备、家用电器、虚拟现实（virtual reality, VR）终端、增强现实（augmented reality, AR）终端、工业控制中的无线终端、无人驾驶中的无线终端、远程医疗中的无线终端、智能电网中的无线终端、智慧城市（smart city）中的无线终端、智慧家庭（smart home）中的无线终端、具有车对车（vehicle-to-vehicle, V2V）通信能力的车辆、智能网联车、有无人机对无人机（UAV to UAV, U2U）通信能力的无人机、未来网络中的终端设备或者未来演进的公共陆地移动网络（public land mobile network, PLMN）中的终端设备等，不予限制。

其中，图4中的网络设备可以是任意一种部署在接入网中能够与终端设备进行无线通信的设备，还可以是可设置于上述设备的芯片或芯片系统，还可以是逻辑节点或者逻辑模块或者以软件方式实现的功能，可以用于实现无线物理控制功能、资源调度和无线资源管理、无线接入控制以及移动性管理等功能。具体的，网络设备可以为支持有线接入的设备，也可以为支持无线接入的设备。

示例性的，网络设备可以由一个或多个接入网（access network, AN）/无线接入网（radio access network, RAN）节点组成。AN/RAN节点可以为：继续演进的节点B（gNB）、传输接收点（transmission reception point, TRP）、演进型节点B（evolved NodeB, eNB）、无线网络控制器（radio network controller, RNC）、节点B（NodeB, NB）、基站控制器（base station controller, BSC）、基站收发台（base transceiver station, BTS）、家庭基站（例如，home evolved NodeB, 或 home NodeB, HNB）、基带单元（base band unit, BBU），或无线保真（wireless fidelity, Wi-Fi）接入点（access point, AP）等。

又一种示例中，网络设备可以包括基带单元（baseband unit, BBU）和远端射频单元（remote radio unit, RRU）。BBU和RRU可以放置在不同的地方，例如：RRU拉远，放置于高话务量的区域，BBU放置于中心机房。BBU和RRU也可以放置在同一机房。BBU和RRU也可以为一个机架下的不同部件。

再一种示例中，网络设备也可以是包括集中单元（centralized unit, CU）节点、或者包括分布单元（distributed unit, DU）节点、或者包括CU节点和DU节点的设备。例如，可以将网络设备从逻辑功能角度划分为CU和DU，部分协议层的功能放在CU集中控制，剩下部分或全部协议层的功能分布在DU中，由CU集中控制DU。更进一步，集中式单元CU还可以划分为控制面（CU-CP）和用户面（CU-UP）。在不同系统中，CU（包括CU-CP或CU-UP）、或DU也可以有不同的名称，例如，在开放式无线接入网（open radio access network, O-RAN）系统中，CU也可以称为O-CU（开放式CU），DU也可以称为O-DU，CU-CP也可以称为O-CU-CP，CU-UP也可以称为O-CU-UP。

基于上述对终端设备和网络设备的描述，可选的，本申请实施例提供的极化码的编码方法可以由上述终端设备或网络设备实现，也可以由终端设备或网络设备的部件等实现，如由部署在终端设备或网络设备中的专用集成电路（application specific integrated circuit, ASIC）、现场可编程门阵列（field programmable gate array, FPGA）、或软件（如存储器中的程序代码）等实现，不予限制。

可选的，本申请实施例中，发送端设备（或称为信源）和接收端设备（或称为信宿）可以采用下述图

5 所示的流程进行编码和译码。

其中，发送端设备可以将自身产生的比特进行信源编码，得到信源比特流，由信道编码对信源比特流进行信道编码，再经过调制后，通过有噪声信道向接收端设备发送调制符号。接收端设备通过有噪声信道接收到调制符号时，可以进行解调，然后进行信道译码，恢复出信源比特流，再经过信源译码，得到译码结果。

具体实现时，图 4 所示如：各个终端设备、网络设备均可以采用图 6 所示的组成结构，或者包括图 6 所示的部件。图 6 为本申请实施例提供的一种通信装置 600 的组成示意图，该通信装置 600 可以为终端设备或者终端设备中的芯片或者片上系统；也可以为网络设备或者网络设备中的芯片或者片上系统。如图 6 所示，该通信装置 600 包括处理器 601，收发器 602 以及通信线路 603。

进一步的，该通信装置 600 还可以包括存储器 604。其中，处理器 601，存储器 604 以及收发器 602 之间可以通过通信线路 603 连接。

其中，处理器 601 是中央处理器（central processing unit，CPU）、通用处理器网络处理器（network processor，NP）、数字信号处理器（digital signal processing，DSP）、微处理器、微控制器、可编程逻辑器件（programmable logic device，PLD）或它们的任意组合。处理器 601 还可以是其它具有处理功能的装置，例如电路、器件或软件模块，不予限制。

收发器 602，用于与其他设备或其它通信网络进行通信。该其它通信网络可以为以太网，无线接入网（radio access network，RAN），无线局域网（wireless local area networks，WLAN）等。收发器 602 可以是模块、电路、收发器或者任何能够实现通信的装置。

通信线路 603，用于在通信装置 600 所包括的各部件之间传送信息。

存储器 604，用于存储指令。其中，指令可以是计算机程序。

其中，存储器 604 可以是只读存储器（read-only memory，ROM）或可存储静态信息和/或指令的其他类型的静态存储设备，也可以是随机存取存储器（random access memory，RAM）或可存储信息和/或指令的其他类型的动态存储设备，还可以是电可擦可编程只读存储器（electrically erasable programmable read-only memory，EEPROM）、只读光盘（compact disc read-only memory，CD-ROM）或其他光盘存储、光碟存储（包括压缩光碟、激光碟、光碟、数字通用光碟、蓝光光碟等）、磁盘存储介质或其他磁存储设备等，不予限制。

需要指出的是，存储器 604 可以独立于处理器 601 存在，也可以和处理器 601 集成在一起。存储器 604 可以用于存储指令或者程序代码或者一些数据等。存储器 604 可以位于通信装置 600 内，也可以位于通信装置 600 外，不予限制。处理器 601，用于执行存储器 604 中存储的指令，以实现本申请下述实施例提供的极化码的编码方法。

在一种示例中，处理器 601 可以包括一个或多个 CPU，例如图 6 中的 CPU0 和 CPU1。

作为一种可选的实现方式，通信装置 600 包括多个处理器，例如，除图 6 中的处理器 601 之外，还可以包括处理器 607。

作为一种可选的实现方式，通信装置 600 还包括输出设备 605 和输入设备 606。示例性地，输入设备 606 是键盘、鼠标、麦克风或操作杆等设备，输出设备 605 是显示屏、扬声器（speaker）等设备。

需要指出的是，通信装置 600 可以是台式机、便携式电脑、网络服务器、移动手机、平板电脑、无线终端、嵌入式设备、芯片系统或有图 6 中类似结构的设备。此外，图 6 中示出的组成结构并不构成对该通信装置的限定，除图 6 所示部件之外，该通信装置可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置。

本申请实施例中，芯片系统可以由芯片构成，也可以包括芯片和其他分立器件。

此外，本申请的各实施例之间涉及的动作、术语等均可以相互参考，不予限制。本申请的实施例中各个设备之间交互的消息名称或消息中的参数名称等只是一个示例，具体实现中也可以采用其他的名称，不予限制。

下面结合图 4 所示通信系统，参照下述图 7，对本申请实施例提供的极化码的编码方法进行描述，其中，发送端设备可以为图 4 所示通信系统中的任一终端设备或网络设备，接收端设备也可以是图 4 所示通信系统中的任一终端设备或网络设备。下述实施例所述的发送端设备或接收端设备可以具备图 6 所示部件。

图 7 为本申请实施例提供的一种极化码的编码方法的流程图，如图 7 所示，该方法可以包括：

步骤 701、发送端设备根据可靠度序列，将长度为 k 的信息比特序列映射到长度为 N 的第一序列的 k 个比特位上，得到第二序列。

其中，可靠度序列可以用于指示序列的各个比特位对应的可靠度，可靠度的取值越大，表示该可靠度对应的比特位越可靠，可靠度序列的长度可以为 N ， N 为正整数。

可选的， N 小于 1024。

可选的，可靠度序列可以根据下述一种或多种确定：可靠度、码谱、性能优化结果。

本申请实施例中，可以基于可靠度、码谱、性能优化结果等参数，为信息比特序列单独构造长度为 N 的可靠度序列，可以在后续对编码后的序列按照从后往前顺序打孔时，降低性能坏点的数量，提升码谱特性，提高译码性能。

示例性的，以可靠度序列的长度 N 为 32 为例，该可靠度序列可以为下述表 2 所示的可靠度序列，其中， $W(Q_i^{Nmax})$ 表示可靠度， Q_i^{Nmax} 表示可靠度对应的比特位：

表 2

$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}	$W(Q_i^{Nmax})$	Q_i^{Nmax}
0	0	4	8	8	9	12	18	16	7	20	25	24	13	28	27
1	1	5	16	9	6	13	12	17	26	21	28	25	22	29	29
2	2	6	3	10	17	14	20	18	19	22	11	26	15	30	30
3	4	7	5	11	10	15	24	19	21	23	14	27	23	31	31

可以理解的是，上述表 2 是从 0 比特开始定义，也可以从 1 比特开始定义，即可以将上述 0、1、...、31 分别替换成 1、2、...、32，不予限制。

参照上述可靠度序列，发送端设备可以将长度为 k 的信息比特序列映射到长度为 N 的第一序列的 k 个比特位上，得到第二序列。

其中， $k \leq K \leq N$ ， K 为信息比特序列的长度的最大值， k 、 K 、 N 均为正整数。

示例性的，信息比特序列的长度 k 可以为下述取值中的任一取值：3、4、5、6、7、8、9、10、11；此时， K 等于 11。

示例性的，第一序列的长度 N 可以为 32。

其中，发送端设备可以根据可靠度序列，按照可靠度从高到低的顺序，选择第一序列的前 k 个比特位作为信息位，将长度为 k 的信息比特序列依次映射到该 k 个比特位上，即将信息比特序列映射到第一序列的 k 个信息位上，将第一序列的其余 $N-k$ 个比特位的取值置为 0，得到第二序列。

其中，第二序列可以包括 k 个信息位、 x 个 PC 位和 $N-k-x$ 个冻结位， $1 \leq x$ ， x 均为正整数。

可选的，以从 0 比特开始定义为例，可以将信息比特序列记为 u_0^{k-1} ，将第二序列记为 a_0^{N-1} 。可以理解的是，也可以从 1 比特开始定义，即可以将信息比特序列记为 u_1^k ，将第二序列记为 a_1^N ，不予限制。

下述以从 0 比特开始定义为例，对第二序列的生成过程进行举例说明。

示例性的，以可靠度序列为上述表 2 所示的长度为 32 的可靠度序列，且第一序列的长度为 32 为例，当信息比特序列的长度为 3 时，根据表 2 所示的可靠度序列，可以确定第一序列中可靠度从高到低的前 3 个比特位为 {31 30 29}，则可以确定信息位为 {31 30 29}，将长度为 3 的信息比特序列映射在第一序列的这 3 个比特位上，将第一序列的其余 29 个比特位的取值置为 0，得到第二序列。

又一种示例中，以可靠度序列为上述表 2 所示的长度为 32 的可靠度序列，且第一序列的长度为 32 为例，当信息比特序列的长度为 11 时，根据表 2 所示的可靠度序列，可以确定第一序列中可靠度从高到低的前 11 个比特位为 {31 30 29 27 23 15 22 13 14 11 28}，则可以确定信息位为 {31 30 29 27 23 15 22 13 14 11 28}，将长度为 11 的信息比特序列映射在第一序列的这 11 个比特位上，将第一序列的其余 21 个比特位的取值置为 0，得到第二序列。

步骤 702、发送端设备将第二序列与第一矩阵相乘，得到第三序列。

其中，第一矩阵可以为对角线以下全为 0，对角线全为 1 的矩阵，第一矩阵中与 PC 位对应的列的列重大于 1，与冻结位或信息位对应的列的列重等于 1，第一矩阵中列重大于 1 的列数小于或等于 $N-K$ 。第一矩阵也可以称为上三角矩阵、预变换 (pre-transform) 矩阵等，第一矩阵也可以记为 T_{pre} ，不予限制。

示例性的，以 N 为 32， K 为 11 为例，第一矩阵可以为 32*32 的矩阵，该第一矩阵中列重大于 1 的列数小于或等于 21。

可选的，第一矩阵可以为稀疏矩阵。

可选的，第一矩阵的列重可以小于或等于第一数值，从而可以保证第一矩阵的稀疏性，获得较好的码谱特性。

示例性的，第一数值可以为下述数值中的任一数值：4、5、6、或7。

基于上述第一矩阵，发送端设备可以根据第一矩阵确定一个或多个PC位和PC位校验的比特位，根据PC位校验的比特位的取值，确定第二序列中PC位的取值，得到第三序列，该第三序列可以包括一个或多个PC位。

可选的，PC位的取值可以是该PC位校验的比特位的取值的异或。

可选的，以从0比特开始定义为例，可以将第三序列记为 v_0^{N-1} ， $v_0^{N-1} = a_0^{N-1} T_{pre}$ 。可以理解的是，也可以从1比特开始定义，即可以将第三序列记为 v_1^N ， $v_1^N = a_1^N T_{pre}$ ，不予限制。

可选的，PC位的编号与PC位校验的比特位的编号之间的差值可以为素数。通过限定PC位的编号与PC位校验的比特位的编号之间的差值为素数，可以大大降低搜索空间，并在提升码谱特性的同时，尽可能损失比较少的最优性。

示例性的，以N为32，信息比特序列的长度k为3~11，且从0比特开始定义为例，当k=11时，信息比特序列对应的信息位为{31 30 29 27 23 15 22 13 14 11 28}；当k=10时，信息比特序列对应的信息位为{31 30 29 27 23 15 22 13 14 11}；当k=9时，信息比特序列对应的信息位为{31 30 29 27 23 15 22 13 14}；当k=8时，信息比特序列对应的信息位为{31 30 29 27 23 15 22 13}；当k=7时，信息比特序列对应的信息位为{31 30 29 27 23 15 22}；当k=6时，信息比特序列对应的信息位为{31 30 29 27 23 15}；当k=5时，信息比特序列对应的信息位为{31 30 29 27 23}；当k=4时，信息比特序列对应的信息位为{31 30 29 27}；当k=3时，信息比特序列对应的信息位为{31 30 29}。

由于PC位属于冻结位，且PC位前边至少有一个信息位，则对于上述k=11的信息比特序列，潜在的PC位可以为下述10个比特位：{12 16 17 18 19 20 21 24 25 26}，该10个潜在的PC位可以校验的信息位为下述表3所示的信息位：

表 3

PC 位	PC 位校验的信息位	PC 功能候选数量 (PC function candidates num)
12	11	2
16	11 13 14 15	16
17	11 13 14 15	16
18	11 13 14 15	16
19	11 13 14 15	16
20	11 13 14 15	16
21	11 13 14 15	16
24	11 13 14 15 22 23	64
25	11 13 14 15 22 23	64
26	11 13 14 15 22 23	64

上述表3中，一共有 $2 \times (16^6) \times (64^3) = 8.7961 \times 10^{12}$ 种潜在的PC functions。如果限定PC位的编号与PC位校验的比特位的编号之间的差值为素数，如下述表4所示，则一共有 $1 \times (2^3) \times (4^4) \times (8^2) = 131072$ 种潜在的PC functions，可以大大降低搜索空间，并在提升码谱特性的同时，尽可能损失比较少的最优性。

表 4

PC 位	PC 位校验的信息位	PC 功能候选数量 (PC function candidates num)
12	null	1
16	11 13	4
17	14	2
18	11 13 15	8

是 4, PC 位为 16、18、21、25, PC 位 16 校验的比特位为 13, PC 位 18 校验的比特位为 11、13、15, PC 位 21 校验的比特位为 14, PC 位 25 校验的比特位为 22。

第二种可能的示例中, 如果 PC 方程集合为 $\{[14\ 19]\}$, 可以确定 PC 位的数量是 1, PC 位为 19, PC 位校验的比特位为 14。如果 PC 方程集合为 $\{[11\ 14\ 21]\}$, 可以确定 PC 位的数量是 1, PC 位为 21, PC 位校验的比特位为 11、14。如果 PC 方程集合为 $\{[14\ 22\ 25]\}$, 可以确定 PC 位的数量是 1, PC 位为 25, PC 位校验的比特位为 14、22。如果 PC 方程集合为 $\{[13\ 26]\}$, 可以确定 PC 位的数量是 1, PC 位为 26, PC 位校验的比特位为 13。如果 PC 方程集合为 $\{[14\ 19], [11\ 14\ 21], [14\ 22\ 25], [13\ 26]\}$, 可以确定 PC 位的数量是 4, PC 位为 19、21、25、26, PC 位 19 校验的比特位为 14, PC 位 21 校验的比特位为 11、14, PC 位 25 校验的比特位为 14、22, PC 位 26 校验的比特位为 13。

基于该第一种可能的设计, 当通过 PC 方程集合表示上述第一矩阵时, 上述将第二序列 a_0^{N-1} 与第一矩阵 T_{pre} 相乘, 得到第三序列 $v_0^{N-1} = a_0^{N-1} T_{pre}$, 可以表示为:

```
for n=0 to N-1;
  if n ∈ F
    for p=0: to |PF|
      pcIdx= max( PF(p) );
      chkIdx=the other indexes in PF(p);
      if n == pcIdx
         $v_n = \text{mod}(\sum_{i \in \text{chkIdx}} a_i, 2)$ 
      else
         $v_n = 0$ 
      end
    end
  else
     $v_n = a_n$ ;
  end
end
```

其中, N 表示序列长度 (如 32, 则 N-1 可以为 31), F 表示冻结位集合, PF 表示 PC 方程集合, pcIdx 表示 PC 位, PF(p) 表示 PC 方程集合中的第 p 个 PC 方程, chkIdx 表示 PC 位校验的比特位, v_n 表示第三序列的第 n 个取值, a_i 表示第二序列中的第 i 个取值, a_n 表示第二序列中的第 n 个取值。

第二种可能的设计中, 与上述通过第一矩阵或 PC 方程集合表示 PC 位和 PC 位校验的比特位所不同的, 也可以采用 PC 位集合和 PC 位对应的比特位集合的方式表示 PC 位和 PC 位校验的比特位, 或者描述为通过 PC 位集合和 PC 位对应的比特位集合表示上述第一矩阵或上述 PC 方程集合。

其中, PC 位集合包括一个或多个 PC 位 (或者描述为 PC 位集合中的元素表示第一矩阵中列重大于 1 的列号, PC 位集合包括的元素数量是第一矩阵中列重大于 1 的列的列数), PC 位对应的比特位集合包括 PC 位校验的一个或多个比特位。

第一种可能的示例中, 如果 PC 位集合为 $\{16\}$, PC 位对应的比特位集合为 $\{13\}$, 可以确定 PC 位的数量是 1, PC 位为 16, PC 位校验的比特位为 13。如果 PC 位集合为 $\{18\}$, PC 位对应的比特位集合为 $\{11\ 13\ 15\}$, 可以确定 PC 位的数量是 1, PC 位为 18, PC 位校验的比特位为 11、13、15。如果 PC 位集合为 $\{21\}$, PC 位对应的比特位集合为 $\{14\}$, 可以确定 PC 位的数量是 1, PC 位为 21, PC 位校验的比特位为 14。如果 PC 位集合为 $\{25\}$, PC 位对应的比特位集合为 $\{22\}$, 可以确定 PC 位的数量是 1, PC 位为 25, PC 位校验的比特位为 21。如果 PC 位集合为 $\{16\ 18\ 21\ 25\}$, PC 位对应的比特位集合为 $\{[13], [11\ 13\ 15], [14], [22]\}$, 可以确定 PC 位的数量是 4, PC 位为 16、18、21、25, PC 位 16 校验的比特位为 13, PC 位 18 校验的比特位为 11、13、15, PC 位 21 校验的比特位为 14, PC 位 25 校验的比特位为 22。

第二种可能的示例中, 如果 PC 位集合为 $\{19\}$, PC 位对应的比特位集合为 $\{14\}$, 可以确定 PC 位的数量是 1, PC 位为 19, PC 位校验的比特位为 14。如果 PC 位集合为 $\{21\}$, PC 位对应的比特位集合为 $\{11\ 14\}$, 可以确定 PC 位的数量是 1, PC 位为 21, PC 位校验的比特位为 11、14。如果 PC 位集合为 $\{25\}$, PC 位对应的比特位集合为 $\{14\ 22\}$, 可以确定 PC 位的数量是 1, PC 位为 25, PC 位校验的比特位为 14、22。如果 PC 位集合为 $\{26\}$, PC 位对应的比特位集合为 $\{13\}$, 可以确定 PC 位的数量是 1, PC 位为 26, PC 位校验

的比特位为 13。如果 PC 位集合为 {19 21 25 26}，PC 位对应的比特位集合为 {[14]、[11 14]、[14 22]、[13]}，可以确定 PC 位的数量是 4，PC 位为 19、21、25、26，PC 位 19 校验的比特位为 14，PC 位 21 校验的比特位为 11、14，PC 位 25 校验的比特位为 14、22，PC 位 26 校验的比特位为 13。

基于该第二种可能的设计，当通过 PC 位集合和 PC 位对应的比特位集合表示上述第一矩阵时，上述将第二序列 a_0^{N-1} 与第一矩阵 T_{pre} 相乘，得到第三序列 $v_0^{N-1} = a_0^{N-1} T_{pre}$ ，可以表示为：

$$v_i = \begin{cases} a_i, & i \notin \text{PBS} \\ a_i = \sum_{j \in \text{CBS}} a_j & a_{j, j \in \text{PBS}}, \quad i \in \text{PBS}, \quad i = \{0, 1, 2, \dots, N-1\}. \end{cases}$$

其中，N 表示序列长度（如 32，则 N-1 可以为 31）， v_i 表示第三序列的第 i 个取值， a_i 表示第二序列中的第 i 个取值， a_j 表示第二序列中的第 j 个取值，PBS 表示 PC 位集合，CBS 表示 PC 位对应的比特位集合。

基于上述对 PC 位和 PC 位校验的比特位的描述，上述各种举例中，PC 位和 PC 位校验的比特位是从 0 比特开始定义，可以理解的是，也可以从 1 比特开始定义，即可以将上述 0、1、…、31 分别替换成 1、2、…、32，不予限制。

步骤 703、发送端设备对第三序列进行极化编码，得到第四序列。

其中，发送端设备可以将第三序列与 Polar 编码矩阵相乘，得到第四序列。

示例性的，Polar 编码矩阵可以为 G_N ， G_N 是 G_2 的 $\log_2 N$ 次克罗内克积， $G_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ ， $G_N = G_2^{\otimes \log_2 N}$ 。

可选的，以从 0 比特开始定义为例，可以将第四序列记为 c_0^{N-1} ， $c_0^{N-1} = v_0^{N-1} G_N$ 。可以理解的是，也可以从 1 比特开始定义，即可以将第三序列记为 c_1^N ， $c_1^N = v_1^N G_N$ ，不予限制。

基于上述图 7 所示的方法，本申请实施例提供一种基于嵌套 PC 的 Polar 码编码方案，可以为信息比特序列单独构造具备嵌套特性的长度为 N 的可靠度序列，从而在从后往前顺序打孔时，降低性能坏点的数量，提升码谱特性，提高译码性能，同时，本申请实施例的不同数目的信息比特序列可以基于相同的第一矩阵构造极化码，即第一矩阵对于不同数目的信息比特序列具有嵌套特性，第一矩阵不随信息比特序列的数目的变化而变化，或者也可以描述为不同数目的信息比特序列对应的 PC 位和 PC 方程是嵌套的，不需要为不同长度的信息比特序列单独存储对应的 PC 位和 PC 方程，从而可以降低硬件复杂度，降低硬件开销，提升码谱特性，降低译码复杂度，提升译码性能（如复用串行抵消列表（successive cancellation list, SCL）译码模块，提升在 SCL 译码模块（如 SCL8）下的译码性能）。

基于上述图 7 所示的方法，发送端设备根据极化编码确定第四序列后，还可以采用交织图样对第四序列进行交织处理，得到交织处理后的序列。

第一种可能的设计中，可以采用第一交织图样对第四序列进行交织处理，得到第五序列。

其中，可以通过设计搜索算法，根据序列性能和嵌套特性确定第一交织图样，即第一交织图样对于不同数目的信息比特序列具备嵌套特性，不随信息比特序列的长度的变换而变换。相比于采用枚举的方式设计第一交织图样，需要枚举 N! 种情况（如 N 等于 32 时，需要枚举 $32! = 2.6313 \times 10^{35}$ 种情况），本申请实施例通过设计搜索算法的方式设计第一交织图样，可以在满足序列性能最优和嵌套特性的基础上，大大降低复杂度。

示例性的，可以采用 List 搜索算法，对多个第四序列样本（该多个第四序列样本可以对应不同长度的信息比特序列，各个信息比特序列的长度小于或等于 K）进行打孔位置搜索，打孔数目每增加一个时，计算所有序列的平均序列性能，将该平均序列性能作为衡量标准（Metric），将平均序列性能最优时对应的位置确定为打孔位置，生成第一交织图样。其中，平均性能是指序列的 $\text{SNR@BLER}=1\text{E-2}$ 的均值。

具体的，如图 10 所示，该搜索过程可以包括：

步骤 1、初始化打孔位置的搜索空间为 0~N-1，打孔数目为 0。

步骤 2、从当前搜索空间中选择一个位置作为新增打孔位置。

步骤 3、根据当前打孔位置仿真得到所有序列的序列性能。

步骤 4、对所有序列的序列性能取均值，得到当前打孔数目下不同打孔位置对应的 Metric。

步骤 5、保留 List 个 Metric 最优时对应的打孔位置，作为当前打孔数目下的备选打孔位置。

步骤 6、更新每个 List 的备选搜索空间：从搜索空间中删除当前打孔位置。

步骤 7、打孔数目加一。

步骤 8、判断打孔数据是否小于最大打孔数目，如果是，则继续从上述步骤 2 开始执行，直至打孔数

目等于最大打孔数据；如果否，则输出第一交织图样（或者也可以称为最佳打孔图样）。

根据上述搜索过程确定的第一交织图样也可以描述为：第一交织图样可以用于指示将第四序列中第 y 比特位的取值调换放置在第五序列中的第 $N-y-1$ 个比特位上， $0 \leq y \leq N-k-2$ ， y 为整数， $k+1 \leq N-y-1 \leq N-1$ 。

对于第四序列中除上述第 y 比特位以外的 $k+1$ 个比特位的取值，可以随机放置在第五序列的第 0 个比特位至第 k 个比特位上，不予限制。

其中，第 y 比特位可以是根据多个第四序列样本的 $N-y-1$ 个比特位去掉同一个比特位后的平均序列性能确定的，多个第四序列样本对应的多个信息比特序列样本的长度小于或等于 K ，多个信息比特序列样本的长度包括 k ， $N-y-1$ 个比特位不包括第 y 比特位的前 $y-1$ 比特位。

可选的，当多个第四序列样本的 $N-y-1$ 个比特位去掉同一个比特位后，平均序列性能最优时，去掉的比特位为第 y 比特位。

示例性的，下述以第四序列样本包括长度为 $k=k_1$ 的信息比特序列对应的第四序列、长度为 $k=k_2$ 的信息比特序列对应的第四序列为例，对具备嵌套特性的第一交织图样的生成方式进行详细说明：

步骤 1、随机生成长度为 k_1 的第一随机序列（即信息比特序列）和长度为 k_2 的第二随机序列（即信息比特序列）， k_1 和 k_2 为待编码的信息比特序列的长度， k_1 和 k_2 不相等。

步骤 2、对第一随机序列和第二随机序列分别按照上述图 7 所示的方法进行极化编码，得到长度为 N 的第一随机码字序列（即第四序列）和第二随机码字序列（即第四序列）。

步骤 3、确定第一随机码字序列和第二随机码字序列的第 g 个位置被打掉之后的序列的第一性能的取值， $0 \leq g \leq N-1$ 。

步骤 4、确定第一数值和第二数值的平均值 A_g ，第一数值为第一随机码字序列的第 g 个位置被打掉之后的序列的第一性能的取值，第二数值为第二随机码字序列的第 g 个位置被打掉之后的序列的第一性能的取值。

步骤 5、确定第 y 比特位（ $y=0$ ），第 y 比特位（ $y=0$ ）为 A_0 至 A_{N-1} 中最小的数值对应的位置，第 y 比特位（ $y=0$ ）为第 1 个打孔位置。

步骤 6、确定打孔位置的个数 1 等于 $(N-E)$ ，生成第一交织图样，第一交织图样指示第四序列基于第一交织图样交织后，第四序列的第 y 比特位（ $y=0$ ）上的取值被调换放置在第五序列的最后一个比特位上。其中， E 表示速率匹配序列的长度。

或者

步骤 7、确定打孔位置的个数 1 小于 $(N-E)$ ，随机生成长度为 k_1 的第三随机序列（即信息比特序列）和长度为 k_2 的第四随机序列（即信息比特序列）。

步骤 8、对第三随机序列和第四随机序列分别按照上述图 7 所示的方法进行极化编码，得到长度为 N 的第三随机码字序列（即第四序列）和第四随机码字序列（即第四序列）。

步骤 9、确定第五随机码字序列和第六随机码字序列，第五随机码字序列为第三随机码字序列中打掉第 y 比特位（ $y=0$ ）上的比特后的序列，第六随机码字序列为第四随机码字序列中打掉第 y 比特位（ $y=0$ ）上的比特后的序列。

步骤 10、确定第五随机码字序列和第六随机码字序列的第 h 个位置被打掉之后的序列的第一性能的取值， $0 \leq h \leq N-2$ 。

步骤 11、确定第三数值和第四数值的平均值 A_h ，第三数值为第五随机码字序列的第 h 个位置被打掉之后的序列的第一性能的取值，第四数值为第六随机码字序列的第 h 个位置被打掉之后的序列的第一性能的取值。

步骤 12、确定第 y 比特位（ $y=1$ ），第 y 比特位（ $y=1$ ）为 A_1 至 A_{N-2} 中最小的数值对应的位置，第 y 比特位（ $y=1$ ）为第二个打孔位置。

步骤 13、确定打孔位置的个数 2 等于 $(N-E)$ ，生成第一交织图样，第一交织图样指示第四序列基于第一交织图样交织后，第四序列的第 y 比特位（ $y=0$ ）上的取值被调换放置在第五序列的最后一个比特位上，第四序列的第 y 比特位（ $y=1$ ）上的取值被调换放置在第五序列的倒数第二个比特位上。

或者，

步骤 14、确定打孔位置的个数 2 小于 $(N-E)$ ，重复执行上述操作直至打孔位置的个数等于 E ，生成对应的第一交织图样。

上述仅以根据 k_1 对应的第四序列和 k_2 对应的第四序列,生成具备嵌套特性的第一交织图样(即 k_1 对应的第四序列和 k_2 对应的第四序列均可以采用上述第一交织图样进行交织处理)为例进行说明,可以理解的是,对于多个不同 k 对应的第四序列,可以参照上述方式生成具备嵌套特性的第一交织图样。

示例性的,以 k 等于 3、4、...、11 为例,可以根据 k 为 3、4、...、11 对应的第四序列,参照上述方式生成具备嵌套特性的第一交织图样,即 k 等于 3 对应的第四序列、 k 等于 4 对应的第四序列、...、 k 等于 11 对应的第四序列均可以采用该第一交织图样进行交织处理。

示例性的,以信息比特序列的长度 k 的最大值为 11、最小值为 3,且 N 为 32 为例,第一交织图样可以用于指示将第四序列的第 A 个比特位上的取值调换放置在第五序列的第 B 个比特位上,其中, A 和 B 的映射关系为: (5, 31)、(26, 30)、(11, 29)、(9, 28)、(28, 27)、(7, 26)、(30, 25)、(16, 24)、(31, 23)、(21, 22)、(10, 21)、(24, 20)、(27, 19)、(6, 18)、(3, 17)、(12, 16)、(17, 15)、(8, 14)、(13, 13)、(0, 12)、(2, 11)、(1, 10)、(4, 9)、(14, 8)、(25, 7)、(23, 6)、(22, 5)、(19, 4)。

其中,上述第 1 个 A (即 5) 是上述 $y=0$ 时的第 y 比特位,第 2 个 A (即 26) 是上述 $y=1$ 时的第 y 比特位, ..., 第 $N-K-1=32-11-1=20$ 个 A (即 0) 是上述 $y=N-K-2=32-11-2=19$ 时的第 y 比特位, ..., 第 $N-k-1=32-3-1=28$ 个 A (即 19) 是上述 $y=N-k-2=32-11-2=27$ 时的第 y 比特位。

上述第一交织图样可以表示为下述表 6 所示的交织图样,或者也可以表示为下述图 11 所示的交织图样:

表 6

B	A	B	A	B	A	B	A	B	A	B	A	B	A	B	A
0	29	4	19	8	14	12	0	16	12	20	24	24	16	28	9
1	20	5	22	9	4	13	13	17	3	21	10	25	30	29	11
2	18	6	23	10	1	14	8	18	6	22	21	26	7	30	26
3	15	7	25	11	2	15	17	19	27	23	31	27	28	31	5

可以理解的是,上述表 6 中的前 4 组 A 和 B 的映射关系可以是随机确定的,即 A 中的 29、20、18 和 15 可以随机对应 B 中的 0、1、2 和 3,不予限制。

又一种示例中,以信息比特序列的长度 k 的最大值为 11、最小值为 3,且 N 为 32 为例,第一交织图样可以用于指示将第四序列的第 A 个比特位上的取值调换放置在第五序列的第 B 个比特位上,其中, A 和 B 的映射关系为: (4, 31)、(22, 30)、(27, 29)、(17, 28)、(8, 27)、(2, 26)、(15, 25)、(21, 24)、(29, 23)、(23, 22)、(6, 21)、(26, 20)、(20, 19)、(7, 18)、(0, 17)、(13, 16)、(19, 15)、(11, 14)、(14, 13)、(16, 12)、(25, 11)、(3, 10)、(10, 9)、(5, 8)、(12, 7)、(1, 6)、(18, 5)、(24, 4)。

其中,上述第 1 个 A (即 4) 是上述 $y=0$ 时的第 y 比特位,第 2 个 A (即 22) 是上述 $y=1$ 时的第 y 比特位, ..., 第 $N-K-1=32-11-1=20$ 个 A (即 16) 是上述 $y=N-K-2=32-11-2=19$ 时的第 y 比特位, ..., 第 $N-k-1=32-3-1=28$ 个 A (即 24) 是上述 $y=N-k-2=32-11-2=27$ 时的第 y 比特位。

上述第一交织图样可以为下述表 7 所示的交织图样,或者也可以表示为下述图 12 所示的交织图样:

表 7

B	A	B	A	B	A	B	A	B	A	B	A	B	A	B	A
0	9	4	24	8	5	12	16	16	13	20	26	24	21	28	17
1	28	5	18	9	10	13	14	17	0	21	6	25	15	29	27
2	30	6	1	10	3	14	11	18	7	22	23	26	2	30	22
3	31	7	12	11	25	15	19	19	20	23	29	27	8	31	4

可以理解的是,上述表 7 中的前 4 组 A 和 B 的映射关系可以是随机确定的,即 A 中的 9、28、30 和 31 可以随机对应 B 中的 0、1、2 和 3,不予限制。

基于上述第一交织图样,由于第一交织图样具备嵌套特性,可以不用为不同数目的信息比特序列单独存储交织图样,可以降低硬件复杂度,降低硬件开销。由于上述第一交织图样是根据序列性能确定的,可以保证速率匹配性能无坏点(如 1 比特细粒度速率匹配性能无坏点),提高译码性能。

可以理解的是,也可以为不同数目的信息比特序列单独保存交织图样,即为不同数目的信息比特序列

均单独保存第一交织图样，不予限制。

第二种可能的设计中，也可以采用第二交织图样对第四序列进行交织处理，得到第六序列。

其中，与上述第一种可能的设计中的具备嵌套特性的第一交织图样所不同的，第二种可能的设计中，不同数目的信息比特序列可以对应不同的第二交织图样，即为不同数目的信息比特序列，分别设计第二交织图样。

其中，本申请实施例可以参照上述第一种可能的设计中的搜索算法的方式设计第二交织图样，可以在满足序列性能最优的基础上，大大降低复杂度。

示例性的，可以参照上述 List 搜索算法，对多个第四序列样本（该多个第四序列样本可以对应相同长度的信息比特序列，信息比特序列的长度小于或等于 K ）进行打孔位置搜索，打孔数目每增加一个时，计算所有序列的平均序列性能，将该平均序列性能作为衡量标准（Metric），将平均序列性能最优时对应的位置确定为打孔位置，生成第二交织图样。其中，平均性能是指序列的 $\text{SNR@BLER}=1\text{E-}2$ 的均值。

根据上述搜索过程确定的第二交织图样也可以描述为：第二交织图样用于指示将第四序列中第 y 比特的取值调换放置在第六序列中的第 $N-y-1$ 个比特位上， $1 \leq y \leq N-k-2$ ， y 为正整数， $k+1 \leq N-y-1 \leq N-1$ 。

对于第四序列中除上述第 y 比特位以外的 $k+1$ 个比特位的取值，可以随机放置在第六序列的第 0 个比特位至第 k 个比特位上，不予限制。

其中，第 y 比特位是根据多个第四序列样本的 $N-y-1$ 个比特位去掉一个比特位后的平均序列性能确定的，多个第四序列样本对应的多个信息比特序列样本的长度均为 k ， $N-y-1$ 个比特位不包括第 y 比特位的前 $y-1$ 比特位。

可选的，当第四序列样本的 $N-y-1$ 个比特位去掉一个比特位后，平均序列性能最优时，去掉的比特位为第 y 比特位。

示例性的，以信息比特序列的长度 k 的最大值为 11、最小值为 3，且 N 为 32 为例，第二交织图样可以用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上：

其中，当 k 为 3 时， A 和 B 的映射关系为：(12, 31)、(9, 30)、(19, 29)、(18, 28)、(1, 27)、(15, 26)、(14, 25)、(29, 24)、(16, 23)、(10, 22)、(28, 21)、(23, 20)、(20, 19)、(6, 18)、(21, 17)、(7, 16)、(2, 15)、(25, 14)、(0, 13)、(3, 12)、(5, 11)、(31, 10)、(30, 9)、(4, 8)、(22, 7)、(13, 6)、(27, 5)、(8, 4)。

或者，当 k 为 4 时， A 和 B 的映射关系为：(18, 31)、(29, 30)、(9, 29)、(12, 28)、(27, 27)、(22, 26)、(23, 25)、(26, 24)、(4, 23)、(0, 22)、(7, 21)、(14, 20)、(8, 19)、(19, 18)、(1, 17)、(21, 16)、(13, 15)、(11, 14)、(17, 13)、(20, 12)、(16, 11)、(15, 10)、(6, 9)、(10, 8)、(28, 7)、(25, 6)、(24, 5)。

或者，当 k 为 5 时， A 和 B 的映射关系为：(2, 31)、(20, 30)、(12, 29)、(25, 28)、(8, 27)、(22, 26)、(16, 25)、(5, 24)、(29, 23)、(14, 22)、(23, 21)、(15, 20)、(3, 19)、(11, 18)、(10, 17)、(17, 16)、(0, 15)、(30, 14)、(18, 13)、(27, 12)、(4, 11)、(19, 10)、(21, 9)、(6, 8)、(26, 7)、(9, 6)。

或者，当 k 为 6 时， A 和 B 的映射关系为：(19, 31)、(23, 30)、(16, 29)、(18, 28)、(29, 27)、(0, 26)、(21, 25)、(8, 24)、(11, 23)、(4, 22)、(13, 21)、(2, 20)、(20, 19)、(24, 18)、(25, 17)、(6, 16)、(28, 15)、(14, 14)、(10, 13)、(9, 12)、(31, 11)、(26, 10)、(7, 9)、(17, 8)、(1, 7)。

或者，当 k 为 7 时， A 和 B 的映射关系为：(7, 31)、(9, 30)、(19, 29)、(26, 28)、(31, 27)、(21, 26)、(27, 25)、(2, 24)、(23, 23)、(17, 22)、(10, 21)、(30, 20)、(25, 19)、(24, 18)、(0, 17)、(16, 16)、(4, 15)、(11, 14)、(20, 13)、(12, 12)、(29, 11)、(18, 10)、(13, 9)、(3, 8)。

或者，当 k 为 8 时， A 和 B 的映射关系为：(15, 31)、(16, 30)、(9, 29)、(14, 28)、(17, 27)、(24, 26)、(21, 25)、(20, 24)、(5, 23)、(1, 22)、(7, 21)、(30, 20)、(11, 19)、(6, 18)、(2, 17)、(3, 16)、(8, 15)、(22, 14)、(12, 13)、(23, 12)、(19, 11)、(10, 10)、(29, 9)。

或者，当 k 为 9 时， A 和 B 的映射关系为：(17, 31)、(21, 30)、(15, 29)、(14, 28)、(4,

27)、(24, 26)、(8, 25)、(29, 24)、(19, 23)、(16, 22)、(7, 21)、(2, 20)、(9, 19)、(25, 18)、(26, 17)、(23, 16)、(28, 15)、(30, 14)、(13, 13)、(6, 12)、(22, 11)、(0, 10)。

或者, 当 k 为 10 时, A 和 B 的映射关系为: (28, 31)、(29, 30)、(14, 29)、(26, 28)、(8, 27)、(23, 26)、(24, 25)、(30, 24)、(0, 23)、(31, 22)、(10, 21)、(5, 20)、(20, 19)、(4, 18)、(16, 17)、(12, 16)、(9, 15)、(21, 14)、(1, 13)、(11, 12)、(22, 11)。

或者, 当 k 为 11 时, A 和 B 的映射关系为: (22, 31)、(19, 30)、(28, 29)、(9, 28)、(4, 27)、(6, 26)、(14, 25)、(11, 24)、(3, 23)、(13, 22)、(0, 21)、(15, 20)、(26, 19)、(24, 18)、(27, 17)、(18, 16)、(21, 15)、(17, 14)、(20, 13)、(12, 12)。

其中, 上述第 1 个 A 是上述 $y=0$ 时的第 y 比特位, 第 2 个 A 是上述 $y=1$ 时的第 y 比特位, ..., 第 $N-K-1=32-11-1=20$ 个 A (即 0) 是上述 $y=N-K-2=32-11-2=19$ 时的第 y 比特位, ..., 第 $N-k-1$ 个 A 是上述 $y=N-k-2$ 时的第 y 比特位。

可选的, 上述第二交织图样也可以表示为下述图 13 所示的交织图样。

可选的, 上述第二交织图样也可以表示成类似上述表 6 或表 7 所示的交织图样, 例如, 以 k 为 3 为例, 第二交织图样可以为下述表 8 所示的交织图样:

表 8

B	A	B	A	B	A	B	A	B	A	B	A	B	A	B	A
0	25	4	8	8	4	12	3	16	7	20	23	24	29	28	18
1	16	5	27	9	30	13	0	17	21	21	28	25	14	29	19
2	23	6	13	10	31	14	25	18	6	22	10	26	15	30	9
3	10	7	22	11	5	15	2	19	20	23	16	27	1	31	12

可以理解的是, 上述表 8 中的前 4 组 A 和 B 的映射关系可以是随机确定的, 即 A 中的 25、16、23 和 10 可以随机对应 B 中的 0、1、2 和 3, 不予限制。

又一种示例中, 以信息比特序列的长度 k 的最大值为 11、最小值为 3, 且 N 为 32 为例, 第二交织图样可以用于指示将第四序列的第 A 个比特位上的取值调换放置在第六序列的第 B 个比特位上:

其中, 当 k 为 3 时, A 和 B 的映射关系为: (5, 31)、(11, 30)、(24, 29)、(30, 28)、(13, 27)、(20, 26)、(22, 25)、(3, 24)、(4, 23)、(25, 22)、(31, 21)、(6, 20)、(10, 19)、(8, 18)、(21, 17)、(15, 16)、(9, 15)、(2, 14)、(0, 13)、(27, 12)、(14, 11)、(16, 10)、(17, 9)、(23, 8)、(28, 7)、(26, 6)、(1, 5)、(7, 4)。

其中, 当 k 为 4 时, A 和 B 的映射关系为: (16, 31)、(28, 30)、(10, 29)、(30, 28)、(19, 27)、(7, 26)、(13, 25)、(9, 24)、(11, 23)、(6, 22)、(8, 21)、(26, 20)、(21, 19)、(20, 18)、(23, 17)、(25, 16)、(0, 15)、(17, 14)、(27, 13)、(22, 12)、(18, 11)、(15, 10)、(5, 9)、(12, 8)、(2, 7)、(29, 6)、(24, 5)。

其中, 当 k 为 5 时, A 和 B 的映射关系为: (9, 31)、(19, 30)、(11, 29)、(12, 28)、(21, 27)、(0, 26)、(29, 25)、(2, 24)、(4, 23)、(31, 22)、(10, 21)、(1, 20)、(22, 19)、(7, 18)、(24, 17)、(30, 16)、(20, 15)、(3, 14)、(28, 13)、(13, 12)、(14, 11)、(8, 10)、(6, 9)、(5, 8)、(17, 7)、(18, 6)。

其中, 当 k 为 6 时, A 和 B 的映射关系为: (11, 31)、(25, 30)、(31, 29)、(27, 28)、(14, 27)、(0, 26)、(22, 25)、(19, 24)、(18, 23)、(3, 22)、(20, 21)、(2, 20)、(4, 19)、(17, 18)、(23, 17)、(24, 16)、(12, 15)、(1, 14)、(7, 13)、(10, 12)、(28, 11)、(26, 10)、(6, 9)、(5, 8)、(8, 7)。

其中, 当 k 为 7 时, A 和 B 的映射关系为: (7, 31)、(12, 30)、(2, 29)、(5, 28)、(26, 27)、(6, 26)、(27, 25)、(24, 24)、(4, 23)、(19, 22)、(1, 21)、(29, 20)、(9, 19)、(8, 18)、(13, 17)、(11, 16)、(28, 15)、(10, 14)、(25, 13)、(16, 12)、(30, 11)、(0, 10)、(21, 9)、(3, 8)。

其中, 当 k 为 8 时, A 和 B 的映射关系为: (7, 31)、(30, 30)、(17, 29)、(16, 28)、(19,

27)、(6, 26)、(29, 25)、(18, 24)、(10, 23)、(3, 22)、(24, 21)、(9, 20)、(21, 19)、(28, 18)、(31, 17)、(12, 16)、(23, 15)、(2, 14)、(15, 13)、(4, 12)、(27, 11)、(20, 10)、(25, 9)。

其中, 当 k 为 9 时, A 和 B 的映射关系为: (28, 31)、(25, 30)、(17, 29)、(6, 28)、(11, 27)、(21, 26)、(27, 25)、(30, 24)、(3, 23)、(1, 22)、(4, 21)、(8, 20)、(15, 19)、(26, 18)、(29, 17)、(18, 16)、(9, 15)、(19, 14)、(2, 13)、(20, 12)、(23, 11)、(10, 10)。

其中, 当 k 为 10 时, A 和 B 的映射关系为: (23, 31)、(30, 30)、(3, 29)、(28, 28)、(14, 27)、(19, 26)、(9, 25)、(16, 24)、(29, 23)、(13, 22)、(26, 21)、(12, 20)、(18, 19)、(0, 18)、(15, 17)、(4, 16)、(20, 15)、(1, 14)、(25, 13)、(31, 12)、(21, 11)。

其中, 当 k 为 11 时, A 和 B 的映射关系为: (1, 31)、(24, 30)、(14, 29)、(15, 28)、(25, 27)、(12, 26)、(26, 25)、(13, 24)、(27, 23)、(31, 22)、(8, 21)、(5, 20)、(20, 19)、(21, 18)、(3, 17)、(28, 16)、(17, 15)、(6, 14)、(19, 13)、(11, 12)。

其中, 上述第 1 个 A 是上述 $y=0$ 时的第 y 比特位, 第 2 个 A 是上述 $y=1$ 时的第 y 比特位, $\dots$, 第 $N-K-1=32-11-1=20$ 个 A (即 0) 是上述 $y=N-K-2=32-11-2=19$ 时的第 y 比特位, $\dots$, 第 $N-k-1$ 个 A 是上述 $y=N-k-2$ 时的第 y 比特位。

可选的, 上述第二交织图样也可以表示为下述图 14 所示的交织图样。

可选的, 上述第二交织图样也可以表示成类似上述表 6 或表 7 或表 8 所示的交织图样, 例如, 以 k 为 3 为例, 第二交织图样可以为下述表 9 所示的交织图样:

表 9

B	A	B	A	B	A	B	A	B	A	B	A	B	A	B	A
0	12	4	7	8	23	12	27	16	15	20	6	24	3	28	30
1	18	5	1	9	17	13	0	17	21	21	31	25	22	29	24
2	19	6	26	10	16	14	2	18	8	22	25	26	20	30	11
3	29	7	28	11	14	15	9	19	10	23	4	27	13	31	5

可以理解的是, 上述表 9 中的前 4 组 A 和 B 的映射关系可以是随机确定的, 即 A 中的 12、18、19 和 29 可以随机对应 B 中的 0、1、2 和 3, 不予限制。

上述两种可能的设计中, 各种举例是从 0 比特开始定义, 可以理解的是, 也可以从 1 比特开始定义, 即将上述 0、1、 $\dots$ 、31 分别替换成 1、2、 $\dots$ 、32, 不予限制。

基于上述描述, 发送端设备对第四序列进行交织处理后, 还可以对交织处理后的第四序列 (如第五序列、第六序列) 进行速率匹配。

其中, 第五序列和第六序列的长度均为 N 。

其中, 可以根据速率匹配相关信息确定传输码长 E (即速率匹配序列长度), 当确定传输码长 E 不等于 N 时, 可以采用如下速率匹配方式: 传输码长 E 小于 N 时, 从后往前打孔, 传输码长 E 大于 N 时, 从前向后重复。

即发送端设备可以对长度为 N 的第五序列进行速率匹配, 得到长度为 E 的第一速率匹配序列。或者, 对长度为 N 的第六序列进行速率匹配, 得到长度为 E 的第二速率匹配序列。

示例性的, 以第四序列为 c_0^{N-1} 为例, 可以基于交织图样 (如第一交织图样或第二交织图样) 参照下述对第四序列进行交织处理, 得到交织处理后的序列 e_0^{N-1} :

for $n=0$ to $N-1$

$e_n = d_{P(n)}$

end for

其中, e_n 表示交织处理后的序列中的第 n 个取值, $P(n)$ 表示交织图样。

参照下述对上述交织处理后的序列 e_0^{N-1} 进行速率匹配, 得到速率匹配序列 f_0^{E-1} :

for $j=0$ to $E-1$

$f_j = e_{j \bmod N}$

end for

示例性的, 以长度为 32 的第四序列对应的信息比特序列的长度 k 为 7, 且发送端设备采用图 13 所示的第二交织图样进行交织处理为例, 假设速率匹配序列长度 E 为 22, 则需要将第四序列中的第 7、9、19、26、31、21、27、2、23、17 个比特位上的取值依次放置在第六序列的第 31 个比特位至第 22 个比特位上, 将第四序列中的剩余 22 个比特位上的取值随机放置在第六序列的第 0 个比特位至第 21 个比特位上, 将第六序列中的第 22 个比特位至第 31 个比特位的取值打掉, 得到第二速率匹配序列。或者也可以描述为将第四序列中的第 7、9、19、26、31、21、27、2、23、17 个比特位上的取值打掉, 剩余 22 个比特位上的取值随机排列, 得到第二速率匹配序列。

又一种示例性中, 以长度为 32 的第四序列对应的信息比特序列的长度 k 为 3, 且发送端设备采用图 13 所示的第二交织图样进行交织处理为例, 假设速率匹配序列长度 E 为 4, 则需要将第四序列中的第 12、9、19、18、1、15、14、29、16、10、28、23、20、6、21、7、2、25、0、3、5、31、30、4、22、13、27、8 个比特位上的取值依次放置在第六序列的第 31 个比特位至第 4 个比特位上, 将第四序列中的剩余 4 个比特位上的取值随机放置在第六序列的第 0 个比特位至第 3 个比特位上, 将第六序列中的第 4 个比特位至第 31 个比特位的取值打掉, 得到第二速率匹配序列。或者也可以描述为将第四序列中的第 12、9、19、18、1、15、14、29、16、10、28、23、20、6、21、7、2、25、0、3、5、31、30、4、22、13、27、8 个比特位上的取值打掉, 剩余 4 个比特位上的取值随机排列, 得到第二速率匹配序列。

基于上述描述可以发现, k 越大, 所支持的打孔数量越少, 最多支持打孔 $N-1-k$ 个位置。

基于上述对极化编码、交织、速率匹配的描述, 下述图 15 至图 19 分别给出了不同码长、码率下 LTE-RM 码和采用本申请实施例提供的 Polar 码的仿真效果的性能对比示意图。

其中, 仿真信道为 AWGN 信道, 调制方式为 QPSK 调制, 编码方式为 LTE-RM 码, 译码方式为 FHT 译码, 或者, 编码方式为 Polar 码, 译码方式为 SCL8 译码。

每张性能对比示意图一共有 2 条曲线, 曲线 1 为按照 LTE-RM 码的方式进行速率匹配后的性能, 曲线 2 为采用本申请实施例提供的 Polar 码的方式 (即按照图 7 所示方法和第一交织图样) 进行速率匹配后的性能。

其中, 性能对比示意图的横轴是打孔后的码长 E , 取值从 $k+1 \sim N$ (如 32), 纵轴是达到 $BLER=0.01$ 所需的 SNR, 曲线越低性能越好。

根据图 15 至图 17, 可以看出本申请实施例提供的极化码的编码方法可以大大提升编码和译码性能。

需要说明的是, 上述方法中, 是以信息比特序列的长度为 3~11 的超短码 (very short codes) 为例进行说明, 可以理解的是, 该超短码的长度并不局限于 3~11, 也可以是其他长度, 信息比特序列也可以是预变换极化 (pre-transform polar) 码、极化调整卷积 (polarization adjusted convolutional, PAC) 码等, 不予限制。

需要说明的是, 本申请的各个实施例可以独立实施, 也可以结合起来实施, 不予限制。如果没有特殊说明以及逻辑冲突, 本申请提供的不同的实施例之间的术语和/或描述具有一致性、且可以相互引用, 不同的实施例中的技术特征根据其内在的逻辑关系可以组合形成新的实施例。

可以理解的, 本申请实施例中, 执行主体可以执行本申请实施例中的部分或全部步骤, 这些步骤或操作仅是示例, 本申请实施例还可以执行其它操作或者各种操作的变形。此外, 各个步骤可以按照本申请实施例呈现的不同的顺序来执行, 并且有可能并非要执行本申请实施例中的全部操作。

上述主要从设备之间交互的角度对本申请实施例提供的方案进行了介绍。可以理解的是, 各个设备为了实现上述功能, 其包含了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到, 结合本文中所公开的实施例描述的各示例的算法步骤, 本申请能够以硬件或硬件和计算机软件的结合形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行, 取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能, 但是这种实现不应认为超出本申请的范围。

本申请实施例可以根据上述方法示例对各个设备进行功能模块的划分, 例如, 可以对应各个功能划分各个功能模块, 也可以将两个或两个以上的功能集成在一个处理模块中。上述集成的模块既可以采用硬件的形式实现, 也可以采用软件功能模块的形式实现。需要说明的是, 本申请实施例中对模块的划分是示意性的, 仅仅为一种逻辑功能划分, 实际实现时可以有另外的划分方式。

在采用对应各个功能划分各个功能模块的情况下，图 20 示出了一种通信装置 200，该通信装置 200 可以执行上述图 7 至图 19 所示的方法中发送端设备所执行的动作，上述方法实施例涉及的各步骤的所有相关内容均可以援引到对应功能模块的功能描述，其所能获得的技术效果可参考上述方法实施例，在此不再赘述。

其中，通信装置 200 可以包括收发模块 2001 和处理模块 2002。示例性地，通信装置 200 可以是通信设备，也可以是应用于通信设备中的芯片或者其他具有上述通信装置功能的组合器件、部件等。当通信装置 200 是通信设备时，收发模块 2001 可以是收发器，收发器可以包括天线和射频电路等；处理模块 2002 可以是处理器（或者，处理电路），例如基带处理器，基带处理器中可以包括一个或多个 CPU。当通信装置 200 是具有上述通信装置功能的部件时，收发模块 2001 可以是射频单元；处理模块 2002 可以是处理器（或者，处理电路），例如基带处理器。当通信装置 200 是芯片系统时，收发模块 2001 可以是芯片（例如基带芯片）的输入输出接口；处理模块 2002 可以是芯片系统的处理器（或者，处理电路），可以包括一个或多个中央处理单元。应理解，本申请实施例中的收发模块 2001 可以由收发器或收发器相关电路组件实现；处理模块 2002 可以由处理器或处理器相关电路组件（或者，称为处理电路）实现。

例如，收发模块 2001 可以用于执行图 7 至图 19 所示的实施例中由通信装置所执行的全部收发操作，和/或用于支持本文所描述的技术的其它过程；处理模块 2002 可以用于执行图 7 至图 19 所示的实施例中由通信装置所执行的除了收发操作之外的全部操作，和/或用于支持本文所描述的技术的其它过程。

作为又一种可实现方式，图 20 中的收发模块 2001 可以由收发器代替，该收发器可以集成收发模块 2001 的功能；处理模块 2002 可以由处理器代替，该处理器可以集成处理模块 2002 的功能。进一步的，图 20 所示通信装置 200 还可以包括存储器。

可替换的，当处理模块 2002 由处理器代替，收发模块 2001 由收发器代替时，本申请实施例所涉及的通信装置 200 还可以为图 21 所示的通信装置 210，其中，处理器可以为逻辑电路 2101，收发器可以是接口电路 2102。进一步的，图 21 所示通信装置 210 还可以包括存储器 2103。

本申请实施例还提供了一种计算机程序产品，该计算机程序产品被计算机执行时可以实现上述任一方法实施例的功能。

本申请实施例还提供了一种计算机程序，该计算机程序被计算机执行时可以实现上述任一方法实施例的功能。

本申请实施例还提供了一种计算机可读存储介质。上述方法实施例中的全部或者部分流程可以由计算机程序来指令相关的硬件完成，该程序可存储于上述计算机可读存储介质中，该程序在执行时，可包括如上述各方法实施例的流程。计算机可读存储介质可以是前述任一实施例的终端（包括数据发送端和/或数据接收端）的内部存储单元，例如终端的硬盘或内存。上述计算机可读存储介质也可以是上述终端的外部存储设备，例如上述终端上配备的插接式硬盘，智能存储卡（smart media card, SMC），安全数字（secure digital, SD）卡，闪存卡（flash card）等。进一步地，上述计算机可读存储介质还可以既包括上述终端的内部存储单元也包括外部存储设备。上述计算机可读存储介质用于存储上述计算机程序以及上述终端所需的其他程序和数据。上述计算机可读存储介质还可以用于暂时地存储已经输出或者将要输出的数据。

需要说明的是，本申请的说明书、权利要求书及附图中的术语“第一”和“第二”等是用于区别不同对象，而不是用于描述特定顺序。“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

此外，术语“包括”和“具有”以及它们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。

应当理解，在本申请中，“至少一个（项）”是指一个或者多个。“多个”是指两个或两个以上。“至少两个（项）”是指两个或三个及三个以上。“和/或”，用于描述关联对象的关联关系，表示可以存在三种关系。例如，“A 和/或 B”可以表示：只存在 A，只存在 B 以及同时存在 A 和 B 三种情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。“以下至少一项（个）”或其类似表达，是指这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a，b 或 c 中的至少一项（个），可以表示：a，b，c，“a 和 b”，“a 和 c”，“b 和 c”，或“a 和 b 和 c”，其中 a，

b, c 可以是单个, 也可以是多个。“…时”以及“若”均指在某种客观情况下会做出相应的处理, 并非限定时间, 且也不要求实现时要有判断的动作, 也不意味着存在其它限定。

在本申请实施例中, “示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请实施例中描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言, 使用“示例性的”或者“例如”等词旨在以具体方式呈现相关概念, 便于理解。

本申请中“向…(终端设备)发送信息”可以理解为该信息的目的端是终端设备。可以包括直接或间接的向终端设备发送信息。“从…(终端设备)接收信息”可以理解为该信息的源端是终端设备, 可以包括直接或间接的从终端设备接收信息。信息在信息发送的源端和目的端之间可能会被进行必要的处理, 例如格式变化等, 但目的端可以理解来自源端的有效信息。

通过以上的实施方式的描述, 所属领域的技术人员可以清楚地了解到, 为描述的方便和简洁, 仅以上述各功能模块的划分进行举例说明, 实际应用中, 可以根据需要而将上述功能分配由不同的功能模块完成, 即将装置的内部结构划分成不同的功能模块, 以完成以上描述的全部或者部分功能。

在本申请所提供的几个实施例中, 应该理解到, 所揭露的装置和方法, 可以通过其它的方式实现。例如, 以上所描述的装置实施例仅仅是示意性的, 例如, 所述模块或单元的划分, 仅仅为一种逻辑功能划分, 实际实现时可以有另外的划分方式, 例如多个单元或组件可以结合或者可以集成到另一个装置, 或一些特征可以忽略, 或不执行。另一点, 所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口, 装置或单元的间接耦合或通信连接, 可以是电性, 机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的, 作为单元显示的部件可以是一个物理单元或多个物理单元, 即可以位于一个地方, 或者也可以分布到多个不同地方。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外, 在本申请各个实施例中的各功能单元可以集成在一个处理单元中, 也可以是各个单元单独物理存在, 也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现, 也可以采用软件功能单元的形式实现。

所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用, 可以存储在一个可读存储介质中。基于这样的理解, 本申请实施例的技术方案本质上或者该技术方案的全部或部分可以以软件产品的形式体现出来, 该软件产品存储在一个存储介质中, 包括若干指令用以使得一个设备(可以是单片机, 芯片等)或处理器(processor)执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括: U 盘、移动硬盘、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[illegible]

7. 根据权利要求 1-6 任一项所述的方法, 其特征在于,

所述第三序列包括一个或多个所述 PC 位, 所述 PC 位的编号与所述 PC 位校验的比特位的编号之间的差值为素数。

8.根据权利要求7所述的方法,其特征在于,

所述第三序列的所述 PC 位是所述第三序列的下述比特位中的一个或多个：16、18、21、或 25。

9. 根据权利要求 8 所述的方法, 其特征在于,

所述 PC 位是所述第三序列中的第 16 个比特位时, 所述 PC 位校验的比特位是所述第三序列中的第 13 个比特位; 或者

所述 PC 位是所述第三序列中的第 18 个比特位时, 所述 PC 位校验的比特位是所述第三序列的下述比特位中的一个或多个: 11、13、15; 或者

所述 PC 位是所述第三序列中的第 21 个比特位时, 所述 PC 位校验的比特位是所述第三序列中的第 14 个比特位; 或者

所述 PC 位是所述第三序列中的第 25 个比特位时, 所述 PC 位校验的比特位是所述第三序列中的第 22 个比特位。

10. 根据权利要求 7 所述的方法, 其特征在于,

所述第三序列的所述 PC 位是所述第三序列的下述比特位中的一个或多个：19、21、25、或 26。

11. 根据权利要求 10 所述的方法, 其特征在于,

所述 PC 位是所述第三序列中的第 19 个比特位时, 所述 PC 位校验的比特位是所述第三序列中的第 14 个比特位; 或者

所述 PC 位是所述第三序列中的第 21 个比特位时, 所述 PC 位校验的比特位是所述第三序列的下述比特位中的一个或多个: 11、14; 或者

所述 PC 位是所述第三序列中的第 25 个比特位时, 所述 PC 位校验的比特位是所述第三序列的下述比特位中的一个或多个: 14、22; 或者

所述 PC 位是所述第三序列中的第 26 个比特位时, 所述 PC 位校验的比特位是所述第三序列中的第 13 个比特位。

12. 根据权利要求 1-11 任一项所述的方法, 其特征在于, 所述方法还包括:

根据第一交织图样, 对所述第四序列进行交织处理, 得到第五序列;

对所述第五序列进行速率匹配, 得到第一速率匹配序列。

13. 根据权利要求 12 所述的方法, 其特征在于,

所述第一交织图样用于指示将所述第四序列的第 A 个比特位上的取值调换放置在所述第五序列的第 B 个比特位上;

其中, 所述 A 和所述 B 的映射关系为: (5, 31)、(26, 30)、(11, 29)、(9, 28)、(28, 27)、(7, 26)、(30, 25)、(16, 24)、(31, 23)、(21, 22)、(10, 21)、(24, 20)、(27, 19)、(6, 18)、(3, 17)、(12, 16)、(17, 15)、(8, 14)、(13, 13)、(0, 12)、(2, 11)、(1, 10)、(4, 9)、(14, 8)、(25, 7)、(23, 6)、(22, 5)、(19, 4)。

14. 根据权利要求 12 所述的方法, 其特征在于,

所述第一交织图样用于指示将所述第四序列的第 A 个比特位上的取值调换放置在所述第五序列的第 B 个比特位上;

其中, 所述 A 和所述 B 的映射关系为: (4, 31)、(22, 30)、(27, 29)、(17, 28)、(8, 27)、(2, 26)、(15, 25)、(21, 24)、(29, 23)、(23, 22)、(6, 21)、(26, 20)、(20, 19)、(7, 18)、(0, 17)、(13, 16)、(19, 15)、(11, 14)、(14, 13)、(16, 12)、(25, 11)、(3, 10)、(10, 9)、(5, 8)、(12, 7)、(1, 6)、(18, 5)、(24, 4)。

15. 根据权利要求 1-11 任一项所述的方法, 其特征在于, 所述方法还包括:

根据第二交织图样, 对所述第四序列进行交织处理, 得到第六序列;

对所述第六序列进行速率匹配, 得到第二速率匹配序列。

16. 根据权利要求 15 所述的方法, 其特征在于, 所述第二交织图样用于指示将所述第四序列的第 A 个比特位上的取值调换放置在所述第六序列的第 B 个比特位上;

其中, 所述 A 和所述 B 的映射关系为: (12, 31)、(9, 30)、(19, 29)、(18, 28)、(1, 27)、(15, 26)、(14, 25)、(29, 24)、(16, 23)、(10, 22)、(28, 21)、(23, 20)、(20, 19)、(6, 18)、(21, 17)、(7, 16)、(2, 15)、(25, 14)、(0, 13)、(3, 12)、(5, 11)、(31, 10)、(30, 9)、(4, 8)、(22, 7)、(13, 6)、(27, 5)、(8, 4); 或者

其中, 所述 A 和所述 B 的映射关系为: (18, 31)、(29, 30)、(9, 29)、(12, 28)、(27, 27)、(22, 26)、(23, 25)、(26, 24)、(4, 23)、(0, 22)、(7, 21)、(14, 20)、(8, 19)、(19, 18)、(1, 17)、(21, 16)、(13, 15)、(11, 14)、(17, 13)、(20, 12)、(16, 11)、(15, 10)、(6, 9)、(10, 8)、(28, 7)、(25, 6)、(24, 5); 或者

其中, 所述 A 和所述 B 的映射关系为: (2, 31)、(20, 30)、(12, 29)、(25, 28)、(8, 27)、(22, 26)、(16, 25)、(5, 24)、(29, 23)、(14, 22)、(23, 21)、(15, 20)、(3, 19)、(11, 18)、(10, 17)、(17, 16)、(0, 15)、(30, 14)、(18, 13)、(27, 12)、(4, 11)、(19, 10)、(21, 9)、(6, 8)、(26, 7)、(9, 6); 或者

其中, 所述 A 和所述 B 的映射关系为: (19, 31)、(23, 30)、(16, 29)、(18, 28)、(29, 27)、(0, 26)、(21, 25)、(8, 24)、(11, 23)、(4, 22)、(13, 21)、(2, 20)、(20, 19)、(24, 18)、(25, 17)、(6, 16)、(28, 15)、(14, 14)、(10, 13)、(9, 12)、(31, 11)、(26, 10)、(7, 9)、(17, 8)、(1, 7); 或者

其中, 所述 A 和所述 B 的映射关系为: (7, 31)、(9, 30)、(19, 29)、(26, 28)、(31, 27)、(21, 26)、(27, 25)、(2, 24)、(23, 23)、(17, 22)、(10, 21)、(30, 20)、(25, 19)、(24, 18)、(0, 17)、(16, 16)、(4, 15)、(11, 14)、(20, 13)、(12, 12)、(29, 11)、(18, 10)、(13, 9)、(3, 8); 或者

其中, 所述 A 和所述 B 的映射关系为: (15, 31)、(16, 30)、(9, 29)、(14, 28)、(17,

27)、(24, 26)、(21, 25)、(20, 24)、(5, 23)、(1, 22)、(7, 21)、(30, 20)、(11, 19)、(6, 18)、(2, 17)、(3, 16)、(8, 15)、(22, 14)、(12, 13)、(23, 12)、(19, 11)、(10, 10)、(29, 9); 或者

其中, 所述A和所述B的映射关系为: (17, 31)、(21, 30)、(15, 29)、(14, 28)、(4, 27)、(24, 26)、(8, 25)、(29, 24)、(19, 23)、(16, 22)、(7, 21)、(2, 20)、(9, 19)、(25, 18)、(26, 17)、(23, 16)、(28, 15)、(30, 14)、(13, 13)、(6, 12)、(22, 11)、(0, 10); 或者

其中, 所述A和所述B的映射关系为: (28, 31)、(29, 30)、(14, 29)、(26, 28)、(8, 27)、(23, 26)、(24, 25)、(30, 24)、(0, 23)、(31, 22)、(10, 21)、(5, 20)、(20, 19)、(4, 18)、(16, 17)、(12, 16)、(9, 15)、(21, 14)、(1, 13)、(11, 12)、(22, 11); 或者

其中, 所述A和所述B的映射关系为: (22, 31)、(19, 30)、(28, 29)、(9, 28)、(4, 27)、(6, 26)、(14, 25)、(11, 24)、(3, 23)、(13, 22)、(0, 21)、(15, 20)、(26, 19)、(24, 18)、(27, 17)、(18, 16)、(21, 15)、(17, 14)、(20, 13)、(12, 12)。

17. 根据权利要求15所述的方法, 其特征在于,

所述第二交织图样用于指示将所述第四序列的第A个比特位上的取值调换放置在所述第六序列的第B个比特位上;

其中, 所述A和所述B的映射关系为: (5, 31)、(11, 30)、(24, 29)、(30, 28)、(13, 27)、(20, 26)、(22, 25)、(3, 24)、(4, 23)、(25, 22)、(31, 21)、(6, 20)、(10, 19)、(8, 18)、(21, 17)、(15, 16)、(9, 15)、(2, 14)、(0, 13)、(27, 12)、(14, 11)、(16, 10)、(17, 9)、(23, 8)、(28, 7)、(26, 6)、(1, 5)、(7, 4); 或者

其中, 所述A和所述B的映射关系为: (16, 31)、(28, 30)、(10, 29)、(30, 28)、(19, 27)、(7, 26)、(13, 25)、(9, 24)、(11, 23)、(6, 22)、(8, 21)、(26, 20)、(21, 19)、(20, 18)、(23, 17)、(25, 16)、(0, 15)、(17, 14)、(27, 13)、(22, 12)、(18, 11)、(15, 10)、(5, 9)、(12, 8)、(2, 7)、(29, 6)、(24, 5); 或者

其中, 所述A和所述B的映射关系为: (9, 31)、(19, 30)、(11, 29)、(12, 28)、(21, 27)、(0, 26)、(29, 25)、(2, 24)、(4, 23)、(31, 22)、(10, 21)、(1, 20)、(22, 19)、(7, 18)、(24, 17)、(30, 16)、(20, 15)、(3, 14)、(28, 13)、(13, 12)、(14, 11)、(8, 10)、(6, 9)、(5, 8)、(17, 7)、(18, 6); 或者

其中, 所述A和所述B的映射关系为: (11, 31)、(25, 30)、(31, 29)、(27, 28)、(14, 27)、(0, 26)、(22, 25)、(19, 24)、(18, 23)、(3, 22)、(20, 21)、(2, 20)、(4, 19)、(17, 18)、(23, 17)、(24, 16)、(12, 15)、(1, 14)、(7, 13)、(10, 12)、(28, 11)、(26, 10)、(6, 9)、(5, 8)、(8, 7); 或者

其中, 所述A和所述B的映射关系为: (7, 31)、(12, 30)、(2, 29)、(5, 28)、(26, 27)、(6, 26)、(27, 25)、(24, 24)、(4, 23)、(19, 22)、(1, 21)、(29, 20)、(9, 19)、(8, 18)、(13, 17)、(11, 16)、(28, 15)、(10, 14)、(25, 13)、(16, 12)、(30, 11)、(0, 10)、(21, 9)、(3, 8); 或者

其中, 所述A和所述B的映射关系为: (7, 31)、(30, 30)、(17, 29)、(16, 28)、(19, 27)、(6, 26)、(29, 25)、(18, 24)、(10, 23)、(3, 22)、(24, 21)、(9, 20)、(21, 19)、(28, 18)、(31, 17)、(12, 16)、(23, 15)、(2, 14)、(15, 13)、(4, 12)、(27, 11)、(20, 10)、(25, 9); 或者

其中, 所述A和所述B的映射关系为: (28, 31)、(25, 30)、(17, 29)、(6, 28)、(11, 27)、(21, 26)、(27, 25)、(30, 24)、(3, 23)、(1, 22)、(4, 21)、(8, 20)、(15, 19)、(26, 18)、(29, 17)、(18, 16)、(9, 15)、(19, 14)、(2, 13)、(20, 12)、(23, 11)、(10, 10); 或者

其中, 所述A和所述B的映射关系为: (23, 31)、(30, 30)、(3, 29)、(28, 28)、(14, 27)、(19, 26)、(9, 25)、(16, 24)、(29, 23)、(13, 22)、(26, 21)、(12, 20)、(18,

19)、(0, 18)、(15, 17)、(4, 16)、(20, 15)、(1, 14)、(25, 13)、(31, 12)、(21, 11)；或者

其中, 所述 A 和所述 B 的映射关系为: (1, 31)、(24, 30)、(14, 29)、(15, 28)、(25, 27)、(12, 26)、(26, 25)、(13, 24)、(27, 23)、(31, 22)、(8, 21)、(5, 20)、(20, 19)、(21, 18)、(3, 17)、(28, 16)、(17, 15)、(6, 14)、(19, 13)、(11, 12)。

18. 一种通信装置, 其特征在于, 包括:

处理模块, 用于根据可靠度序列, 将长度为 k 的信息比特序列映射到长度为 N 的第一序列的 k 个比特位上, 得到第二序列; 其中, 所述可靠度序列的长度为 N , 所述第二序列包括 k 个信息位、 x 个奇偶校验 PC 位和 $N-k-x$ 个冻结位, $k \leq K \leq N$, $1 \leq x$, K 为所述信息比特序列的长度的最大值, k 、 K 、 N 、 x 均为正整数;

所述处理模块, 还用于将所述第二序列与第一矩阵相乘, 得到第三序列; 其中, 所述第一矩阵为对角线以下全为 0, 对角线全为 1 的矩阵, 所述第一矩阵中与所述 PC 位对应的列的列重大于 1, 与所述冻结位或所述信息位对应的列的列重等于 1, 所述第一矩阵中列重大于 1 的列数小于或等于 $N-K$;

所述收发模块, 还用于对所述第三序列进行极化编码, 得到第四序列。

19. 一种通信装置, 其特征在于, 所述通信装置包括处理器; 所述处理器, 用于运行计算机程序或指令, 以使所述通信装置执行如权利要求 1-17 任一项所述的极化码的编码方法。

20. 一种计算机可读存储介质, 其特征在于, 所述计算机可读存储介质存储有计算机指令或程序, 当所述计算机指令或程序在计算机上运行时, 使得如权利要求 1-17 任一项所述的极化码的编码方法被执行。

21. 一种计算机程序产品, 其特征在于, 所述计算机程序产品包括计算机指令; 当部分或全部所述计算机指令在计算机上运行时, 使得如权利要求 1-17 任一项所述的极化码的编码方法被执行。