

控制电路以及半导体存储器

相关的交叉引用

本公开基于申请号为 202210306176.4、申请日为 2022 年 03 月 25 日、发明名称为“控制电路以及半导体存储器”的中国专利申请提出,并要求该中国专利申请的优先权,该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域,尤其涉及一种控制电路以及半导体存储器。

背景技术

随着半导体技术的不断发展,人们在制造和使用计算机等设备时,对数据的传输速度提出了越来越高的要求。为了获得更快的数据传输速度,应运而生了一系列数据可以双倍速率(Double Data Rate, DDR)传输的存储器等器件。

在动态随机存取存储器(Dynamic Random Access Memory, DRAM)中,为了省电,在进入断电(Power Down)状态时,输入缓冲模块和偏置模块都是需要断电的。

发明内容

本公开提供了一种控制电路以及半导体存储器,不仅可以保证偏置模块的稳定时间,而且还可以达到节省功耗的目的。

第一方面,本公开实施例提供了一种控制电路,该控制电路包括偏置模块,偏置模块配置为向功能模块提供偏置电流;偏置模块包括第一偏置模块和第二偏置模块,第一偏置模块配置为提供第一偏置电流,第二偏置模块配置为提供第二偏置电流;其中,第一偏置电流小于第二偏置电流,第一偏置模块配置为在上电后处于常开状态,第二偏置模块配置为接收偏置使能信号并基于偏置使能信号提供第二偏置电流。

在一些实施例中,功能模块,配置为接收激励信号并基于激励信号启动;其中,功能模块接收激励信号的时刻晚于偏置模块接收对应的偏置使能信号的时刻。

在一些实施例中,控制电路还包括使能模块;使能模块,配置为接收

电源切换信号，并基于电源切换信号输出偏置使能信号和激励信号；其中，电源切换信号表征启动功能模块。

- 5 在一些实施例中，电源切换信号包括在先的第一变化沿和在后的第二变化沿；使能模块，还配置为在第一变化沿输出偏置使能信号，以及配置为在第二变化沿输出激励信号。

在一些实施例中，第一变化沿的变化方向与第二变化沿的变化方向相反。

在一些实施例中，第一变化沿是由低电平状态转换为高电平状态，第二变化沿是由高电平状态转换为低电平状态。

- 10 在一些实施例中，使能模块，还配置为接收状态信号，并基于电源切换信号和状态信号进行逻辑运算处理，输出偏置使能信号和激励信号；其中，状态信号表征控制电路处于断电状态或者处于上电状态。

- 15 在一些实施例中，使能模块包括第一逻辑模块和第二逻辑模块；其中，第一逻辑模块，配置为接收电源切换信号和状态信号，并对电源切换信号和状态信号进行第一逻辑运算，以输出偏置使能信号；第二逻辑模块，配置为接收电源切换信号和状态信号，并对电源切换信号和状态信号进行第二逻辑运算，以输出激励信号。

- 20 在一些实施例中，第一逻辑模块包括第一或非门、第二或非门和第一非门；其中，第一或非门的一个输入端用于接收电源切换信号，第一或非门的另一个输入端与第二或非门的输出端连接，第二或非门的一个输入端与第一或非门的输出端连接，第二或非门的另一个输入端用于接收状态信号，第二或非门的输出端还与第一非门的输入端连接。

- 25 在一些实施例中，第二逻辑模块包括第二非门、第一与非门、第二与非门和第三非门；其中，第二非门的输入端用于接收状态信号，第二非门的输出端与第一与非门的一个输入端连接，第一与非门的另一个输入端与第二与非门的输出端连接，第一与非门的输出端与第二与非门的一个输入端连接，第二与非门的另一个输入端用于接收电源切换信号，第一与非门的输出端还与第三非门的输入端连接。

在一些实施例中，功能模块包括输入缓冲电路。

- 30 在一些实施例中，第一偏置模块与第二偏置模块并联，且第一偏置模块包括第一偏置电阻，第二偏置模块包括第二偏置电阻；其中，第一偏置电阻的阻值大于第二偏置电阻的阻值。

- 35 在一些实施例中，第一偏置模块还包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；其中，第一晶体管的漏极和第二晶体管的漏极均用于与电源端连接，第一晶体管的栅极和第二晶体管的栅极均用于与接地端连接，第一晶体管的源极与第三晶体管的漏极连接，第二晶体管的源极与第四晶体管的漏极连接；第三晶体管的栅极和第四晶体管的栅极均与第三晶体管的源极连接，且第三晶体管的源极通过第一偏置电阻与接地端连

接；第四晶体管的源极与功能模块连接，用于向功能模块提供第一偏置电流。

5 在一些实施例中，第二偏置模块还包括第五晶体管、第六晶体管、第七晶体管和第八晶体管；其中，第五晶体管的漏极和第六晶体管的漏极均用于与电源端连接，第五晶体管的栅极和第六晶体管的栅极均用于与偏置使能信号连接，第五晶体管的源极与第七晶体管的漏极连接，第六晶体管的源极与第八晶体管的漏极连接；第七晶体管的栅极和第八晶体管的栅极均与第七晶体管的源极连接，且第七晶体管的源极通过第二偏置电阻与接地端连接；第八晶体管的源极与功能模块连接，用于向功能模块提供第二偏置电流。

10 第二方面，本公开实施例提供了一种半导体存储器，包括如第一方面的控制电路。

本公开实施例提供了一种控制电路以及半导体存储器，该控制电路包括偏置模块，偏置模块配置为向功能模块提供偏置电流；偏置模块包括第一偏置模块和第二偏置模块，第一偏置模块配置为提供第一偏置电流，第二偏置模块配置为提供第二偏置电流；其中，第一偏置电流小于第二偏置电流，第一偏置模块配置为在上电后处于常开状态，第二偏置模块配置为接收偏置使能信号并基于偏置使能信号提供第二偏置电流。这样，通过设置第一偏置模块和第二偏置模块，而且提供较小偏置电流的第一偏置模块处于常开状态，使得该控制电路不仅可以保证偏置模块的稳定时间，避免因偏置模块的恢复时间较长而占用 tXP 时间的问题，而且还可以达到节省功耗的目的。

附图说明

- 25 图 1 为一种控制电路的组成结构示意图；
图 2 为一种控制电路的信号时序示意图；
图 3 为本公开实施例提供的一种控制电路的组成结构示意图一；
图 4 为本公开实施例提供的一种控制电路的组成结构示意图二；
图 5 为本公开实施例提供的一种控制电路的信号时序示意图；
图 6 为本公开实施例提供的一种控制电路的组成结构示意图三；
30 图 7 为本公开实施例提供的一种控制电路的详细结构示意图一；
图 8 为本公开实施例提供的一种控制电路的详细结构示意图二；
图 9 为本公开实施例提供的一种半导体存储器的组成结构示意图。

具体实施方式

35 下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于

解释相关公开，而非对该公开的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关公开相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

还需要指出，本公开实施例所涉及信号使用的高电平和低电平指的是信号的逻辑电平。信号具有高电平与其具有低电平时存在不同。例如，高电平可以对应于具有第一电压的信号，而低电平可以对应于具有第二电压的信号。在一些实施例中，第一电压大于第二电压。此外，信号的逻辑电平可以与所描述的逻辑电平不同或相反。例如，被描述为具有逻辑“高”电平的信号可以备选地具有逻辑“低”电平，并且被描述为具有逻辑“低”电平的信号可以备选地具有逻辑“高”电平。

对于半导体存储器而言，参见图 1，其示出了一种控制电路的组成结构示意图。如图 1 所示，该控制电路 10 可以包括使能模块 11、功能模块 12 和偏置模块 13。其中，使能模块 11 配置为接收电源切换信号，并根据电源切换信号输出偏置使能信号和激励信号；功能模块 12 与使能模块 11 连接，配置为接收激励信号以启动该功能模块 12；偏置模块 13 与使能模块 11 连接，配置为接收偏置使能信号以启动该偏置模块 13；另外，偏置模块 13 还与功能模块 12 连接，配置为向功能模块 12 提供偏置电流。

在本公开实施例中，电源切换信号可以用 CS 表示，偏置使能信号可以用 EnIBBias 表示，激励信号可以用 EnIB 表示。其中，CS 信号用于表征控制电路 10 由断电状态切换至上电状态，以便启动功能模块 12 和偏置模块 13；而 EnIB 信号则是提供给功能模块 12 的使能信号，用于启动功能模块 12，EnIBBias 信号则是提供给偏置模块 13 的使能信号，用于启动偏置模块 13。

基于图 1 所示的控制电路 10，图 2 示出了一种控制电路 10 对应的信号时序示意图。如图 2 所示，控制电路 10 可以包括断电状态（Power Down State）和上电状态（Power on State）。其中，CS 信号为高电平有效的脉冲信号；在 CS 信号的第一变化沿（即由低电平状态转换为高电平状态时），控制电路 10 处于断电状态但开始进行状态切换，并在 CS 信号的第二变化沿（即由高电平状态转换为低电平状态时），控制电路 10 进入上电状态。

同时在 CS 信号的第二变化沿, EnIB 信号和 EnIBBias 信号也处于使能状态 (即由低电平状态转换为高电平状态), 意味着启动功能模块 12 和偏置模块 13。

也就是说, 在断电状态的情况下, 为了省电, 功能模块 12 和偏置模块 13 是掉电的。而在退出断电状态 (即 CS 信号的第二变化沿) 时, 需要启动功能模块 12 和偏置模块 13。但是相比功能模块 12 而言, 偏置模块 13 的恢复 (Recovery) 时间比较长, 不仅会占用 tXP 时间, 而且由于 Recovery 时间较长, 还可能造成功耗浪费; 其中, tXP 时间表示退出断电到下一个信号的延迟 (Exit power down to next one command delay) 时间。

基于此, 本公开实施例提供了一种控制电路, 通过设置第一偏置模块和第二偏置模块, 而且提供较小偏置电流的第一偏置模块处于常开状态, 使得该控制电路不仅可以保证偏置模块的稳定时间, 避免因偏置模块的恢复时间较长而占用 tXP 时间的问题, 而且还可以达到节省功耗的目的。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中, 参见图 3, 其示出了本公开实施例提供的一种控制电路的组成结构示意图。如图 3 所示, 该控制电路 30 可以包括偏置模块 31, 偏置模块 31 配置为向功能模块 32 提供偏置电流;

偏置模块 31 包括第一偏置模块 311 和第二偏置模块 312, 第一偏置模块 311 配置为提供第一偏置电流, 第二偏置模块 312 配置为提供第二偏置电流; 其中, 第一偏置电流小于第二偏置电流, 第一偏置模块 311 配置为在上电后处于常开状态, 第二偏置模块 312 配置为接收偏置使能信号并基于偏置使能信号提供第二偏置电流。

需要说明的是, 在本公开实施例中, 该控制电路 30 可以应用于多种电路场景中, 尤其是应用于低功耗 (Low Power, LP) 下 DDR5 存储器的省电控制电路场景, 但是并不构成相关限定。

还需要说明的是, 在本公开实施例中, 第一偏置模块 311 和第二偏置模块 312 并联。其中, 第一偏置模块 311 也可以称为低功耗 (Low power) 偏置模块, 该偏置模块处于常开状态, 即在相关联的功能模块不工作的情况下不掉电, 或者说只要包含该电路的设备 (例如存储器) 处于上电状态, 第一偏置模块 311 就不会掉电; 第二偏置模块 312 也可以称为正常 (Normal) 偏置模块, 该偏置模块在相关联的功能模块处于断电状态不工作时会掉电。这样, 在接收到偏置使能信号来启动第二偏置模块 312 时, 可以减小整个偏置模块的 Recovery 时间, 以节省偏置模块的稳定时间 (Settle time), 稳定时间指的是偏置模块达到目标稳定状态所需要的时间。在一些实施例中, 功能模块 32, 配置为接收激励信号并基于激励信号启动; 其中, 功能模块 32 接收激励信号的時刻晚于偏置模块 31 接收对应的偏置使能信号的時刻。在本公开实施例中, 功能模块 12 可以为输入缓冲电路, 例如命令地址

(Command Address, CA)/时钟(Clock, Clk)输入缓冲电路。

在本公开实施例中,激励信号可以用 EnIB 表示,偏置使能信号可以用 EnIBBias 表示。其中,偏置使能信号用于启动偏置模块 31(具体是第二偏置模块 312),激励信号用于启动功能模块 32。

- 5 由于在退出断电状态之后,偏置模块 31 需要经过一定恢复时间后才会使能启动,而只有偏置模块的使能启动与功能模块的使能启动保持一致,才不会造成功耗损失;也就是说,偏置模块 31 恢复完成的时刻最好需要与功能模块使能启动的时刻保持一致。因此,为了不造成功耗浪费,功能模块接收激励信号的時刻需要晚于偏置模块接收对应的偏置使能信号的時刻,以便给偏置模块预留一定的 recovery 时间。

10 在一些实施例中,在图 3 所示控制电路 30 的基础上,参见图 4,控制电路 30 还可以包括使能模块 33;其中,

使能模块 33,配置为接收电源切换信号,并基于电源切换信号输出偏置使能信号和激励信号;其中,电源切换信号表征启动功能模块。

- 15 在本公开实施例中,电源切换信号可以用 CS 表示,CS 信号为脉冲信号,且在技术规格定义中,脉冲宽度最少为 3 纳秒。另外,CS 信号还用于表征控制电路 10 由断电状态切换至上电状态,以便在上电之后能够启动功能模块 32。

- 20 进一步地,由于电源切换信号为脉冲信号,因此,在一些实施例中,电源切换信号可以包括在前的第一变化沿和在后的第二变化沿;

使能模块 33,还配置为在第一变化沿输出偏置使能信号,以及配置为在第二变化沿输出激励信号。

- 25 在本公开实施例中,偏置使能信号进入使能状态的時刻需要早于激励信号进入使能状态的時刻,这样可以在使能激励信号之前为偏置模块预留 recovery 时间。示例性地,使能模块 33 可以在第一变化沿输出偏置使能信号,在第二变化沿输出激励信号,从而使得给偏置模块的 Settle 时间增加了 CS 信号的脉冲时间,可以避免占用 tXP 时间。

- 30 在一些实施例中,第一变化沿的变化方向与第二变化沿的变化方向相反;在其他实施例中,第一变化沿和第二变化沿可以是先后传输的不同脉冲信号的上升沿或下降沿。

在一些实施例中,第一变化沿可以是由低电平状态转换为高电平状态,第二变化沿可以是由高电平状态转换为低电平状态。

- 35 需要说明的是,如果 CS 信号为低电平有效的脉冲信号,那么第一变化沿可以是由高电平状态转换为低电平状态,第二变化沿可以是由低电平状态转换为高电平状态;或者,如果 CS 信号为高电平有效的脉冲信号,那么第一变化沿可以是由低电平状态转换为高电平状态,第二变化沿可以是由高电平状态转换为低电平状态,本公开实施例对此不作任何限定。

示例性地,图 5 为本公开实施例提供的一种信号时序示意图。如图 5

所示，控制电路 30 也可以包括断电状态和上电状态；然后在 CS 信号的第一变化沿输出 EnIBBias 信号，在 CS 信号的第二变化沿输出 EnIB 信号，以使得 EnIBBias 处于使能状态的时刻早于 EnIB 信号处于使能状态的时刻。

需要说明的是，CS 信号的第一变化沿处于断电状态的时段，CS 信号的第二变化沿处于上电状态的时段。虽然 CS 信号的第一变化沿处于断电状态的时段，但是由于存在信号延迟，使得第二偏置模块 312 的启动可以在断电状态和上电状态的切换点处启动，以使得第二偏置模块 312 的启动最终是处于上电状态的时段内。由于功能模块是在上电状态下接收使能信号并进入使能状态，因此，为功能模块 32 提供 EnIB 信号的时刻晚于为第二偏置模块 312 提供 EnIBBias 信号的时刻，即为偏置模块（具体是第二偏置模块）预留 recovery 时间，有利于在保证偏置模块的 Settle 时间情况下避免功能模块 32 无法正常工作，从而节省功耗。

在一些实施例中，使能模块 33，还配置为接收状态信号，并基于电源切换信号和状态信号进行逻辑运算处理，输出偏置使能信号和激励信号；其中，状态信号表征控制电路处于断电状态或者处于上电状态。

需要说明的是，状态信号可以用 PowerDn 表示。其中，PowerDn 信号为高电平状态时，用于表征控制电路 30 处于断电状态；PowerDn 信号为低电平状态时，用于表征控制电路 30 处于上电状态。

在一些实施例中，对于使能模块 33 而言，参见图 6，使能模块 33 可以包括第一逻辑模块 331 和第二逻辑模块 332；其中，

第一逻辑模块 331，配置为接收电源切换信号和状态信号，并对电源切换信号和状态信号进行第一逻辑运算，以输出偏置使能信号；

第二逻辑模块 332，配置为接收电源切换信号和状态信号，并对电源切换信号和状态信号进行第二逻辑运算，以输出激励信号。

在这里，第一逻辑模块 331 的输入为 CS 信号和 PowerDn 信号，输出为 EnIBBias 信号；第二逻辑模块 332 的输入为 CS 信号和 PowerDn 信号，输出为 EnIB 信号。

在一些实施例中，对于第一逻辑模块 331 而言，在图 6 中，第一逻辑模块 331 可以包括第一或非门 a、第二或非门 b 和第一非门 c；其中，

第一或非门 a 的一个输入端用于接收电源切换信号，第一或非门 a 的另一个输入端与第二或非门 b 的输出端连接，第二或非门 b 的一个输入端与第一或非门 a 的输出端连接，第二或非门 b 的另一个输入端用于接收状态信号，第二或非门 b 的输出端还与第一非门 c 的输入端连接。

在本公开实施例中，第一非门 c 的输出端用于输出偏置使能信号。在这里，当电源切换信号由第一电平状态切换到第二电平状态，且状态信号处于第二电平状态时，通过第一逻辑模块 331 输出的偏置使能信号处于第二电平状态；或者，当电源切换信号由第二电平状态切换到第一电平状态，且状态信号处于第一电平状态时，通过第一逻辑模块 331 输出的偏置使能

信号处于第二电平状态。

在一种具体的实施例中，第一电平状态为低电平状态，第二电平状态为高电平状态。这样，当 CS 信号由低电平状态转换到高电平状态，且 PowerDn 信号处于高电平状态时，这时候的 EnIBBias 信号从低电平状态转换到高电平状态；或者，当 CS 信号由高电平状态切换到低电平状态，且 PowerDn 信号处于低电平状态时，这时候的 EnIBBias 信号仍保持高电平状态。其中，EnIBBias 信号为高电平状态，意味着 EnIBBias 信号处于使能状态。也就是说，在 CS 信号的上升沿时刻（即由低电平状态转换到高电平状态的时刻），EnIBBias 信号就处于使能状态。

10 在一些实施例中，对于第二逻辑模块 332 而言，在图 6 中，第二逻辑模块 332 可以包括第二非门 d、第一与非门 e、第二与非门 f 和第三非门 g；其中，

第二非门 d 的输入端用于接收状态信号，第二非门 d 的输出端与第一与非门 e 的一个输入端连接，第一与非门 e 的另一个输入端与第二与非门 f 的输出端连接，第一与非门 e 的输出端与第二与非门 f 的一个输入端连接，第二与非门 f 的另一个输入端用于接收电源切换信号，第一与非门 e 的输出端还与第三非门 g 的输入端连接。

在本公开实施例中，第三非门 g 的输出端用于输出激励信号。在这里，当电源切换信号由第一电平状态切换到第二电平状态，且状态信号处于第二电平状态时，通过第二逻辑模块 332 输出的激励信号处于第一电平状态；或者，当电源切换信号由第二电平状态切换到第一电平状态，且状态信号处于第一电平状态时，通过第二逻辑模块 332 输出的激励信号处于第二电平状态。

在一种具体的实施例中，第一电平状态为低电平状态，第二电平状态为高电平状态。这样，当 CS 信号由低电平状态转换到高电平状态，且 PowerDn 信号处于高电平状态时，这时候的 EnIB 信号保持低电平状态；或者，当 CS 信号由高电平状态切换到低电平状态，且 PowerDn 信号处于低电平状态时，这时候的 EnIB 信号由低电平状态切换到高电平状态。其中，EnIB 信号为高电平状态，意味着 EnIB 信号处于使能状态。也就是说，在 CS 信号的下降沿时刻（即由高电平状态切换到低电平状态的时刻），EnIB 信号才处于使能状态，也即 EnIB 信号处于使能状态的时刻晚于 EnIBBias 信号处于使能状态的时刻。

可以理解地，对于第一偏置模块 311 和第二偏置模块 312 而言，图 7 为本公开实施例提供的一种控制电路 30 的详细结构示意图。如图 7 所示，在控制电路 30 中，第一偏置模块 311 与第二偏置模块 312 并联，而且第一偏置模块 311 可以包括第一偏置电阻 MR1，第二偏置模块 312 可以包括第二偏置电阻 MR2；其中，第一偏置电阻 MR1 的阻值大于第二偏置电阻 MR2 的阻值。

需要说明的是，在本公开实施例中，第一偏置电阻 MR1 内可以包含多个子偏置电阻，第二偏置电阻 MR2 的数量内也可以包含多个子偏置电阻，即第一偏置电阻 MR1 中多个子偏置电阻的等效阻值需要大于第二偏置电阻 MR2 中多个子偏置电阻的等效阻值。

- 5 还需要说明的是，在本公开实施例中，假定每一个子偏置电阻的阻值相同，且不同子偏置电阻之间是串联关系，那么第一偏置电阻 MR1 中包括的子偏置电阻的数量多于第二偏置电阻 MR2 中包括的子偏置电阻的数量。

进一步地，第一偏置模块 311 除了包括第一偏置电阻之外，还可以包括四个晶体管。在一些实施例中，如图 7 所示，第一偏置模块 311 还可以
10 包括第一晶体管 MP1、第二晶体管 MP2、第三晶体管 MP3 和第四晶体管 MP4；其中，

第一晶体管 MP1 的漏极和第二晶体管 MP2 的漏极均用于与电源端连接；

- 15 第一晶体管 MP1 的栅极和第二晶体管 MP2 的栅极均用于与接地端连接；

第一晶体管 MP1 的源极与第三晶体管 MP3 的漏极连接，第二晶体管 MP2 的源极与第四晶体管 MP4 的漏极连接；

- 20 第三晶体管 MP3 的栅极和第四晶体管 MP4 的栅极均与第三晶体管 MP3 的源极连接，且第三晶体管 MP3 的源极通过第一偏置电阻 MR1 与接地端连接；

第四晶体管 MP4 的源极与功能模块 32 连接，用于向功能模块 32 提供第一偏置电流。

- 25 进一步地，第二偏置模块 312 除了包括第二偏置电阻之外，也还可以包括四个晶体管。在一些实施例中，如图 7 所示，在一些实施例中，第二偏置模块 312 还可以包括第五晶体管 MP5、第六晶体管 MP6、第七晶体管 MP7 和第八晶体管 MP8；其中，

第五晶体管 MP5 的漏极和第六晶体管 MP6 的漏极均用于与电源端连接；

- 30 第五晶体管 MP5 的栅极和第六晶体管 MP6 的栅极均用于与偏置使能信号连接；

第五晶体管 MP5 的源极与第七晶体管 MP7 的漏极连接，第六晶体管 MP6 的源极与第八晶体管 MP8 的漏极连接；

- 35 第七晶体管 MP7 的栅极和第八晶体管 MP8 的栅极均与第七晶体管 MP7 的源极连接，且第七晶体管 MP7 的源极通过第二偏置电阻 MR2 与接地端连接；

第八晶体管 MP8 的源极与功能模块 32 连接，用于向功能模块 32 提供第二偏置电流。

需要说明的是，在本公开实施例中，第一晶体管 MP1、第二晶体管 MP2、

第三晶体管 MP3、第四晶体管 MP4、第五晶体管 MP5、第六晶体管 MP6、第七晶体管 MP7、第八晶体管 MP8 均为 PMOS 管。

另外，在图 7 中，电源端用 VCC 表示，接地端用 VSS 表示。在这里，第一晶体管 MP1 的栅极和第二晶体管 MP2 的栅极的输入信号为 VSS 信号，使得这两个晶体管处于常开状态；而第三晶体管 MP3 的栅极和第四晶体管 MP4 的栅极的输入信号用 BiasN 表示，BiasN 信号是经由第一偏置电阻 MR1 与接地端连接生成的，用于控制第三晶体管 MP3 和第四晶体管 MP4 的导通状态，以便向功能模块 32 提供第一偏置电流。另外，第五晶体管 MP5 的栅极和第六晶体管 MP6 的栅极的输入信号为 EnIBBias 信号，以便根据 EnIBBias 信号控制第五晶体管 MP5 和第六晶体管 MP6 的导通状态；而第七晶体管 MP7 的栅极和第八晶体管 MP8 的栅极的输入信号是经由第二偏置电阻 MR2 与接地端连接生成的，用于控制第七晶体管 MP7 和第八晶体管 MP8 的导通状态，以便向功能模块 32 提供第二偏置电流。

还需要说明的是，在本公开实施例中，如图 7 所示，第二偏置模块 312 还可以包括第九晶体管 MP9。其中，第九晶体管 MP9 的漏极用于与电源端连接，第九晶体管 MP9 的栅极用于与偏置使能信号连接，第九晶体管 MP9 的源极与功能模块 32 连接，用于向功能模块 32 提供电源电压。

还可以理解地，在本公开实施例中，对于功能模块 32 而言，该功能模块 32 可以包括输入缓冲电路。这样，在一种具体的实施例中，当控制电路 30 处于上电状态时，通过第一偏置模块 311 可以为输入缓冲电路提供第一偏置电流，通过第二偏置模块 312 可以为输入缓冲电路提供第二偏置电流，而且第一偏置电流小于第二偏置电流。

本实施例提供了一种控制电路，该控制电路包括偏置模块，偏置模块配置为向功能模块提供偏置电流；偏置模块包括第一偏置模块和第二偏置模块，第一偏置模块配置为提供第一偏置电流，第二偏置模块配置为提供第二偏置电流；其中，第一偏置电流小于第二偏置电流，第一偏置模块配置为在上电后处于常开状态，第二偏置模块配置为接收偏置使能信号并基于偏置使能信号提供第二偏置电流。这样，通过设置第一偏置模块和第二偏置模块，而且提供较小偏置电流的第一偏置模块处于常开状态，使得该控制电路不仅可以保证偏置模块的稳定时间，避免因偏置模块的恢复时间较长而占用 tXP 时间的问题，而且还可以达到节省功耗的目的。

在本公开的另一实施例中，图 8 为本公开实施例提供的另一种控制电路 30 的详细结构示意图。如图 8 所示，该控制电路 30 可以包括第一电阻 R1、第二电阻 R2、第三电阻 R3、第四电阻 R4、第五电阻 R5、第六电阻 R6、第一晶体管 MP1、第二晶体管 MP2、第三晶体管 MP3、第四晶体管 MP4、第五晶体管 MP5、第六晶体管 MP6、第七晶体管 MP7、第八晶体管 MP8、第九晶体管 MP9、第十晶体管 MP10、第十一晶体管 MN1、第十二

晶体管 MN2、第十三晶体管 MP11、第十四晶体管 MP12、第十五晶体管 MN3、第十六晶体管 MN4。

其中，第一晶体管 MP1、第二晶体管 MP2、第三晶体管 MP3、第四晶体管 MP4、第五晶体管 MP5、第六晶体管 MP6、第七晶体管 MP7、第八晶体管 MP8、第九晶体管 MP9、第十晶体管 MP10、第十三晶体管 MP11、第十四晶体管 MP12 为 PMOS 管，第十一晶体管 MN1、第十二晶体管 MN2、第十五晶体管 MN3、第十六晶体管 MN4 则为 NMOS 管。

需要说明的是，在图 8 中，第一电阻 R1、第二电阻 R2、第三电阻 R3、第四电阻 R4、第五电阻 R5 与第一晶体管 MP1、第二晶体管 MP2、第三晶体管 MP3、第四晶体管 MP4 组成第一偏置模块，第六电阻 R6 与第五晶体管 MP5、第六晶体管 MP6、第七晶体管 MP7、第八晶体管 MP8 组成第二偏置模块。在第一偏置模块中，第一电阻 R1、第二电阻 R2、第三电阻 R3、第四电阻 R4、第五电阻 R5 串联形成第一偏置电阻；在第二偏置模块中，第六电阻 R6 形成第二偏置电阻。

还需要说明的是，在图 8 中，功能模块以输入缓冲电路为例，第十晶体管 MP10、第十一晶体管 MN1、第十二晶体管 MN2、第十三晶体管 MP11、第十四晶体管 MP12、第十五晶体管 MN3、第十六晶体管 MN4 组成输入缓冲电路。在输入缓冲电路中，第十三晶体管 MP11 的漏极与第四晶体管 MP4 的源极连接，用于接收第一偏置电流；第十四晶体管 MP12 的漏极与第八晶体管 MP8 的源极连接，用于接收第二偏置电流；第十三晶体管 MP11 的栅极用于接收命令地址信号（用 CA 表示），第十四晶体管 MP12 的栅极用于接收参考信号（用 Vref 表示），第十三晶体管 MP11 的源极与第十五晶体管 MN3 的漏极连接，而且还与第十五晶体管 MN3 的栅极、第十六晶体管 MN4 的栅极连接，第十四晶体管 MP12 的源极与第十六晶体管 MN4 的漏极连接，用于输出阶段输出信号（用 StgOut 表示）；第十五晶体管 MN3 的源极、第十六晶体管 MN4 的源极均与接地端连接；另外，第十晶体管 MP10 的漏极与第九晶体管 MP9 的源极连接，用于接收电源电压；第十晶体管 MP10 的栅极、第十一晶体管 MN1 的栅极均与第十四晶体管 MP12 的源极连接，用于接收 StgOut 信号；第十晶体管 MP10 的源极与第十一晶体管 MN1 的漏极连接，用于输出命令地址输出信号（用 CAOUT 表示）；第十一晶体管 MN1 的源极与第十二晶体管 MN2 的漏极连接，第十二晶体管 MN2 的栅极用于接收激励信号（用 EnIB 表示），第十二晶体管 MN2 的源极与接地端连接。

在一种具体的实施例中，在实现 LPDDR5 的省电控制电路中，可以使用：

（1）第一偏置模块与第二偏置模块并联，而且其中一个 is 低功耗偏置模块，永远不掉电；另外一个 is 正常偏置模块，在断电状态下会掉电；这样，通过设置第一偏置模块和第二偏置模块，可以节省偏置模块的 settle 时

间。

(2) 本公开实施例的技术方案是在 CS 信号的上升沿使能偏置模块，在 CS 信号的下降沿使能功能模块（例如，输入缓冲电路），这样，可以给偏置模块的 Settle 时间增加一个 CS 信号的脉冲时间（技术规格定义中，该脉冲时间最少为 3 纳秒），从而在保证偏置模块的 Settle 时间情况下可以进一步省电。

基于此，本公开实施例提供了一种控制电路，通过本实施例对前述实施例的具体实现进行详细阐述，从中可以看出，通过设置第一偏置模块和第二偏置模块，而且提供较小偏置电流的第一偏置模块处于常开状态；同时基于输入缓冲电路与偏置模块的使能信号时序控制，使得该控制电路不仅可以保证偏置模块的 Settle 时间，而且还可以达到节省功耗的目的。

在本公开的又一实施例中，参见图 9，其示出了本公开实施例提供的一种半导体存储器 90 的组成结构示意图。如图 9 所示，半导体存储器 90 可以包括前述实施例任一项所述的控制电路 30。

在本公开实施例中，半导体存储器 90 可以为 DRAM 芯片。

进一步地，在一些实施例中，DRAM 芯片符合 DDR5 内存规格。

需要说明的是，本公开实施例涉及半导体集成电路设计，特别涉及模拟电路。具体而言，这里主要是提供一种能够实现 LPDDR5 的省电控制电路设计。

还需要说明的是，在本公开实施例中，对于半导体存储器 90 而言，通过在控制电路中设置第一偏置模块和第二偏置模块，而且提供较小偏置电流的第一偏置模块处于常开状态；同时基于输入缓冲电路与偏置模块的使能信号时序控制，使得该控制电路不仅可以保证偏置模块的稳定时间，避免因偏置模块的恢复时间较长而占用 tXP 时间的问题，而且还可以达到节省功耗的目的。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。

需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

本公开所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

- 5 以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求要求的保护范围为准。

工业实用性

- 10 本公开实施例提供了一种控制电路以及半导体存储器，该控制电路包括偏置模块，偏置模块配置为向功能模块提供偏置电流；偏置模块包括第一偏置模块和第二偏置模块，第一偏置模块配置为提供第一偏置电流，第二偏置模块配置为提供第二偏置电流；其中，第一偏置电流小于第二偏置电流，第一偏置模块配置为在上电后处于常开状态，第二偏置模块配置为接收偏置使能信号并基于偏置使能信号提供第二偏置电流。这样，通过设置第一偏置模块和第二偏置模块，而且提供较小偏置电流的第一偏置模块处于常开状态，使得该控制电路不仅可以保证偏置模块的稳定时间，避免因偏置模块的恢复时间较长而占用 tXP 时间的问题，而且还可以达到节省功耗的目的。
- 15

权利要求书

1、一种控制电路，所述控制电路包括偏置模块，所述偏置模块配置为向功能模块提供偏置电流；

5 所述偏置模块包括第一偏置模块和第二偏置模块，所述第一偏置模块配置为提供第一偏置电流，所述第二偏置模块配置为提供第二偏置电流；其中，所述第一偏置电流小于所述第二偏置电流，所述第一偏置模块配置为在上电后处于常开状态，所述第二偏置模块配置为接收偏置使能信号并基于所述偏置使能信号提供所述第二偏置电流。

2、根据权利要求1所述的控制电路，其中，
10 所述功能模块，配置为接收激励信号并基于所述激励信号启动；其中，所述功能模块接收所述激励信号的時刻晚于所述偏置模块接收对应的所述偏置使能信号的時刻。

3、根据权利要求2所述的控制电路，其中，所述控制电路还包括使能模块；
15 所述使能模块，配置为接收电源切换信号，并基于所述电源切换信号输出所述偏置使能信号和所述激励信号；其中，所述电源切换信号表征启动所述功能模块。

4、根据权利要求3所述的控制电路，其中，所述电源切换信号包括在先的第一变化沿和在后的第二变化沿；
20 所述使能模块，还配置为在所述第一变化沿输出所述偏置使能信号，以及配置为在所述第二变化沿输出所述激励信号。

5、根据权利要求4所述的控制电路，其中，所述第一变化沿的变化方向与所述第二变化沿的变化方向相反。

6、根据权利要求4所述的控制电路，其中，所述第一变化沿是由低电平状态转换为高电平状态，所述第二变化沿是由高电平状态转换为低电平状态。
25

7、根据权利要求3所述的控制电路，其中，
所述使能模块，还配置为接收状态信号，并基于所述电源切换信号和所述状态信号进行逻辑运算处理，输出所述偏置使能信号和所述激励信号；
30 其中，所述状态信号表征所述控制电路处于断电状态或者处于上电状态。

8、根据权利要求7所述的控制电路，其中，所述使能模块包括第一逻辑模块和第二逻辑模块；其中，

所述第一逻辑模块，配置为接收所述电源切换信号和所述状态信号，并对所述电源切换信号和所述状态信号进行第一逻辑运算，以输出所述偏置使能信号；
35

所述第二逻辑模块，配置为接收所述电源切换信号和所述状态信号，并对所述电源切换信号和所述状态信号进行第二逻辑运算，以输出所述激励信号。

9、根据权利要求 8 所述的控制电路，其中，所述第一逻辑模块包括第一或非门、第二或非门和第一非门；其中，

5 所述第一或非门的一个输入端用于接收所述电源切换信号，所述第一或非门的另一个输入端与所述第二或非门的输出端连接，所述第二或非门的一个输入端与所述第一或非门的输出端连接，所述第二或非门的另一个输入端用于接收所述状态信号，所述第二或非门的输出端还与所述第一非门的输入端连接。

10、根据权利要求 8 所述的控制电路，其中，所述第二逻辑模块包括第二非门、第一与非门、第二与非门和第三非门；其中，

10 所述第二非门的输入端用于接收所述状态信号，所述第二非门的输出端与所述第一与非门的一个输入端连接，所述第一与非门的另一个输入端与所述第二与非门的输出端连接，所述第一与非门的输出端与所述第二与非门的一个输入端连接，所述第二与非门的另一个输入端用于接收所述电源切换信号，所述第一与非门的输出端还与第三非门的输入端连接。

15 11、根据权利要求 1 至 10 任一项所述的控制电路，其中，所述功能模块包括输入缓冲电路。

12、根据权利要求 1 至 10 任一项所述的控制电路，其中，所述第一偏置模块与所述第二偏置模块并联，且所述第一偏置模块包括第一偏置电阻，所述第二偏置模块包括第二偏置电阻；

20 其中，所述第一偏置电阻的阻值大于所述第二偏置电阻的阻值。

13、根据权利要求 12 所述的控制电路，其中，所述第一偏置模块还包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；其中，

所述第一晶体管的漏极和所述第二晶体管的漏极均用于与电源端连接；

25 所述第一晶体管的栅极和所述第二晶体管的栅极均用于与接地端连接；

所述第一晶体管的源极与所述第三晶体管的漏极连接，所述第二晶体管的源极与所述第四晶体管的漏极连接；

30 所述第三晶体管的栅极和所述第四晶体管的栅极均与所述第三晶体管的源极连接，且所述第三晶体管的源极通过所述第一偏置电阻与接地端连接；

所述第四晶体管的源极与所述功能模块连接，用于向所述功能模块提供所述第一偏置电流。

14、根据权利要求 12 所述的控制电路，其中，所述第二偏置模块还包括第五晶体管、第六晶体管、第七晶体管和第八晶体管；其中，

35 所述第五晶体管的漏极和所述第六晶体管的漏极均用于与电源端连接；

所述第五晶体管的栅极和所述第六晶体管的栅极均用于与所述偏置使

能信号连接;

所述第五晶体管的源极与所述第七晶体管的漏极连接, 所述第六晶体管的源极与所述第八晶体管的漏极连接;

5 所述第七晶体管的栅极和所述第八晶体管的栅极均与所述第七晶体管的源极连接, 且所述第七晶体管的源极通过所述第二偏置电阻与接地端连接;

所述第八晶体管的源极与所述功能模块连接, 用于向所述功能模块提供所述第二偏置电流。

10 15、一种半导体存储器, 包括如权利要求 1 至 14 任一项所述的控制电路。