

半导体结构及其制作方法、存储器

5 本公开要求于 2022 年 03 月 23 日提交中国专利局、申请号为 202210289743. X、申请名称为“半导体结构及其制作方法、存储器”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法、存储器。

10 背景技术

随着半导体技术的发展，存储器，尤其是动态随机存储器(Dynamic Random Access Memory，简称 DRAM)因其具有较高的存储密度以及较快的读写速度被广泛地应用在各种电子设备中。

15 动态随机存储器通常包括多个存储单元，每个存储单元包括晶体管和电容器，晶体管的栅极与动态随机存储器的字线(Word Line，简称 WL)电连接，通过字线上的电压控制晶体管的开启和关闭；晶体管的源极/漏极与位线(Bit Line，简称 BL)电连接，漏极/源极与电容器电连接，通过位线对数据信息进行输出。

为了进一步减小存储器的尺寸，提高其存储密度，通常将电容器水平放置，以便于制作具有更大长细比的电容器，然而，上述存储器的制作难度较大。

20

发明内容

鉴于上述问题，本公开实施例提供一种半导体结构及其制作方法、存储器，用于降低半导体结构的制作难度。

25 根据一些实施例，本公开第一方面提供一种半导体结构，其包括：衬底和位于所述衬底上方的导电结构；所述导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构和第二导电结构，多个所述第一导电结构的长度和多个所述第二导电结构的长度均呈阶梯变化。

本公开实施例提供的半导体结构至少具有如下优点：

30 本公开实施例提供的半导体结构中，在衬底上方设置多个第一导电结构和多个第二导电结构，多个第一导电结构和多个第二导电结构均沿第一方向延伸，且多个第一导电结构之间、多个第二导电结构之间，以及第一导电结构和第二导电之间均间隔设置，以使其绝缘隔离。多个第一导电结构的长度和多个第二导电结构的长度均呈阶梯变化，第一导电结构和第二导电结构形成字线，字线易于制作且便于引出，便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

根据一些实施例，本公开第二方面提供一种存储器，其包括：衬底，所述衬底包括器件区；器件层，位于所述器件区上方，所述器件层包括多个间隔设置的沟道结构；字线结构，所述字线结构包括多个间隔设置且沿第一方向延伸的字线，多个所述字线的长度呈阶梯变化；位线结构，所述位线结构包括多个间隔设置且沿第二方向延伸的位线；其中，所述字线贯穿所述器件层，且包围所述沟道结构，所述位线贯穿所述器件层，且与所述沟道结构电性连接，所述沟道结构还与存储节点电性连接。

本公开实施例提供的存储器至少具有如下优点：

本公开实施例提供的存储器中，衬底的器件区上方设置有器件层，器件层包括多个间隔设置的沟道结构，多条位线间隔设置且沿第二方向延伸，位线贯穿器件层，且与沟道结构电性连接，沟道结构还与存储节点电性连接；多条字线间隔设置且沿第一方向延伸，其长度呈阶梯变化，字线贯穿器件层，并与沟道结构电性连接。通过形成呈阶梯变化的字线从而将字线引出，便于制作字线，也便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

根据一些实施例，本公开第三方面提供一种半导体结构的制作方法，其包括：提供衬底；

在所述衬底上方形成导电结构，所述导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构和第二导电结构，多个所述第一导电结构的长度和多个所述第二导电结构的长度均呈阶梯变化。

本公开实施例提供的半导体结构的制作方法至少具有如下优点：

本公开实施例提供的半导体结构的制作方法中，通过在衬底上方形成导电结构，导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构和第二导电结构，多个第一导电结构的长度和多个第二导电结构的长度均呈阶梯变化，第一导电结构和第二导电结构形成字线，字线易于制作且便于引出，以便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

25

附图说明

- 图 1 为本公开一实施例中的半导体结构的结构示意图；
- 图 2 为本公开一实施例中的存储器的架构图；
- 图 3 为本公开一实施例中的半导体结构的制作方法的流程图；
- 图 4 为本公开一实施例中的形成第一叠层结构、第二叠层结构和第三叠层结构后的结构示意图；
- 图 5 为本公开一实施例中的形成第一沟槽后的结构示意图；
- 图 6 为本公开一实施例中的形成沟道结构后的结构示意图；
- 图 7 为本公开一实施例中的去除部分第一有源层和部分第二有源层后的结构示意图；
- 图 8 为本公开一实施例中的形成第一导电结构和第二导电结构后的结构示意图。

具体实施方式

在相关技术中，为了进一步增加存储器的存储容量，通常将电容器水平放置，即电容器的延伸方向与衬底平行，以便于电容器的制作。当电容器水平放置时，与之相适应的位线结构和字线结构均需要重新布局，存储器的制作难度较大。

- 5 有鉴于此，本公开提供了一种半导体结构及其制作方法、存储器，通过在衬底上方设置多个第一导电结构和多个第二导电结构，且多个第一导电结构的长度和多个第二导电结构的长度均呈阶梯变化，第一导电结构和第二导电结构形成字线，字线易于制作且便于引出，便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

- 10 为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

- 15 参阅图 1，本公开实施例第一方面提供一种半导体结构，该半导体结构包括：衬底 10，以及位于衬底 10 上方的导电结构。其中，衬底 10 的材质可以为半导体，例如，衬底 10 的材质可以为单晶硅、多晶硅、无定型硅、锗、碳化硅、锗化硅、绝缘体上锗（Germanium on Insulator，简称 GOI）或者绝缘体上硅（Silicon on Insulator，简称 SOI）等，或者本领域技术人员已知的其他材料。

- 20 继续参阅图 1，导电结构包括间隔设置的多个第一导电结构 50 和多个第二导电结构 60，多个第一导电结构 50 和多个第二导电结构 60 均沿第一方向延伸，且多个第一导电结构 50 的长度和多个第二导电结构 60 的长度均呈阶梯变化。

- 25 上述“间隔设置的多个第一导电结构 50 和多个第二导电结构 60”是指：多个第一导电结构 50 和多个第二导电结构 60 沿第二方向堆叠设置，且多个第一导电结构 50 间隔设置，多个第二导电结构 60 间隔设置，第一导电结构 50 与第二导电结构 60 之间间隔设置，以保证各第一导电结构 50 和各第二导电结构 60 的绝缘隔离。第二方向可以与第一方向交叉，优选的，第二方向与第一方向垂直，以使多个第一导电结构 50 和多个第二导电结构 60 排布更加紧凑。示例性的，第一方向为平行于衬底 10 的方向（图 1 所示 X 方向），第二方向为垂直于衬底 10 的方向（图 1 所示 Y 方向）。

- 30 如此设置，多个第一导电结构 50 的长度和多个第二导电结构 60 的长度均呈阶梯变化，第一导电结构 50 和第二导电结构 60 形成字线，使得各字线均具有引出端，字线易于制作且便于引出，便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

- 35 具体的，多个第一导电结构 50 和多个第二导电结构 60 在衬底 10 的正投影具有部分重合区，至少一个第一导电结构 50 位于多个第二导电结构 60 之间，或者至少一个第二导电结构 60 位于多个第一导电结构 50 之间，以实现多个第一导电结构 50 和多个第二导电结构 60 堆叠设置。这样排布，可以充分利用衬底 10 上方的空间，第一导电结构 50 和第二导电结构 60 的引出端分布较为均匀。

优选的，多个第一导电结构 50 和多个第二导电结构 60 沿第二方向依次交替间隔设置。也就是说，每相邻的两个第一导电结构 50 之间设置有一个第二导电结构 60，

或者，每相邻的两个第二导电结构 60 之间设置有一个第一导电结构 50。如此设置，沿第二方向，相邻两个第一导电结构 50 之间的距离与相邻两个第二导电结构 60 之间的距离大致相等，第一导电结构 50 的引出端和第二导电结构 60 的引出端分布更加均匀，使得第一导电结构 50 和第二导电结构 60 接近对称，以充分利用衬底 10 上方的空间。

继续参阅图 1，多个第一导电结构 50 沿第一方向延伸，且多个第一导电结构 50 的长度呈阶梯变化；多个第二导电结构 60 沿第一方向延伸，且多个第二导电结构 60 的长度呈阶梯变化。如此设置，各第一导电结构 50 和各第二导电结构 60 均有部分显露，该部分可以用于第一导电结构 50 和各第二导电结构 60 的引出端，从而便于将各第一导电结构 50 和各第二导电结构 60 引出，以连接至外围电路。

在一种可能的实现方式中，靠近衬底 10 的第一导电结构 50 的长度大于远离衬底 10 的第一导电结构 50 的长度，以使多个第一导电结构 50 的长度呈阶梯变化；靠近衬底 10 的第二导电结构 60 的长度大于远离衬底 10 的第二导电结构 60 的长度，以使多个第二导电结构 60 的长度呈阶梯变化。

具体的，沿远离衬底 10 的方向，多个第一导电结构 50 沿第一方向的长度依次减小，以使多个第一导电结构 50 远离第二导电结构 60 的部分呈阶梯变化，如图 1 所示，多个第一导电结构 50 的左端形成台阶。多个第二导电结构 60 沿第一方向的长度依次减小，以使多个第二导电结构 60 远离第一导电结构 50 的部分呈阶梯变化，如图 1 所示，多个第二导电结构 60 的右端形成台阶。各第一导电结构 50 和各第二导电结构 60 彼此远离的端部均有部分显露，该端部均远离衬底 10 中部的沟道结构 23，制作空间大且对沟道结构 23 的干扰小。

在一些可能的实施例中，衬底 10 包括器件区，以及分别设置在器件区两侧的第一连接区和第二连接区，器件区上设置有半导体器件，例如晶体管，第一连接区和第二连接区均用于将器件区中的半导体器件引出，以使半导体器件与外围电路电性连接。

第一连接区和第二连接区可以与设置在器件区相对的两侧，示例性的，第一连接区、器件区和第二连接区沿第一方向依次排布。第一方向如图 1 中所示水平方向（X 方向），第一连接区如图 1 中 A 处所示，器件区如图 1 中 B 处所示，第二连接区如图 1 中 C 处所示，第一连接区位于器件区的左侧，第二连接区位于器件区的右侧。

在一些可能的示例中，位于器件区的衬底 10、位于第一连接区的衬底 10，以及位于第二连接区的衬底 10 为一个整体，即位于器件区的衬底 10、位于第一连接区的衬底 10，以及位于第二连接区的衬底 10 相连接。在另一些可能的示例中，位于第一连接区的衬底 10 和/或位于第二连接区的衬底 10，与位于器件区的衬底 10 之间间隔设置，即位于第一连接区的衬底 10 和位于第二连接区的衬底 10 中的至少一者与位于器件区的衬底 10 之间具有间隙。优选的，位于第一连接区的衬底 10、位于第二连接区的衬底 10、位于器件区的衬底 10 之间均间隔设置，以便于提供衬底 10，以及后续在衬底 10 上分别形成所需结构。

在上述实施例的基础上，即在衬底 10 包括器件区，以及分别设置在器件区两侧的第一连接区和第二连接区的基础上，在一些可能的实现方式中，第一导电结构 50 位于器件区上方且延伸至第一连接区，第二导电结构 60 位于器件区上方且延伸至第

二连接区；位于第一连接区上方的第一导电结构 50 的长度呈阶梯变化，位于第二连接区上方的第二导电结构 60 的长度呈阶梯变化。

如图 1 所示，第一导电结构 50 设置在器件区上方和第一连接区上方；第二导电结构 60 设置在器件区上方和第二连接区上方。位于第一连接区上方的第一导电结构 50 的长度呈阶梯变化，使位于第一连接区上方的第一导电结构 50 形成第一台阶，第一导电结构 50 通过第一台阶的台阶面引出。位于第二连接区上方的第二导电结构 60 的长度呈阶梯变化，使位于第二连接区上方的第二导电结构 60 形成第二台阶，第二导电结构 60 通过第二台阶的台阶面引出。

在一些可能的实施例中，器件区设置有多个间隔设置的沟道结构 23，位于器件区上方的每个第一导电结构 50 和每个第二导电结构 60 均包围多个间隔设置的沟道结构 23，第一导电结构 50 和沟道结构 23 之间，以及第二导电结构 60 与沟道结构 23 之间设置有介质层。

如图 1 所示，沟道结构 23 可以具有多个，多个沟道结构 23 呈阵列排布。多个沟道结构 23 不仅沿第一方向间隔排布，而且沿第二方向间隔排布，各沟道结构 23 沿第三方向延伸。第一方向与第二方向相互交叉，且均与第三方向垂直。在本公开实施例中，第一方向和第二方向相互垂直。这种排布方式，可以使沟道结构 23 的排布更紧凑，排布方式更优，最大程度提高沟道结构 23 的排布数量，提高半导体结构的存储密度。当然，本公开实施例对第一方向和第二方向之间的夹角不作限定，用户可以根据实际进行选择。

具体的，沟道结构 23 的两端分别设置有源极和漏极，源极、沟道结构 23 和漏极形成有源柱，源极、沟道结构 23 和漏极沿第三方向依次堆叠。即有源柱的延伸方向为第三方向，后续形成的晶体管沿第三方向放置，第三方向平行于衬底 10。有源柱的形状可以是圆柱体、棱柱体、长方体或其他形状，本公开实施例对有源柱的形状不作限定，用户可以根据实际进行选择。

位于器件区上方的每个第一导电结构 50 包围多个间隔设置的沟道结构 23，位于器件区上方的每个第二导电结构 60 包围多个间隔设置的沟道结构 23。位于器件区上方的第一导电结构 50 和第二导电结构 60 均形成栅极，第一导电结构 50 和沟道结构 23 之间设置有介质层（图中没有画出），第二导电结构 60 与沟道结构 23 之间设置有介质层。栅极、介质层和有源柱形成全环栅晶体管（Gate All Around，简称 GAA），相对于平面晶体管，全环栅晶体管的特征尺寸更小，在占用相同衬底 10 面积下，能够有效提高半导体结构的集成度，增大存储容量。

继续参阅图 1，位于第一连接区上方的每个第一导电结构 50 包围第一有源层 31，第一导电结构 50 与第一有源层 31 之间设置有第一绝缘层（图中没有画出）；位于第二连接区上方的每个第二导电结构 60 包围第二有源层 41，第二导电结构 60 与第二有源层 41 之间设置有第二绝缘层（图中没有画出）。

其中，位于第一连接区上方的每个第一导电结构 50 用于将器件区上方的与其相对应的栅极引出；位于第二连接区上方的每个第二导电结构 60 用于将器件区与其相对应的栅极引出。也就是说，器件区上方的晶体管的栅极通过第一连接区的第一导电结构 50 和第二连接区的第二导电结构 60 分别引出，以连接外围电路。

具体的，位于第一连接区上方的每个第一导电结构 50 包围第一有源层 31，第一有源层 31 可以用作第一导电结构 50 的支撑层，以便于其上的第一导电结构 50 的形成。第一导电结构 50 与第一有源层 31 之间设置有第一绝缘层，第一绝缘层的材质可以与介质层的材质相同，以使第一绝缘层和介质层同时形成，从而使得第一连接区上方
5 的第一导电结构 50 和器件区上方的第一导电结构 50 同时形成，简化半导体结构的制作过程。

位于第二连接区上方的每个第二导电结构 60 包围第二有源层 41，第二有源层 41 可以用作第二导电结构 60 的支撑层，以便于其上的第二导电结构 60 的形成。第二导电结构 60 与第二有源层 41 之间设置有第二绝缘层，第二绝缘层的材质可以与介质层的
10 的材质相同，以使第二绝缘层和介质层同时形成，从而使得第二连接区上方的第二导电结构 60 和器件区上方的第二导电结构 60 同时形成，简化半导体结构的制作过程。

更进一步的，第一绝缘层、第二绝缘层和介质层的材质相同，从而使得各第一导电结构 50 和各第二导电结构 60 同时形成，进一步简化半导体结构的制作过程。第一绝缘层、第二绝缘层和介质层的材质可以为氧化物，例如氧化硅、氧化铪或者氧化锆
15 等。

在一些可能的实施例中，同一第一导电结构 50 所对应的第一有源层 31 和多个沟道结构 23 同层设置，同一第二导电结构 60 所对应的第二有源层 41 和多个沟道结构 23 同层设置。

如图 1 所示，位于器件区上方的每个第一导电结构 50 包围多个间隔设置的沟道结构 23，位于第一连接区上方的每个第一导电结构 50 包围第一有源层 31。其中，同一第一导电结构 50 所对应的第一有源层 31 和多个沟道结构 23 同层设置，以使第一导电结构 50 的排布更优化，占用空间更小，第一导电结构 50 的厚度更加均匀，平整度更好。
20

类似的，位于器件区上方的每个第二导电结构 60 包围多个间隔设置的沟道结构 23，位于第二连接区上方的每个第二导电结构 60 包围第二有源层 41。其中，同一第二导电结构 60 所对应的第二有源层 41 和多个沟道结构 23 同层设置，以使第二导电结构 60 的排布更优化，占用空间更小，第二导电结构 60 的厚度更加均匀，平整度更好。
25

继续参阅图 1，半导体结构还包括多个间隔设置的接触插塞，接触插塞包括第一接触插塞 70 和第二接触插塞 80；多个第一接触插塞 70 与多个第一导电结构 50 一一对应且电连接；多个第二接触插塞 80 与多个第二导电结构 60 一一对应且电连接。多个接触插塞用于将第一导电结构 50 和第二导电结构 60 电连接至外围电路，多个接触插塞间隔设置，以保证多个接触插塞之间绝缘隔离，从而避免第一导电结构 50 之间或者第二导电结构 60 之间的相互干扰。
30

具体的，接触插塞包括第一接触插塞 70 和第二接触插塞 80，第一接触插塞 70 的数量与第一导电结构 50 的数量相适配，以使多个第一接触插塞 70 与多个第一导电结构 50 一一对应且电连接，从而将每个第一导电结构 50 均可以电连接至外围电路，通过外围电路控制第一导电结构 50 相对应的晶体管。第二接触插塞 80 的数量与第二导电结构 60 的数量相适配，以使多个第二接触插塞 80 与多个第二导电结构 60 一一对
35

应且电连接，从而将每个第二导电结构 60 均可以电连接至外围电路，通过外围电路控制第二导电结构 60 相对应的晶体管。

示例性的，每个第一导电结构 50 和每个第二导电结构 60 具有相对设置的第一表面和第二表面，其中，第一表面为远离衬底 10 的一侧，第二表面为靠近衬底 10 的一侧。第一接触插塞 70 与第一导电结构 50 的第一表面相接触，第二接触插塞 80 与第二导电结构 60 的第一表面相接触。

如图 1 所示，多个第一接触插塞 70 和多个第二接触插塞 80 均沿第二方向延伸，且多个第一接触插塞 70 的长度和多个第二接触插塞 80 的长度均呈阶梯变化。多个第一接触插塞 70 可以沿第一方向排布，多个第二接触插塞 80 可以沿第一方向排布。如此设置，多个第一接触插塞 70 和多个第二接触插塞 80 占用空间更小，有利于增加晶体管的数量，从而提高半导体结构的存储密度。优选的，多个第一接触插塞 70 和多个第二接触插塞 80 沿第一方向位于同一行，以进一步减少多个第一接触插塞 70 和多个第二接触插塞 80 所占用的空间。

多个第一接触插塞 70 的长度呈阶梯变化，多个第二接触插塞 80 的长度呈阶梯变化，其中，长度方向为第二方向。如此设置，多个第一接触插塞 70 和多个第二接触插塞 80 的长度大致相等，外围电路与第一导电结构 50，以及外围电路与第二导电结构 60 之间的路径大致相等，从而使得器件区中的各晶体管的工作状态差异较小。

继续参阅图 1，第一接触插塞 70 和第二接触插塞 80 均包括第一导电部分，以及设置在第一导电部分上的第二导电部分，第一导电部分的尺寸小于第二导电部分的尺寸。其中，第一导电部分为靠近衬底 10 的部分，第二导电部分为远离衬底 10 的部分，即第二导电部分位于第一导电部分远离衬底 10 的一侧。第一接触插塞 70 的第一导电部分与第一导电结构 50 相接触，第二接触插塞 80 的第一导电部分与第二导电结构 60 相接触。第一导电部分的尺寸可以指第一导电部分的直径或者截面积，第二导电部分的尺寸可以指第二导电部分的直径或者截面积。如图 1 所示，第二导电部分在衬底 10 上的正投影覆盖第一导电部分在衬底 10 上的正投影。

第一导电部分和第二导电部分均可以包括芯层，以及覆盖芯层的侧面和底面的外层。其中，芯层可以为绝缘层，其材质可以为氮化硅或者氧化硅。外层可以为金属层，其材质可以为钨或者氮化钛。如此设置，在保证第一导电部分和第二导电部分的电性能的基础上，减少金属层的厚度，以节约成本。

综上，本公开实施例提供的半导体结构中，衬底 10 上方设置多个第一导电结构 50 和多个第二导电结构 60，多个第一导电结构 50 和多个第二导电结构 60 均沿第一方向延伸，且多个第一导电结构 50 之间、多个第二导电结构 60 之间，以及第一导电结构 50 和第二导电结构 60 之间均间隔设置，以使其绝缘隔离。多个第一导电结构 50 的长度和多个第二导电结构 60 的长度均呈阶梯变化，第一导电结构 50 和第二导电结构 60 形成字线，字线易于制作且便于引出，便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

参阅图 1 和图 2，本公开实施例还提供一种存储器，存储器可以包括例如动态随机存储器、静态随机存储器（Static Random Access Memory，简称 SRAM）、快闪存

存储器、电可擦可编程只读存储器(Electrically Erasable Programmable Read-Only Memory, 简称 EEPROM)、相变随机存取存储器(Phase Change Random Access Memory, 简称 PRAM)或磁阻随机存取存储器(Magneto-resistive Random Access Memory, 简称 MRAM)等。本公开实施例以动态随机存储器为例进行说明。

- 5 如图 1 和图 2 所示, 该存储器包括衬底 10、器件层、字线结构 2 和位线结构 1。其中, 衬底 10 的材质可以为半导体衬底, 例如, 衬底 10 的材质可以为单晶硅、多晶硅、无定型硅、锗、碳化硅、锗化硅、绝缘体上锗或者绝缘体上硅等。

- 衬底 10 包括器件区, 器件区的上方设置有器件层, 器件层包括多个间隔设置的沟道结构 23。在一些可能的实施例中, 衬底 10 还包括第一连接区和第二连接区, 器件区位于第一连接区和第二连接区之间, 第一连接区和第二连接区用于将字线结构 2 引出。示例性的, 第一连接区、器件区和第二连接区沿第一方向依次排布。位于器件区的衬底 10 与位于第一连接区和第二连接区的衬底 10 之间均间隔设置, 以便于提供衬底 10, 并衬底 10 上分别形成所需结构。

- 多个沟道结构 23 可以呈阵列排布, 多个沟道结构 23 不仅沿第一方向间隔排布, 而且沿第二方向间隔排布, 且沿第三方向延伸; 第一方向(图 1 所示 X 方向)与第二方向(图 1 所示 Y 方向)相互交叉, 且均与第三方向(图 2 所示 Z 方向)垂直。这种排布方式, 可以使沟道结构 23 的排布更紧凑, 排布方式更优, 最大程度提高沟道结构 23 的排布数量, 提高半导体结构的存储密度。

- 沟道结构 23 的两端分别设置有源极和漏极, 源极、沟道结构 23 和漏极形成有源柱, 源极、沟道结构 23 和漏极沿第三方向依次堆叠, 即有源柱的延伸方向为第三方向。有源柱的形状可以是圆柱体、棱柱体、长方体或其他形状。第三方向为平行于衬底 10 的方向, 即有源柱的延伸方向平行于衬底 10。

- 字线结构 2 包括多个间隔设置且沿第一方向延伸的字线, 多个字线的长度呈阶梯变化, 字线贯穿器件层, 且包围沟道结构 23。字线用于控制源极与漏极之间是否导通。位线结构 1 包括多个间隔设置且沿第二方向延伸的位线, 位线贯穿器件层, 且与沟道结构 23 电性连接, 沟道结构 23 还与存储节点电性连接。位线用于读取存储节点的数据信息。

- 具体的, 每条字线包围多个在第一方向上间隔设置的沟道结构 23, 每条位线连接多个在第二方向上间隔设置的沟道结构 23 的一端, 沟道结构 23 的另一端连接存储节点。示例性的, 沟道结构 23 的一端为漏极, 漏极与位线相接触; 沟道结构 23 的另一端为源极, 源极与存储节点相接触, 存储节点可以为电容器 4。

在衬底 10 还包括第一连接区和第二连接区的实施例中, 多个位于第一连接区上方的字线的长度呈阶梯变化, 且多个位于第二连接区上方的字线的长度呈阶梯变化。

- 部分字线位于器件区且延伸至第一连接区, 剩余部分字线位于器件区且延伸至第二连接区。位于器件区的字线用作栅极, 字线与沟道结构 23 之间还设置有介质层, 栅极、源极、漏极、沟道结构 23 和介质层形成晶体管 3, 该晶体管 3 为全环栅晶体管, 相对于平面晶体管, 全环栅晶体管的特征尺寸更小, 在占用相同衬底 10 面积下, 能够有效提高半导体结构的集成度, 增大存储容量。

位于第一连接区上方的多条字线的长度呈阶梯变化, 以使该部分字线沿第二方向

形成台阶。位于第二连接区上方的多条字线呈结构变化，以使该部分在写沿第二方向形成台阶。字线位于第一连接区和第二连接区上方的部分作为栅极引出端，便于连接外围电路。

- 5 在一些可能的示例中，位于第一连接区上方的每条字线包围第一有源层 31，第一有源层 31 可以用作该字线的支撑层，以便于该字线的形成。位于第一连接区上的字线与第一有源层 31 之间设置有第一绝缘层。位于第二连接区上方的每条字线包围第二有源层 41，第二有源层 41 可以用作该字线的支撑层，以便于该字线的形成。位于第二连接区上的字线与第二有源层 41 之间设置有第二绝缘层。

- 10 需要说明的是，存储器还包括多个支撑层和隔离层，多个支撑层沿第二方向设置在相邻的晶体管 3 之间，隔离层填充在字线之间。设置支撑层，一方面便于晶体管 3 在第二方向上堆叠；另一方面可以使相邻晶体管 3 间电性隔离。设置隔离层，可以使相邻晶体管 3 之间电性隔离，避免晶体管 3 相互干扰。

- 15 在一些可能的实施例中，存储器还包括多个间隔设置的接触插塞，接触插塞与字线一一对应且电连接，以将字线连接至外围电路。接触插塞包括位于第一连接区的多个第一接触插塞 70 和位于第二连接区的多个第二接触插塞 80，多个第一接触插塞 70 和多个第二接触插塞 80 均沿第二方向延伸，且多个第一接触插塞 70 的长度和多个第二接触插塞 80 的长度均呈阶梯变化。如此设置，多个第一接触插塞 70 和多个第二接触插塞 80 的长度大致相等，外围电路与各字线的路径大致相等，从而使得器件区中的各晶体管的工作状态差异较小。

- 20 综上，本公开实施例提供的存储器中，衬底 10 的器件区上方设置有器件层，器件层包括多个间隔设置的沟道结构 23，多条位线间隔设置且沿第二方向延伸，位线贯穿器件层，且与沟道结构 23 电性连接，沟道结构 23 还与存储节点电性连接；多条字线间隔设置且沿第一方向延伸，其长度呈阶梯变化，字线贯穿器件层，并与沟道结构 23 电性连接。通过形成呈阶梯变化的字线从而将字线引出，便于制作字线，也便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

参阅图 3，本公开实施例还提供一种半导体结构的制作方法，该制作方法包括：
步骤 S10：提供衬底。

- 30 参阅图 4，衬底 10 的材质可以为半导体衬底，例如，衬底 10 的材质可以为单晶硅、多晶硅、无定型硅、锗、碳化硅、锗化硅、绝缘体上锗或者绝缘体上硅。在一些可能的实施例中，衬底 10 包括器件区，以及分别设置在器件区两侧的第一连接区和第二连接区。其中，器件区上设置有半导体器件，例如晶体管，第一连接区和第二连接区均用于将器件区中的半导体器件引出，以使半导体器件与外围电路电性连接。

- 35 示例性的，第一连接区（如图 4 中 A 处所示）、器件区（如图 4 中 B 处所示）和第二连接区（如图 4 中 C 处所示）沿第一方向依次排布。第一方向如图 1 中所示水平方向（X 方向），第一连接区位于器件区的左侧，第二连接区位于器件区的右侧。位于器件区的衬底 10、位于第一连接区的衬底 10，以及位于第二连接区的衬底 10 可以作为一个整体，也可以间隔设置。例如，位于第一连接区的衬底 10 和位于第二连接区的衬底 10 中的至少一者与位于器件区的衬底 10 之间具有间隙。优选的，位于第一连

接区的衬底 10、位于第二连接区的衬底 10、位于器件区的衬底 10 之间均间隔设置，以便于提供衬底 10，并在衬底 10 上分别形成所需结构。

步骤 S20：在衬底上方形成导电结构，导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构和第二导电结构，多个第一导电结构的长度和多个第二导电结构的长度均呈阶梯变化。

参阅图 5 至图 8，多个第一导电结构 50 和多个第二导电结构 60 沿第二方向堆叠设置，且多个第一导电结构 50 间隔设置，多个第二导电结构 60 间隔设置，第一导电结构 50 与第二导电结构 60 之间间隔设置，以保证各第一导电结构 50 和各第二导电结构 60 的绝缘隔离。第二方向可以与第一方向交叉，优选的，第二方向与第一方向垂直，以使多个第一导电结构 50 和多个第二导电结构 60 排布更加紧凑。示例性的，第一方向为平行于衬底 10 的方向（图 8 所示 X 方向），第二方向为垂直于衬底 10 的方向（图 8 所示 Y 方向）。

多个第一导电结构 50 和多个第二导电结构 60 沿第二方向依次交替间隔设置。也就是说，每相邻的两个第一导电结构 50 之间设置有一个第二导电结构 60，或者，每相邻的两个第二导电结构 60 之间设置有一个第一导电结构 50。如此设置，沿第二方向，相邻两个第一导电结构 50 之间的距离与相邻两个第二导电结构 60 之间的距离大致相等，第一导电结构 50 的引出端和第二导电结构 60 的引出端分布更加均匀，使得第一导电结构 50 和第二导电结构 60 接近对称，以充分利用衬底 10 上方的空间。

多个第一导电结构 50 沿第一方向延伸，且多个第一导电结构 50 的长度呈阶梯变化；多个第二导电结构 60 沿第一方向延伸，且多个第二导电结构 60 的长度呈阶梯变化。如此设置，各第一导电结构 50 和各第二导电结构 60 均有部分显露，从而便于将各第一导电结构 50 和各第二导电结构 60 引出，以连接至外围电路。

具体的，第一导电结构 50 位于器件区上方且延伸至第一连接区，第二导电结构 60 位于器件区上方且延伸至第二连接区；位于第一连接区上方的第一导电结构 50 的长度呈阶梯变化，位于第二连接区上方的第二导电结构 60 的长度呈阶梯变化。也就是说，第一导电结构 50 设置在器件区上方和第一连接区上方；第二导电结构 60 设置在器件区上方和第二连接区上方。位于第一连接区上方的第一导电结构 50 的长度呈阶梯变化，使位于第一连接区上方的第一导电结构 50 形成第一台阶，第一导电结构 50 通过第一台阶的台阶面引出。位于第二连接区上方的第二导电结构 60 的长度呈阶梯变化，使位于第二连接区上方的第二导电结构 60 形成第二台阶，第二导电结构 60 通过第二台阶的台阶面引出。

在一种具体的实现方式中，在衬底 10 上方形成导电结构（步骤 S20），包括：

步骤 S21：在衬底的器件区、第一连接区和第二连接区分别形成第一叠层结构、第二叠层结构和第三叠层结构；第一叠层结构包括交替堆叠设置的第一牺牲层和器件层，第二叠层结构包括交替堆叠设置的第二牺牲层和第一有源层，第三叠层结构包括交替堆叠设置的第三牺牲层和第二有源层，多个第一有源层与第一部分的器件层一一对应，多个第二有源层与第二部分的器件层一一对应。

如图 4 所示，衬底 10 的器件区形成第一叠层结构 20，衬底 10 的第一连接区形成第二叠层结构 30，衬底 10 的第二连接区形成第三叠层结构 40。第一叠层结构 20 包

括多个第一牺牲层 22 和多个器件层 21，第一牺牲层 22 和器件层 21 沿第二方向依次交叠设置。第二叠层结构 30 包括多个第二牺牲层 32 和多个第一有源层 31，第二牺牲层 32 和第一有源层 31 沿第二方向依次交叠设置。第三叠层结构 40 包括多个第三牺牲层 42 和多个第二有源层 41，第三牺牲层 42 和第二有源层 41 沿第二方向依次交叠设置。

其中，多个第一有源层 31 与第一部分的器件层 21 一一对应，多个第二有源层 41 与第二部分的器件层 21 一一对应。优选的，多个第一有源层 31 分别与奇数层的器件层 21 相对应且同层设置，多个第二有源层 41 分别与偶数层的器件层 21 相对应且同层设置。如此设置，相邻第一有源层 31 沿第二方向的距离，与相邻第二有源层 41 沿第二方向的距离大致相等，从而使得第一连接区上方的结构和第二连接区上方的结构分布更加均匀，接近对称，能充分利用空间。

在一些可能的示例中，第一牺牲层 22 位于第一叠层结构 20 靠近衬底 10 的最外侧，即第一牺牲层 22 位于衬底 10 上。如此设置，每层器件层 21 后续都可以形成晶体管 3，增加晶体管 3 的数量，从而提高半导体结构的存储密度。相应的，第二牺牲层 32 和第三牺牲层 42 也位于衬底 10 上。

第一有源层 31 的材质包括 N 掺杂的硅，第一牺牲层 22 的材质包括锗化硅，第一有源层 31、第二有源层 41 和第三有源层的材质相同，第一牺牲层 22、第二牺牲层 32 和第三牺牲层 42 的材质相同。第一有源层 31、第二有源层 41、第三有源层、第一牺牲层 22、第二牺牲层 32 和第三牺牲层 42 均可以通过沉积工艺形成。

步骤 S22：去除第一牺牲层和部分器件层，以使每个器件层形成多个间隔设置的沟道结构。

参阅图 4 和图 5，多个沟道结构 23 可以呈阵列排布，多个沟道结构 23 不仅沿第一方向间隔排布，而且沿第二方向间隔排布，且沿第三方向延伸；第一方向与第二方向相互交叉，且均与第三方向垂直。这种排布方式，可以使沟道结构 23 的排布更紧凑，排布方式更优，最大程度提高沟道结构 23 的排布数量，提高半导体结构的存储密度。

器件层 21 还形成分别位于沟道结构 23 的两端的源极和漏极，源极、沟道结构 23 和漏极形成有源柱，源极、沟道结构 23 和漏极沿第三方向依次堆叠，即有源柱的延伸方向为第三方向。有源柱的形状可以是圆柱体、棱柱体、长方体或其他形状。第三方向为平行于衬底 10 的方向，即有源柱的延伸方向平行于衬底 10。

在一些可能的实现方式中，参阅图 5 和图 6，去除第一牺牲层 22 和部分器件层 21，以使每个器件层 21 形成多个间隔设置的沟道结构 23，包括：

在第一叠层结构 20 中形成多条间隔设置且沿第三方向延伸的第一沟槽 24，第一沟槽 24 暴露衬底 10，且将各器件层 21 分隔成多个间隔设置的有源柱，有源柱包括沟道结构 23。具体的，如图 5 所示，首先在第一叠层结构 20、第二叠层结构 30 和第三叠层结构 40 上形成掩膜层 90，第一叠层结构 20 上的掩膜层 90 具有第一图案，第一图案暴露第一叠层结构 20 的部分表面，其中，掩膜层 90 可以为光刻胶；然后以掩膜层 90 为掩膜，刻蚀第一叠层结构 20，以形成第一沟槽 24；在第一沟槽 24 形成后，去除第一叠层结构 20 上的掩膜层 90。

形成第一沟槽 24 后，利用第一沟槽 24，去除第一牺牲层 22，以使异层设置的各有源柱之间存在间隔。具体的，如图 6 所示，通过具有选择性的湿法刻蚀工艺刻蚀暴露在第一沟槽 24 内的第一牺牲层 22，以使第一牺牲层 22 全部去除，第二牺牲层 32 和第三牺牲层 42 没有或者较少去除。去除第一牺牲层 22 后，再去除第二叠层结构 30 和第三叠层结构 40 上的掩膜层 90。

步骤 S23：去除远离沟道结构的部分第一有源层和部分第二有源层，以使剩余的第一有源层和第二有源层的长度均呈阶梯变化。

参阅图 6 和图 7，去除第二牺牲层 32，以及远离沟道结构 23 的部分第一有源层 31，剩余的第一有源层 31 的长度呈阶梯变化，形成台阶，以保证每层第一有源层 31 具有部分表面显露，便于在其上形成其他结构。去除第三牺牲层 42，以及远离沟道结构 23 的部分第二有源层 41，剩余的第二有源层 41 的长度呈阶梯变化，形成台阶，以保证每层第二有源层 41 具有部分表面显露，便于在其上形成其他结构。

步骤 S24：在第一有源层和与其对应的沟道结构上形成第一导电结构，并在第二有源层和与其对应的沟道结构上形成第二导电结构。

参阅图 7 和图 8，形成第一导电层和第二导电层后，多个第一导电结构 50 的长度和多个第二导电结构 60 的长度均呈阶梯变化。具体的，靠近衬底 10 的第一导电结构 50 的长度大于远离衬底 10 的第一导电结构 50 的长度，以使多个第一导电结构 50 的长度呈阶梯变化；靠近衬底 10 的第二导电结构 60 的长度大于远离衬底 10 的第二导电结构 60 的长度，以使多个第二导电结构 60 的长度呈阶梯变化。

在一些可能的实施例中，在第一有源层 31 和与其对应的沟道结构 23 上形成第一导电结构 50，并在第二有源层 41 和与其对应的沟道结构 23 上形成第二导电结构 60（步骤 S24）之前，还包括：在第一有源层 31、第二有源层 41 和沟道结构 23 上沉积绝缘材料，位于第一有源层 31 上的绝缘材料形成第一绝缘层，位于沟道结构 23 上的绝缘层材料形成介质层，位于第二有源层 41 上的绝缘材料形成第二绝缘层，第一绝缘层、介质层和第二绝缘层均间隔设置。

也就是说，在形成第一导电结构 50 和第二导电结构 60 之前，先在沟道结构 23 的表面形成介质层，以保证沟道结构 23 与第一导电结构 50 和第二导电结构 60 均绝缘。同时，在第一有源层 31 的表面形成第一绝缘层，在第二有源层 41 的表面形成第二绝缘层，介质层、第一绝缘层和第二绝缘层一同形成，以保证第一导电结构 50 和第二导电结构 60 各自的平整性。

其中，沟道结构 23 的表面是指沟道结构 23 的外周面，介质层环绕沟道结构 23 一周。第一有源层 31 的表面可以指第一有源层 31 的外周面，也可以指第一有源层 31 沿第二方向相对的两个表面，以及朝向沟道结构 23 的表面，即第一绝缘层至少覆盖第一有源层 31 沿第二方向相对的两个表面，以及朝向沟道结构 23 的表面。第二有源层 41 的表面可以指第二有源层 41 的外周面，也可以指第二有源层 41 沿第二方向相对的两个表面，以及朝向沟道结构 23 的表面，即第二绝缘层至少覆盖第二有源层 41 沿第二方向相对的两个表面，以及朝向沟道结构 23 的表面。

形成第一绝缘层、介质层和第二绝缘层后，在第一绝缘层、介质层和第二绝缘层上沉积导电材料，位于第一绝缘层和部分介质层上的导电材料形成第一导电结构 50，

位于第二绝缘层和另一部分介质层上的导电材料形成第二导电结构 60。

具体的，第一导电结构 50 和第二导电结构 60 用作字线，每个第一导电结构 50 覆盖相应的第一绝缘层，以及与该第一绝缘层同层设置的介质层上，且填充在各介质层之间，以及介质层与第一绝缘层之间。每个第二导电结构 60 覆盖相应的第二绝缘层，以及与该第二绝缘层同层设置的介质层上，且填充在各介质层之间，以及介质层与第二绝缘层之间。覆盖介质层的第一导电结构 50 和第二导电结构 60 形成栅极，栅极为字线的一部分，覆盖第一绝缘层的第一导电结构 50，以及覆盖第二绝缘层的第二导电结构 60 均作为栅极的引出端，以连接外围电路。

在一些可能的实施例中，在衬底 10 上方形成导电结构之后，还包括：形成多个间隔设置的接触插塞，接触插塞包括第一接触插塞 70 和第二接触插塞 80，多个第一接触插塞 70 与多个第一导电结构 50 一一对应且电连接，多个第二接触插塞 80 与多个第二导电结构 60 一一对应且电连接，且多个第一接触插塞 70 和多个第二接触插塞 80 的长度均呈阶梯变化。

多个接触插塞用于将第一导电结构 50 和第二导电结构 60 电连接至外围电路，多个接触插塞间隔设置，以保证多个接触插塞之间绝缘隔离，从而避免第一导电结构 50 之间或者第二导电结构 60 之间的相互干扰。

第一接触插塞 70 的数量与第一导电结构 50 的数量相适配，以使多个第一接触插塞 70 与多个第一导电结构 50 一一对应且电连接，从而将每个第一导电结构 50 均可以电连接至外围电路，通过外围电路控制第一导电结构 50 相对应的晶体管。第二接触插塞 80 的数量与第二导电结构 60 的数量相适配，以使多个第二接触插塞 80 与多个第二导电结构 60 一一对应且电连接，从而将每个第二导电结构 60 均可以电连接至外围电路，通过外围电路控制第二导电结构 60 相对应的晶体管。

多个第一接触插塞 70 可以沿第一方向排布，多个第二接触插塞 80 可以沿第一方向排布。如此设置，多个第一接触插塞 70 和多个第二接触插塞 80 占用空间更小，有利于增加晶体管的数量，从而提高半导体结构的存储密度。优选的，多个第一接触插塞 70 和多个第二接触插塞 80 沿第一方向位于同一行，以进一步减少多个第一接触插塞 70 和多个第二接触插塞 80 所占用的空间。

多个第一接触插塞 70 的长度呈阶梯变化，多个第二接触插塞 80 的长度呈阶梯变化，其中，长度方向为第二方向。如此设置，多个第一接触插塞 70 和多个第二接触插塞 80 的长度大致相等，外围电路与第一导电结构 50，以及外围电路与第二导电结构 60 之间的路径大致相等，从而使得器件区中的各晶体管的工作状态差异较小。

第一接触插塞 70 和第二接触插塞 80 均包括第一导电部分，以及设置在第一导电部分上的第二导电部分，第一导电部分的尺寸小于第二导电部分的尺寸。其中，第一导电部分为靠近衬底 10 的部分，第二导电部分为远离衬底 10 的部分，即第二导电部分位于第一导电部分远离衬底 10 的一侧。第一导电部分的尺寸可以指第一导电部分的直径或者截面积，第二导电部分的尺寸可以指第二导电部分的直径或者截面积。如图 1 所示，第二导电部分在衬底 10 上的正投影覆盖第一导电部分在衬底 10 上的正投影。

第一导电部分和第二导电部分均可以包括芯层，以及覆盖芯层的侧面和底面的外

层。其中，芯层可以为绝缘层，其材质可以为氮化硅或者氧化硅。外层可以为金属层，其材质可以为钨或者氮化钛。如此设置，在保证第一导电部分和第二导电部分的电性能的基础上，减少金属层的厚度，以节约成本。

5 综上，本公开实施例提供的半导体结构的制作方法中，通过在衬底 10 上方形成导电结构，导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构 50 和第二导电结构 60，多个第一导电结构 50 的长度和多个第二导电结构 60 的长度均呈阶梯变化，第一导电结构 50 和第二导电结构 60 形成字线，字线易于制作且便于引出，以便于在字线上形成其他结构，以实现字线与外围电路的电性连接。

10 本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、15 材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开20 各实施例技术方案的范围。

权 利 要 求 书

- 1、一种半导体结构，包括：
衬底和位于所述衬底上方的导电结构；
所述导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构和第二导电
5 结构，多个所述第一导电结构的长度和多个所述第二导电结构的长度均呈阶梯变化。
- 2、根据权利要求1所述的半导体结构，其中，所述衬底包括器件区，以及分别设置
在所述器件区两侧的第一连接区和第二连接区；
所述第一导电结构位于所述器件区上方且延伸至所述第一连接区，所述第二导电
10 结构位于所述器件区上方且延伸至所述第二连接区；位于所述第一连接区上方的所述
第一导电结构的长度呈阶梯变化，位于所述第二连接区上方的所述第二导电结构的长
度呈阶梯变化。
- 3、根据权利要求1所述的半导体结构，其中，靠近所述衬底的所述第一导电结构的
长度大于远离所述衬底的所述第一导电结构的长度，以使多个所述第一导电结构的
长度呈阶梯变化；
15 靠近所述衬底的所述第二导电结构的长度大于远离所述衬底的所述第二导电结构的
长度，以使多个所述第二导电结构的长度呈阶梯变化。
- 4、根据权利要求1所述的半导体结构，其中，多个所述第一导电结构和多个所述
第二导电结构沿第二方向依次交替间隔设置。
- 5、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括多个间隔设置
20 的接触插塞，所述接触插塞包括第一接触插塞和第二接触插塞；
多个所述第一接触插塞与多个所述第一导电结构一一对应且电连接；多个所述第
二接触插塞与多个所述第二导电结构一一对应且电连接。
- 6、根据权利要求5所述的半导体结构，其中，多个所述第一接触插塞和多个所述
第二接触插塞均沿第二方向延伸，且多个所述第一接触插塞的长度和多个所述第二
25 接触插塞的长度均呈阶梯变化。
- 7、根据权利要求5所述的半导体结构，其中，所述第一接触插塞和所述第二接触
插塞均包括第一导电部分，以及设置在所述第一导电部分上的第二导电部分，所述第
一导电部分的尺寸小于所述第二导电部分的尺寸。
- 8、根据权利要求2所述的半导体结构，其中，位于所述器件区上方的每个所述第
30 一导电结构和每个所述第二导电结构均包围多个间隔设置的沟道结构，所述第一导电
结构和所述沟道结构之间，以及所述第二导电结构与所述沟道结构之间设置有介质层。
- 9、根据权利要求8所述的半导体结构，其中，位于所述第一连接区上方的每个所
述第一导电结构包围第一有源层，所述第一导电结构与所述第一有源层之间设置有第
一绝缘层；
35 位于所述第二连接区上方的每个所述第二导电结构包围第二有源层，所述第二导
电结构与所述第二有源层之间设置有第二绝缘层。
- 10、根据权利要求9所述的半导体结构，其中，同一所述第一导电结构所对应的
所述第一有源层和多个所述沟道结构同层设置，同一所述第二导电结构所对应的所述

第二有源层和多个所述沟道结构同层设置。

11、一种存储器，包括：

衬底，所述衬底包括器件区；

器件层，位于所述器件区上方，所述器件层包括多个间隔设置的沟道结构；

5 字线结构，所述字线结构包括多个间隔设置且沿第一方向延伸的字线，多个所述字线的长度呈阶梯变化；

位线结构，所述位线结构包括多个间隔设置且沿第二方向延伸的位线；

其中，所述字线贯穿所述器件层，且包围所述沟道结构，所述位线贯穿所述器件层，且与所述沟道结构电性连接，所述沟道结构还与存储节点电性连接。

10 12、根据权利要求 11 所述的存储器，其中，所述衬底还包括第一连接区和第二连接区，所述器件区位于所述第一连接区和所述第二连接区之间，多个位于所述第一连接区上方的所述字线的长度呈阶梯变化，且多个位于所述第二连接区上方的所述字线的长度呈阶梯变化。

15 13、根据权利要求 11 所述的存储器，其中，每条所述字线包围多个在所述第一方向上间隔设置的沟道结构，每条所述位线连接多个在所述第二方向上间隔设置的沟道结构的一端，所述沟道结构的另一端连接所述存储节点。

14、根据权利要求 12 所述的存储器，其中，位于所述器件区的所述衬底与位于所述第一连接区和所述第二连接区的所述衬底之间均间隔设置。

15、一种半导体结构的制作方法，包括：

20 提供衬底；

在所述衬底上方形成导电结构，所述导电结构包括间隔设置的多个在第一方向上延伸的第一导电结构和第二导电结构，多个所述第一导电结构的长度和多个所述第二导电结构的长度均呈阶梯变化。

25 16、根据权利要求 15 所述的制作方法，其中，所述衬底包括器件区，以及分别设置在所述器件区两侧的第一连接区和第二连接区；

所述第一导电结构位于所述器件区上方且延伸至所述第一连接区，所述第二导电结构位于所述器件区上方且延伸至所述第二连接区；位于所述第一连接区上方的所述第一导电结构的长度呈阶梯变化，位于所述第二连接区上方的所述第二导电结构的长度呈阶梯变化。

30 17、根据权利要求 16 所述的制作方法，其中，在所述衬底上方形成导电结构，包括：

在衬底的所述器件区、所述第一连接区和所述第二连接区分别形成第一叠层结构、第二叠层结构和第三叠层结构；所述第一叠层结构包括交替堆叠设置的第一牺牲层和器件层，所述第二叠层结构包括交替堆叠设置的第二牺牲层和第一有源层，所述第三叠层结构包括交替堆叠设置的第三牺牲层和第二有源层，多个所述第一有源层与第一部分的所述器件层一一对应，多个所述第二有源层与第二部分的所述器件层一一对应；

35 去除所述第一牺牲层和部分所述器件层，以使每个所述器件层形成多个间隔设置的沟道结构；

去除远离所述沟道结构的部分所述第一有源层和部分所述第二有源层，以使剩余

的所述第一有源层和所述第二有源层的长度均呈阶梯变化；

在所述第一有源层和与其对应的所述沟道结构上形成第一导电结构，并在所述第二有源层和与其对应的所述沟道结构上形成第二导电结构。

- 5 18、根据权利要求 17 所述的制作方法，其中，多个所述第一有源层分别与奇数层的所述器件层相对应且同层设置，多个所述第二有源层分别与偶数层的所述器件层相对应且同层设置。

19、根据权利要求 17 所述的制作方法，其中，在所述第一有源层和与其对应的所述沟道结构上形成第一导电结构，并在所述第二有源层和与其对应的所述沟道结构上形成第二导电结构之前，还包括：

- 10 在所述第一有源层、所述第二有源层和所述沟道结构上沉积绝缘材料，位于所述第一有源层上的所述绝缘材料形成第一绝缘层，位于所述沟道结构上的所述绝缘层材料形成介质层，位于所述第二有源层上的所述绝缘材料形成第二绝缘层，所述第一绝缘层、所述介质层和所述第二绝缘层均间隔设置。

- 15 20、根据权利要求 15 所述的制作方法，其中，在所述衬底上方形成导电结构之后，还包括：

形成多个间隔设置的接触插塞，所述接触插塞包括第一接触插塞和第二接触插塞，多个所述第一接触插塞与多个所述第一导电结构一一对应且电连接，多个所述第二接触插塞与多个所述第二导电结构一一对应且电连接，且多个所述第二接触插塞和多个所述第二接触插塞的长度均呈阶梯变化。

20