一种时延报告方法及装置

本申请要求于 2024 年 3 月 1 日提交国家知识产权局、申请号为 202410243239.5、发明名称为“一种时延报告方法及装置”的中国专利申请、以及于 2024 年 5 月 8 日提交国家知识产权局、申请号为 202410565627.5、发明名称为“一种时延报告方法及装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及通信领域，尤其涉及一种时延报告方法及装置。

背景技术

通信装置之间可以进行数据交互。发送端可以向接收端发送报文，发送端可以在向接收端发送的报文中添加报文的发送时间戳，相应的，接收端接收到发送端发送的报文之后，可以记录该报文的接收时间戳，以便于后续基于该发送时间戳和接收时间戳执行后续的处理措施。例如，在时间同步场景中，接收端可以基于该发送时间戳和接收时间戳进行时间同步。其中，发送端可以理解成作为发送端的通信装置，接收端可以理解成作为接收端的通信装置。

前述发送时间戳的准确性和接收时间戳的准确性，直接影响了执行后续的处理措施所得到的结果准确性。例如，在时间同步的场景中，该发送时间戳和接收时间戳的准确性，直接影响了时间同步的精度。

因此，发送端如何准确的确定报文的发送时间戳、接收端如何准确的确定报文的接收时间戳，是目前亟需解决的问题。

发明内容

本申请实施例提供了一种时延报告方法及装置， 能够准确的报告时延。

第一方面，本申请提供了一种时延报告方法，该方法可以应用于第一模块。第一模块可以报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。在本申请实施例中，若第一模块对应发送端，则该特定位置的数据对应的目标时延，等价于最大时延，若第一模块对应接收端，则该特定位置的数据对应的目标时延等价于最小时延。由此可见，利用本方案，可以准确的报告时延信息。

在一种可能的实现方式中，所述多个特定位置的周期为 8712 个数据块的整数倍，或者所述多个特定位置的周期为 8704 个数据块的整数倍。其中，8712 为在数据流中插入填充序列之后所对应的周期，8704 为在数据流中插入填充序列之前所对应的周期。作为一个具体的示例，当所述第一模块对应发送端时，所述特定位置的周期对应 8704，当所述第一模块对应接收端时，所述特定位置的周期对应 8712。其中，所述特定位置的周期为 8172 个数据块的整数倍或者 8704 个数据块的整数倍，可以理解成该周期对应 8172 个数据块的长度的整数倍或者 8704 个数据块的长度的整数倍。在一种可能的实现方式中，所述数据块包括 128 个比特或 120 个比特。例如，该数据块为经过前向纠错（forward error correction，FEC）内码编码之后的数据块，则该数据块包括 128 个比特，若该数据块尚未进行 FEC 内码编码，或者，该数据块经过了 FEC 内码解码，则该数据块包括 120 个比特。作为一个具体的示例，当所述第一模块对应发送端时，该数据块包括 120 个比特，当所述第一模块对应接收端时，该数据块包括 128 个比特。

在一种可能的实现方式中，所述多个特定位置的周期为以下任一数值的整数倍：8704*120=1044480 个比特；或者，8704*128=1114112 个比特；或者，8712*128=1115136 个比特，或者，8712*120=1045440 个比特。其中，若第一模块对应发送端，则在第一模块尚未对数据流执行校验序列（pad）增加以及填充序列增加操作之前，所述特定位置的周期为 8704*120=1044480 个比特的整数倍；在第一模块对数据流执行校验序列增加操作之后，所述特定位置的周期为 8704*128=1114112 个比特的整数倍；在第一模块进一步对数据流执行校验序列增加操作之后，所述特定位置的周期为 8712*128=1115136 个比特的整数倍。若第一模块对应接收端，则在第一模块尚未对数据流执行校验序列删除以及填充序列删除操作之前，所述特定位置的周期为 8712*128=1115136 个比特的整数倍；在第一模块对数据流执行校验序列删除操作之后，所述特定位置的周期为 8704*128=1114112 个比特的整数倍；在第一模块对数据流执行校

验序列删除操作之后，所述特定位置的周期为 8704*120=1044480 个比特的整数倍。

在一种可能的实现方式中，所述多个特定位置的周期，可以为 64 个数据块的整数倍，也可以为 65 个数据块的整数倍。其中，65 为在数据流中插入填充序列之后所对应的周期，64 为在数据流中插入填充序列之前所对应的周期。作为一个具体的示例，当所述第一模块对应发送端时，所述特定位置的周期为 64 个数据块的整数倍，当所述第一模块对应接收端时，所述特定位置的周期为 65 个数据块的整数倍。其中，所述特定位置的周期为 64 个数据块的整数倍或者 65 个数据块的整数倍，可以理解成该周期对应 64 个数据块的长度的整数倍或者 65 个数据块的长度的整数倍。

在一种可能的实现方式中，前述 64 个数据块以及 65 个数据块中的每个数据块可以包括 4 比特。在此场景中，填充序列插入，可以是每隔 64 个 4 比特的数据块，插入一个 4 比特的导频。

在一种可能的实现方式中，所述特定位置可以是数据块的起始位置。数据块的起始位置可以是数据块的第一个字节，也可以是第一个比特或者第一个符号（symbol）。在数据块包括 128 比特的场景中，此处提及的数据块可以是 FEC 码字。

在一个具体的示例中，该 FEC 码字可以是 FEC 内码码字。换言之，前述特定位置可以 FEC 内码码字的起始位置。

在一种可能的实现方式中，所述特定位置为在所述数据流中插入填充序列之后的下一个数据块的起始位置，所述起始位置为所述下一个数据块的第一个比特或者第一个符号或者第一个字节。

在一种可能的实现方式中，所述数据流为经过 FEC 内码编码得到的数据流。具体的，若第一模块对应发送端，则所述第一模块可以对进入所述第一模块的数据执行 FEC 内码编码和 pad 增加操作，相应的，在一个示例中，此处提及的数据流，可以是执行 FEC 内码编码和 pad 增加操作之后的数据流。若第一模块对应接收端，则在一个示例中，所述数据流可以是发送端向所述第一模块发送的数据流，换言之，所述数据流是进入所述第一模块的数据流，且该数据流在发送端被执行了 FEC 内码编码和 pad 增加操作。在又一个示例中，考虑到发送端将数据流发送给接收端之后，接收端可以对该数据流进行 FEC 内码解码，因此，该数据流也可以是接收端对接收到的数据流进行 FEC 内码解码之后得到的数据流。换言之，若第一模块为对应接收端的模块，则在又一个示例中，所述数据流可以是经过 FEC 内码解码之后得到的数据流。

在一种可能的实现方式中，发送端除了可以在该数据流中插入填充序列之外，还可以插入校验序列，具体的，发送端对数据流进行 FEC 内码编码时，可以针对每 128 比特数据插入 8 比特校验序列，由于发送端在插入 pad 时，是每隔 8704 个 FEC 内码码块插入 1024 比特 pad。因此，其中，发送端在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍。正是因为在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍，因此，大锯齿波的波峰位置与小锯齿波的波峰位置重叠，大锯齿波的波谷位置与小锯齿波的波谷位置重叠，故而可以基于在所述数据流中插入填充序列的周期，确定前述特定位置的周期，以确定目标时延。

在一种可能的实现方式中，所述目标时延为前述多个特定位置的数据经过第一模块的时延。或者，所述目标时延为前述多个特定位置的数据经过所述第一模块中的内码 FEC（inner FEC）层的时延。在所述第一模块为光模块的情况下，该目标时延为前述多个特定位置的数据经过光模块的时延。或者，该目标时延为前述多个特定位置的数据经过光模块中的内码 FEC 层的时延。其中，内码 FEC 层为用于实现内码 FEC 功能的层。

在一种可能的实现方式中，前述多个特定位置的数据中，每个特定位置的数据可以对应一个第一时延，因此，前述多个特定位置的数据，可以对应多个第一时延。考虑到现有电气电子工程师学会（institute of electrical and electronics engineers，IEEE）802.3cx 第 90 章节针对物理层的各个层定义了对应的最大时延寄存器和最小时延寄存器。因此，为了兼容当前 IEEE 802.3cx 第 90 章节对于物理层报告时延的机制，可以报告所述多个第一时延中的最大值和/或最小值。换言之，前述目标时延可以是所述多个第一时延中的最大值和/或最小值。对于这种情况，第一模块还可以测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延，以便于将报告所述多个第一时延的最大值和/或最小值，实现时延信息的报告。

在一种可能的实现方式中，可以定义新的寄存器来向第二模块报告前述最大值和/或最小值。

作为一个具体的示例，定义内码 FEC 的发送（transport，TX）最大时延寄存器和/或 TX 最小时延寄存器，该 TX 最大时延寄存器用于作为发送端的模块报告所述最大值，该 TX 最小时延寄存器用于作为发送端的模块报告所述最小值。换言之，当第一模块对应发送端时，所述第一模块可以利用内码 FEC 的 TX 最大时延寄存器，将所述最大值报告给所述第二模块，和/或，利用内码 FEC 的 TX 最小时延寄存器，将所述最小值报告给所述第二模块。

作为又一个具体的示例，定义内码 FEC 的接收（receive，RX）最大时延寄存器和/或 RX 最小时延寄存器，该 RX 最大时延寄存器用于作为接收端的模块报告所述最大值，该 RX 最小时延寄存器用于作为接收端的模块报告所述最小值。换言之，当第一模块对应接收端时，所述第一模块可以利用内码 FEC 的 RX 最大时延寄存器，将所述最大值报告给所述第二模块，和/或，利用内码 FEC 的 RX 最小时延寄存器，将所述最小值报告给所述第二模块。

在一种可能的实现方式中，所述第一模块可以利用已有的寄存器向第二模块报告前述最大值和/或最小值。采用这种方式，可以沿用已有的寄存器实现目标时延的报告。

作为一个具体的示例，若第一模块对应发送端，则所述第一模块可以利用物理媒介附加（physical medium attachment，PMA）/物理媒介相关（physical media dependent，PMD）的 TX 最大时延寄存器，将所述最大值报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小值报告给所述第二模块。

作为另一个具体的示例，若第一模块对应接收端，所述第一模块可以利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大值报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小值报告给所述第二模块。

在一种可能的实现方式中，第一模块报告所述目标时延在具体实现是，可以将所述目标时延报告给第二模块。在一个示例中，所述第二模块可以是通信装置的媒体接入控制（media access control, MAC）层模块，这样一来，所述 MAC 层模块可以基于该目标时延，对自身记录的时间戳进行补偿，从而使得补偿之后的时间戳更加准确。

在一种可能的实现方式中，前述第一模块可以是光模块或物理（physical，PHY）层芯片。该光模块或者 PHY 层芯片能够提供内码 FEC 功能。

在一种可能的实现方式中，所述光模块包括内码 FEC 模块，该内码 FEC 模块用于实现内码 FEC 功能。所述内码 FEC 模块包括内码 FEC 编码模块和/或内码 FEC 解码模块。所述内码 FEC 编码模块用于实现 FEC 内码编码功能，所述内码 FEC 解码模块用于实现 FEC 内码解码功能。

第二方面，本申请提供了一种时延报告方法，该方法可以应用于第一模块，第一模块可以获取目标数据经过第一模块中的第一子模块的时延抖动值。其中，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据。所述第一子模块中存在固定数值的时延抖动的子模块。进一步地，基于所述时延抖动值，向所述第二模块报告时延信息。在本申请实施例中，考虑到由于第一子模块会引入时延抖动，从而使得目标数据经过第一模块的时延存在抖动，因此，第一模块在向第二模块报告时延信息时，基于第一子模块所引入的时延抖动值进行报告，从而使得报告的时延信息更加准确。

在一种可能的实现方式中，所述第一模块还可以确定目标数据经过所述第一模块中的第二子模块的第一时延。作为一个示例，所述第二子模块可以是几乎不会引入时延抖动的子模块。相应的，第一模块向第二模块报告时延信息在具体实现时，可以根据所述时延抖动值和所述第一时延，向所述第二模块报告时延信息。换言之，第一模块可以根据存在时延抖动值和目标数据经过几乎不会引入时延抖动的第二子模块的第一时延，向第二模块报告时延信息，从而使得第一模块向第二模块报告的时延信息更加准确。

在一种可能的实现方式中，所述第一模块可以根据所述时延抖动值和所述第一时延确定目标时延，并将所述目标时延作为前述时延信息报告给所述第二模块。

在一种可能的实现方式中，若所述第一模块对应作为发送端的通信装置，则所述第一通信装置可以将所述时延抖动值和所述第一时延之和，确定为所述目标时延。若所述第一通信装置对应作为接收端的通信装置，则所述第一通信装置可以将所述第一时延减去所述时延抖动值所得到的差值，确定为所述目标时延。采用这种方式，可以使得第一模块报告的目标时延，满足“对于发送端而言，其报告的时延等价于最大时延，对于接收端而言，其报告的时延等价于最小时延”。

在一种可能的实现方式中，考虑到现有 IEEE 802.3cx 第 90 章节针对物理层的各个层定义了对应的最大时延寄存器和最小时延寄存器。因此，为了兼容当前 IEEE 802.3cx 第 90 章节对于物理层报告时延的机制，所述第一时延可以包括两个时延，其分别为目标数据经过所述第二子模块的最大时延、以及所述目标数据经过所述第二子模块的最小时延。相应的，对于这种情况，所述目标时延包括：根据所述最大时延和所述时延抖动值得到最大目标时延、以及根据所述最小时延和所述时延抖动值得到的最小目标时延。

在一种可能的实现方式中，可以定义新的寄存器来向第二模块报告前述最大目标时延和/或最小目标时延。

作为一个具体的示例，定义内码 FEC 的 TX 最大时延寄存器和/或 TX 最小时延寄存器，该 TX 最大时延寄存器用于作为发送端的模块报告所述最大目标时延，该 TX 最小时延寄存器用于作为发送端的模块报告所述最小目标时延。换言之，当第一模块对应发送端时，所述第一模块可以利用内码 FEC 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块，利用内码 FEC 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

作为又一个具体的示例，定义内码 FEC 的 RX 最大时延寄存器和/或 RX 最小时延寄存器，该 RX 最大时延寄存器用于作为接收端的模块报告所述最大目标时延，该 RX 最小时延寄存器用于作为接收端的模块报告所述最小目标时延。换言之，当第一模块对应接收端时，所述第一模块可以利用内码 FEC 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块，利用内码 FEC 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，所述第一模块可以利用已有的寄存器向第二模块报告前述最大目标时延和/或最小目标时延。采用这种方式，可以沿用已有的寄存器实现目标时延的报告。

作为一个具体的示例，若第一模块对应发送端，则所述第一模块可以利用物理媒介附加（physical medium attachment，PMA）/物理媒介相关（physical media dependent，PMD）的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

作为另一个具体的示例，若第一模块对应接收端，所述第一模块可以利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，所述第二子模块可以是所述第二子模块可以是所述第一模块中除所述第一子模块之外的子模块。

在一种可能的实现方式中，若所述第一模块对应发送端，所述第二子模块例如可以是内码 FEC 模块中执行卷积交织、分发以及调制编码等操作的子模块。若所述第一模块对应接收端，则所述第二子模块例如可以是内码 FEC 模块中执行逆卷积解交织、复用以及调制解码操作的子模块。

在一种可能的实现方式中，确定所述目标数据经过所述第一模块中第二子模块的第一时延在具体实现时，可以获取预先设置的所述第一时延。其中，该第一时延可以是第一模块在设计阶段所确定的值，该第一时延的值根据第一模块的性能相关。

在一种可能的实现方式中，确定所述目标数据经过所述第一模块中第二子模块的第一时延在具体实现时，可以统计所述目标数据经过所述第二子模块的时延，从而得到所述第一时延。

在一种可能的实现方式中，统计所述目标数据经过所述第二子模块的时延在具体实现时，可以统计所述目标数据中的至少一个比特的数据经过所述第二子模块的时延，从而得到所述第一时延。例如，可以对目标数据进行采样，并统计采样得到的数据经过所述第二子模块的时延。又如，可以对所述目标数据中各个比特的数据经过所述第二子模块的时延进行统计，从而得到所述第一时延。

在一种可能的实现方式中，所述第一模块还包括第三子模块，所述第一模块还可以确定所述目标数据经过所述第一模块中第三子模块的第二时延。在第一模块确定了所述第二时延的场景中第一模块向第二模块报告时延信息在具体实现时，可以根据所述时延抖动值和所述第二时延，向所述第二模块报告时延信息，从而准确的向第二模块报告时延信息。

在一种可能的实现方式中，第三子模块可以是所述第一模块中不同于前述第一子模块和第二子模块

的其它子模块。例如，所述第三子模块可以包括 PMA 子模块和 PMD 子模块。

在一种可能的实现方式中，所述第二模块包括：媒体接入控制 MAC 层模块。在一种可能的实现方式中，所述时延抖动值可以是预设的固定数值。例如，当所述第一模块为光模块时，所述时延抖动值可以包括第一抖动值和第二抖动值之和，第一抖动值可以是校验序列增加或者删除、以及数据流交织或者解交织所引入的时延抖动值。第二抖动值可以是 pad 增加或者删除引入的时延抖动值。其中，所述固定数值例如可以是在 4.6ns 和 4.8ns 之间的数值。

在一种可能的实现方式中，所述第一子模块包括存在由于校验序列的增加或删除，或者填充序列的增加或删除而导致的时延抖动的子模块。作为一个具体的示例，对于发送端而言，所述第一子模块可以包括：存在由于校验序列的增加而导致时延抖动的子模块、以及存在由于填充序列的增加而导致的时延抖动的子模块。相应的，对于接收端而言，所述第一子模块可以包括：存在由于校验序列的删除而导致时延抖动的子模块、以及存在由于填充序列的删除而导致的时延抖动的子模块。

在一种可能的实现方式中，所述第一子模块包括存在由于数据流的交织或者解交织而导致的时延抖动的子模块。作为一个具体的示例，对于发送端而言，所述第一子模块可以包括：存在由于数据流的交织而导致的时延抖动的子模块。相应的，对于接收端而言，所述第一子模块可以包括：存在由于数据流的解交织而导致的时延抖动的子模块。

在一种可能的实现方式中，前述存在由于校验序列的增加而导致时延抖动的子模块，可以是内码 FEC 模块中执行 FEC 内码编码的子模块；前述存在由于填充序列的增加而导致的时延抖动的子模块，可以是内码 FEC 模块中执行填充序列增加操作的子模块；前述存在由于数据流的交织而导致的时延抖动的子模块，可以是内码 FEC 模块中执行数据流交织的子模块。换言之，所述第一子模块可以包括：内码 FEC 模块中执行 FEC 内码编码、数据流交织以及填充序列增加的子模块。

在一种可能的实现方式中，前述存在由于校验序列的删除而导致时延抖动的子模块，可以是内码 FEC 模块中执行 FEC 内码解码的子模块；前述存在由于填充序列的删除而导致的时延抖动的子模块，可以是内码 FEC 模块中执行填充序列删除操作的子模块；前述存在由于数据流的解交织而导致的时延抖动的子模块，可以是内码 FEC 模块中执行数据流解交织的子模块。换言之，所述第一子模块可以包括：内码 FEC 模块中执行 FEC 内码解码、数据流解交织以及填充序列删除的子模块。

在一种可能的实现方式中，发送端和接收端均可以执行循环移位操作。在一个示例中，若接收端执行循环移位操作对应的移位方向，与发送端执行循环移位操作对应的移位方向相同，则前述第一子模块可以包括用于执行循环移位操作的循环移位子模块。在此场景中，循环移位子模块引入的时延抖动值，可以是 4.5 纳秒。

在一种可能的实现方式中，在所述第一子模块还包括循环移位子模块的情况下，前述时延抖动值可以在前述第一抖动值和第二抖动值之和的基础上，加上循环移位子模块引入的时延抖动 4.5ns。由于第一抖动值和第二抖动值之和位于 4.6ns 和 4.8ns 之间，因此，前述时延抖动值可以位于（4.5ns+4.6ns=9.1ns）和（4.5ns+4.8ns=9.3ns）之间。

在一种可能的实现方式中，所述目标数据可以对应以上第一方面所述的特定位置的一个周期内包括的数据，例如，所述目标数据包括 8712*N 个数据块，或者 8704*N 个数据块，所述 N 为正整数。

在一种可能的实现方式中，所述数据块包括 128 个比特或 120 个比特。

在一种可能的实现方式中，所述目标数据包括：1115136*N 比特，1114112*N 比特，或 1044480*N 比特，或 1045440 个比特，所述 N 为正整数。

第三方面，本申请实施例提供了一种时延报告装置，所述装置包括：发送单元，用于报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。

在一种可能的实现方式中，所述多个特定位置的周期为 8712 个数据块的整数倍，或者所述多个特定位置的周期为 8704 个数据块的整数倍，或者，所述多个特定位置的周期为 64 个数据块的整数倍，或者，所述多个特定位置的周期为 65 个数据块的整数倍。

在一种可能的实现方式中，所述数据块包括 128 个比特或 120 个比特或 4 比特。

在一种可能的实现方式中，所述多个特定位置的周期为以下任一数值的整数倍：1115136 比特，

1114112 比特，或 1044480 比特，或者 1045440 个比特。

在一种可能的实现方式中，所述特定位置为 FEC 码字的起始位置，所述起始位置为 FEC 码字的第一个比特或者第一个符号或者第一个字节。

在一种可能的实现方式中，所述 FEC 码字包括：FEC 内码码字。

在一种可能的实现方式中，所述数据流为经过 FEC 内码编码得到的数据流，或者，所述数据流为经过 FEC 内码解码得的数据流。

在一种可能的实现方式中，在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍。

在一种可能的实现方式中，所述目标时延对应所述数据经过光模块的时延，或者，所述目标时延对应所述数据经过光模块中的内码 FEC 层的时延。

在一种可能的实现方式中，所述装置还包括：处理单元，用于测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延；其中，所述目标时延包括所述多个第一时延中的最大值和/或最小值。

在一种可能的实现方式中，所述发送单元，用于：利用内码 FEC 的 TX 最大时延寄存器，报告所述最大值；和/或，利用内码 FEC 的 TX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元，用于：利用物理媒介附加 PMA/物理媒介相关 PMD 的 TX 最大时延寄存器，报告所述最大值；和/或，利用 PMA/PMD 的 TX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元，用于：利用内码 FEC 的 RX 最大时延寄存器，报告所述最大值；和/或，利用内码 FEC 的 RX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元，用于：利用 PMA/PMD 的 RX 最大时延寄存器，报告所述最大值；和/或，利用 PMA/PMD 的 RX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元，用于：向媒体接入控制 MAC 层报告数据流中所述多个特定位置的数据对应的所述目标时延。

在一种可能的实现方式中，所述装置应用于光模块或物理 PHY 层芯片。

在一种可能的实现方式中，所述光模块包括内码 FEC 模块，所述内码 FEC 模块包括内码 FEC 编码模块和/或内码 FEC 解码模块。

在一种可能的实现方式中，所述特定位置为在所述数据流中插入填充序列之后的下一个数据块的起始位置，所述起始位置为所述下一个数据块的第一个比特或者第一个符号或者第一个字节。

第四方面，本申请实施例提供了一种时延报告装置，应用于第一模块，所述装置包括：处理单元，用于获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值；发送单元，用于根据时延抖动值，向第二模块报告时延信息。

在一种可能的实现方式中，所述处理单元，还用于：确定所述目标数据经过所述第一模块中第二子模块的第一时延；所述发送单元，用于：根据所述时延抖动值和所述第一时延，向所述第二模块报告所述时延信息。

在一种可能的实现方式中，所述发送单元，用于：向所第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延。

在一种可能的实现方式中，所述目标时延包括：所述时延抖动值和所述第一时延之和；或者，所述第一时延减去所述时延抖动值所得到的差值。

在一种可能的实现方式中，所述第一时延包括：所述目标数据经过所述第二子模块的最大时延和最小时延；相应的，所述目标时延包括：根据所述最大时延和所述时延抖动值得到最大目标时延、以及根据所述最小时延和所述时延抖动值得到的最小目标时延。

在一种可能的实现方式中，若所述目标数据为所述第一模块发送的数据，则所述发送单元，用于：利用内码前向纠错 FEC 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用内码

FEC 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，若所述目标数据为所述第一模块发送的数据，则所述发送单元，用于：利用物理媒介附加 PMA/物理媒介相关 PMD 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，若所述目标数据为所述第一模块接收的数据，则所述发送单元，用于：利用内码 FEC 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用内码 FEC 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，若所述目标数据为所述第一模块接收的数据，则所述发送单元，用于：利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，所述第二子模块包括：除所述第一子模块之外的子模块。

在一种可能的实现方式中，所述第二子模块包括：内码 FEC 模块中执行卷积交织、分发以及调制编码操作的子模块；或者，内码 FEC 模块中执行逆卷积解交织、复用以及调制解码操作的子模块。

在一种可能的实现方式中，所述处理单元，用于：获取预先设置的所述第一时延。

在一种可能的实现方式中，所述处理单元，用于：统计所述目标数据经过所述第二子模块的第一时延。

在一种可能的实现方式中，所述统计所述目标数据经过所述第二子模块的一时延，包括：统计所述目标数据中的至少一个比特数据经过所述第二子模块的时延，以得到所述第一时延。

在一种可能的实现方式中，所述处理单元，还用于：确定所述目标数据经过所述第一模块中第三子模块的第二时延；所述发送单元，用于：根据所述时延抖动值和所述第二时延，向所述第二模块报告所述时延信息。

在一种可能的实现方式中，所述第三子模块包括：PMA 子模块和/或 PMD 子模块。

在一种可能的实现方式中，所述第二模块包括：媒体接入控制 MAC 层模块。

在一种可能的实现方式中，所述固定数值位于 4.6 纳秒和 4.8 纳秒之间秒，或者，所述固定数值为 4.5 纳秒，或者，所述固定数据位于 9.1 纳秒和 9.3 纳秒之间。

在一种可能的实现方式中，所述第一子模块包括：循环移位子模块。

在一种可能的实现方式中，所述第一子模块包括存在由于校验序列的增加或删除，或者填充序列的增加或删除而导致的时延抖动的子模块。

在一种可能的实现方式中，所述第一子模块包括存在由于数据流的交织或者解交织而导致的时延抖动的子模块。

在一种可能的实现方式中，所述第一子模块包括：内码 FEC 模块中执行 FEC 内码编码、数据流交织以及填充序列增加操作的子模块；或者，内码 FEC 模块中执行 FEC 内码解码、数据流解交织以及填充序列删除操作的子模块。

在一种可能的实现方式中，所述目标数据包括 8712*N 个数据块，或者 8704*N 个数据块，所述 N 为正整数。

在一种可能的实现方式中，所述数据块包括 128 个比特或 120 个比特。

在一种可能的实现方式中，所述目标数据包括：1115136*N 比特，1114112*N 比特，或 1044480*N 比特，或 1045440 比特，所述 N 为正整数。

第五方面，本申请实施例提供了一种设备。所述设备包括处理器，所述处理器用于执行以上第一方面以及以上第一方面任意一项所述的方法；或者，所述处理器用于执行所述存储器中的所述指令或计算机程序，执行以上第二方面以及以上第二方面任意一项所述的方法。

在一种可能的实现方式中，所述设备还包括存储器，所述存储器用于存储指令或计算机程序，所述处理器用于执行所述存储器中的所述指令或计算机程序，触发所述设备以上第一方面以及以上第一方面任意一项所述的方法；或者，所述处理器用于执行所述存储器中的所述指令或计算机程序，执行以上第二方面以及以上第二方面任意一项所述的方法。

第六方面，本申请实施例提供了一种设备，包括接口电路和处理电路，所述接口电路用于接收和/

或发送数据，所述处理电路用于进行数据处理。

在一个示例中，该设备可以用于执行以上第一方面任意一项所述的方法，对于这种情况：

所述接口电路，用于报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。

在一个示例中，所述处理电路，用于测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延；其中，所述目标时延包括所述多个第一时延中的最大值和/或最小值。

在又一个示例中，该设备可以用于执行以上第二方面任意一项所述的方法，对于这种情况：

所述处理电路用于获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值；所述接口电路用于根据时延抖动值，向第二模块报告时延信息。

第七方面，本申请实施例提供了一种计算机可读存储介质，包括指令或计算机程序，当其在计算机上运行时，使得计算机执行以上第一方面以及以上第一方面任意一项所述的方法，或者，当其在计算机上运行时，使得计算机执行以上第二方面以及以上第二方面任意一项所述的方法。

第八方面，本申请实施例提供了一种包含指令或计算机程序的计算机程序产品，当其在计算机上运行时，使得计算机执行以上第一方面以及以上第一方面任意一项所述的方法，或者，使得计算机执行以上第二方面以及以上第二方面任意一项所述的方法。

第九方面，本申请实施例提供了一种芯片，包括接口电路和处理电路，所述芯片用于执行以上第一方面以及以上第一方面任意一项所述的方法；或者，执行以上第二方面以及以上第二方面任意一项所述的方法。

第十方面，本申请实施例提供了一种光模块，包括接口电路和处理电路，所述光模块用于执行以上第一方面以及以上第一方面任意一项所述的方法；或者，执行以上第二方面以及以上第二方面任意一项所述的方法。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请中记载的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

图 1a 为本申请实施例提供的一种通信装置的结构示意图；

图 1b 为本申请实施例提供的又一种通信装置的结构示意图；

图 1c 为本申请实施例提供的一种 FEC 功能引入的时延的示意图；

图 1d 为本申请实施例提供的又一种通信装置的结构示意图；

图 1e 为本申请实施例提供的一种内码 FEC 功能引入的时延的示意图；

图 1f 为本申请实施例提供的又一种内码 FEC 功能引入的时延的示意图；

图 1g 为本申请实施例提供的又一种内码 FEC 功能引入的时延的示意图；

图 1h 为本申请实施例提供的一种内码 FEC 功能引入的时延的示意图；

图 2 为本申请实施例提供的一种时延报告方法的流程示意图；

图 3 为本申请实施例提供的一种第一模块的结构示意图；

图 4 为本申请实施例提供的又一种时延报告方法的流程示意图；

图 5 为本申请实施例提供的一种内码 FEC 的处理过程示意图；

图 6 为本申请实施例提供的一种时延报告装置的结构示意图；

图 7 为本申请实施例提供的又一种时延报告装置的结构示意图；

图 8 为本申请实施例提供的一种设备的结构示意图；

图 9 为本申请实施例提供的一种设备的结构示意图；

图 10 为本申请实施例提供的一种芯片或光模块的结构示意图。

具体实施方式

本申请实施例提供了一种时延报告方法及装置，能够准确的报告时延。

为方便理解，首先对报告时延的应用场景进行介绍。

在时间同步场景中，通信装置之间可以通过交互报文的方式来进行时间同步。本申请实施例中提及的通信装置，可以是交换机、路由器、切片分组网（slicing packet network， SPN）设备或者光传输网（optical transmission network，OTN）设备等网络设备，也可以是网络设备上的一部分组件，例如是网络设备上的单板或线卡或者接口，也可以是网络设备上的一个功能模块，也可以是芯片，也可以是网络设备上的可插拔光模块，还可以是服务器，服务器上的网卡，或者其他设备的网卡等，本申请实施例不做具体限定。通信装置之间例如可以但不限于通过以太网线或光缆直接连接。

1588 协议是一种高精度的时间同步协议。1588 协议可以提供纳秒（nanosecond，ns）级的时间同步精度。目前国际电信联盟（international telecommunication union-telecommunication，ITU-T）G.8273.2 定义了四个等级（class）的时间同步精度要求，分别为 class A、class B、class C 和 class D。其中，class A 对应的时间精度为±100ns；Class B 对应的时间精度为±70ns；Class C 对应的时间精度为±30ns；Class D 对应的时间精度为±5ns。因此，在一个示例中，通信装置之间可以通过交互 1588 报文的方式来进行时间同步。此处提及的 1588 报文，可以理解成遵循 1588 协议的报文。

通信装置之间交互 1588 报文来进行时间同步在具体实现时，发送 1588 报文的通信装置可以在 1588 报文中添加发送时间戳，该发送时间戳指示该 1588 报文的发送时刻。相应的，接收到该 1588 报文的通信装置会记录该 1588 报文的接收时间戳，该接收时间戳指示该 1588 报文的接收时刻，进一步地，接收该 1588 报文的通信装置可以基于前述发送时间戳和接收时间戳来进行时间同步。由于该发送时间戳和接收时间戳是进行时间同步的输入参数，因此，该发送时间戳和准确信和接收时间戳的准确性，直接影响了时间同步的精度。换言之，保证前述发送时间戳和接收时间戳的准确性尤为重要。

目前，通信装置记录时间戳的方式为：由通信装置的 MAC 层记录时间戳。在一个具体的场景中，对于包括以太接口的通信装置而言，可以由通信装置的 MAC 层记录时间戳。

接下来，结合通信装置的结构，对通信装置记录时间戳的方式进行介绍。

参见图 1a，该图为本申请实施例提供的一种通信装置的结构示意图，其中包括发送端通信装置的结构和接收端通信装置的结构。

如图 1a 所示，无论是作为发送端的通信装置，还是作为接收端的通信装置，其均可以包括 MAC 层和物理层，物理层又都可以包括 PCS、PMA 和 PMD。另外，其还可以包括应用层，应用层例如可以对应上层业务。

作为发送端，其 MAC 层可以生成 MAC 帧并发送给物理层。例如，MAC 层可以接收上游设备或上层业务发送的数据，可以对数据进行封装，形成 MAC 帧。又如，若 MAC 层未接收到上游设备或上层业务发送的数据，则 MAC 层会基于空闲（IDLE）码流生成对应的 MAC 帧。

发送端的 MAC 层将 MAC 帧发送给发送端的物理层。物理层可以包括 PCS、PMA 和 PMD。发送端的 MAC 层可以记录其将 MAC 帧发送给物理层的时间戳作为前述发送时间戳。

PCS 可以对接收的数据流进行处理，并将处理之后的数据发送给 PMA。此处提及的数据流，可以是包括多个比特的比特流，该数据流可以是对 MAC 帧进行处理得到的。

PMA 可以对来自 PCS 的数据进行调制，调制成信道支持传输的信号。

PMD 为信号发送器，用于将 PMA 调制后的信号通过传输介质传输出去。

接收端的物理层接收通过前述传输介质上传输的信号，并对该信号进行处理之后传递给接收端的 MAC 层。如上所述，接收端的物理层也包括 PMD、PMA 和 PCS。

接收端的 PMD 首先接收传输介质上传输的信号。而后，PMA 对该信号进行解调。PMA 解调之后得到的数据传递给 PCS，PCS 对接收到的数据执行的相应操作，其中，接收端的 PCS 所执行的操作是发送端的 PCS 所执行的逆操作。进一步地，所述 PCS 可以将处理得到的数据流发送给 MAC 层。至此，接收端的 MAC 层接收到 PCS 发送的数据流之后，可以获得发送端发送的 MAC 帧，并进一步对该 MAC 帧进行处理，例如，对 MAC 帧进行解析并上送给上游设备或者上层业务。其中，接收端的 MAC 接收到 PCS 处理得到的数据流时，接收端的 MAC 层可以记录其接收到该数据流的时间戳作为接收时间戳。

为了支持 1588 的高精度时间同步这一特性。通信装置的物理层可以将数据流经过物理层的时延报告给 MAC 层，以便于 MAC 在记录时间戳时，基于数据流经过物理层的时延，对记录的时间戳进行补

偿，从而使得 MAC 层进行补偿之后时间戳更加准确。具体的：

对于发送端而言，MAC 层可以在自身记录的时间戳的基础上加上前述数据流经过物理层的时延，得到发送时间戳。不难理解的是，该发送时间戳可以认为是发送端的物理层实际发送所述数据流的时间戳。

对于接收端而言，MAC 层可以在自身记录的时间戳的基础上减去前述数据流经过物理层的时延，得到接收时间戳。不难理解的是，该接收时间戳可以认为是接收端的物理层实际接收所述数据流的时间戳。

如前描述可知，在物理层传输的数据流是包括多个比特的比特流。物理层无法识别比特流中的哪些部分对应 1588 报文。因此，物理层无法准确的针对 1588 报文进行时延的统计。为了解决这个问题，在一些场景中，需要保证物理层时延的稳定。即：数据流经过物理层的时延稳定在固定值附近，这样一来，物理层可以将该固定值报告给 MAC 层，相应的，MAC 层可以基于该固定值进行时间戳的补偿。

但是，对于一些通信装置例如包括 100GE 以太接口的通信装置而言，其物理层的 PCS 包括 FEC 功能，而 PCS 的 FEC 功能会执行校验位（parity bits）的增删操作以及数据流的交织解交织操作，校验位的增删操作以及数据流的交织解交织操作均会引入时延抖动，从而导致数据流经过物理层的时延是不稳定的。在本申请实施例中，校验位也可以被称为校验序列，二者可以交替使用。

需要说明的是，对于任意通信装置而言，其既可以作为发送端，又可以作为接收端。换言之，图 1a 所示的发送端和接收端的角色可以互换，若图 1a 所示的发送端和接收端的角色互换，则数据流的流向也相应会发生改变，即：数据流的流向可以由角色互换之后的发送端流向角色互换之后的接收端。

可参考图 1b，图 1b 为本申请实施例提供的又一种通信装置的结构示意图。图 1b 所示的通信装置的结构与图 1a 所示的通信装置的结构基本相同，区别在于图 1b 所示的通信装置的 PCS 包括 FEC 功能。

对于图 1b 所示的通信装置，发送端的 FEC 功能和接收端的 FEC 功能所引入的时延之和是固定的，例如，发送端的 PCS 会进行 FEC 编码，该编码过程包括增加校验位，相应的会引入对应的时延抖动，另外，发送端还会执行数据流交织操作，而数据流交织操作也会引人一定的时延抖动。类似的，接收端的 PCS 会进行 FEC 解码，该解码过程包括删除校验位，相应的会引入对应的时延抖动，另外，发送端还会对数据流执行解交织操作，而对数据流执行解交织操作也会引入一定的时延抖动。为方便描述，将发送端实现 FEC 功能所产生的时延称为 FEC_TX 时延，将接收端实现 FEC 功能所产生的时延称为 FEC_RX 时延，则 FEC_TX 时延和 FEC_RX 时延可以如图 1c 所示。图 1c 为本申请实施例提供的一种 FEC 功能引入的时延的示意图。图 1c 所示的横坐标表示经过 PCS 模块的比特流，纵坐标表示时延。

在一个示例中，PCS 的 FEC 功能，也可以被称为外码 FEC 功能，发送端的 PCS 进行 FEC 编码所得到的 FEC 码字，可以被称为 FEC 外码码字。

另外，当前 IEEE 802.3dj 特别工作组（task force）（B400G 标准）定义了物理层支持级联编码功能。具体的，PMA 和 PMD 之间会插入内码 FEC，用于进行 FEC 内码编解码。作为一个示例，发送端的内码 FEC 进行 FEC 内码编码所得到的 FEC 码字，可以被称为 FEC 内码码字。

可参考图 1d 进行理解，图 1d 为本申请实施例提供的又一种通信装置的结构示意图。如图 1d 所示，支持级联编码的通信装置的物理层包括：支持 FEC 功能的 PCS、PMA 101、PMA102、内码 FEC 和 PMD。其中，PMA 101 和 PMA102 之间通过附加单元接口（attachment unit interface，AUI）交互。其中：

PCS 和 PMA 101 可以属于第一芯片，PMA102、内码 FEC 和 PMD 可以属于光模块。

由于内码 FEC 要执行与内码相关的操作，而执行内码相关的操作也会引入时延抖动。相比于实现外码 FEC 功能相比，内码 FEC 功能还包括 pad 增删操作。

在一个示例中，对于发送端而言，内码 FEC 执行的操作包括：编码、交织和填充序列（pad）增加。对于接收端而言，内码 FEC 执行的操作包括：pad 删除、解交织和解码。在一个示例中，编码例如可以是针对每 120 比特的信息位（message bits），插入 8 比特校验位，交织例如可以是 8:1 码字交织。填充例如可以是每隔 8704 个内码码块（每个内码码块是 128bit）填充 1024 比特数据。即:每隔 8704 个内码码块插入长度为 8 个内码码块对应的长度的 pad。另外，发送端执行 pad 增加操作之后，可以对得到的数据流进行四电平脉冲幅度调制（pulse amplitude modulation 4，PAM4）编码，即：所述数据流中的两个比特可以作为一个 PAM4 编码之后得到的符号。

在又一个示例中，对于发送端而言，内码 FEC 执行的操作包括：卷积交织、BCH（Bose Chaudhuri Hocquenghem）编码和填充序列（pad）增加。对于接收端而言，其所执行的内码 FEC 执行的操作是发送端所执行的内码 FEC 操作的逆操作，具体可以包括：pad 删除、BCH 解码和解卷积交织。其中：

卷积交织操作例如可以是将每 40 比特数据按轮询方式发送到 N 个延时通道（line）上，例如，以延时通道的数量为 3 进行举例，这三个延时 line 分别为第 0 个延时 line、第 1 个延时 line 和第 2 个延时 line。其中，第 0 个延时 line 不会对数据执行延迟操作，第 1 个延时 line 会将每 40 比特数据延迟 6*40 个比特对应的时间，第 2 个延时 line 会将每个 40 比特数据延迟 12*40 个比特对应的时间。解卷积交织是卷积交织的逆过程，在解卷积交织过程中，第 2 个延时 line 不会对数据执行延迟操作，第 1 个延时 line 会将每 40 比特数据延迟 6*40 个比特对应的时间，第 0 个延时 line 会将每个 40 比特数据延迟 12*40 个比特对应的时间。

BCH 编码例如可以是针对每 110 比特的信息位，插入 16 比特校验位。相应的，BCH 解码是针对每 126 比特的编码信息，删除其中的 16 比特校验位，得到 110 比特的信息位。

pad 增加可以是每 64 个 4 比特的数据块插入一个 4 比特的导频（pilot）。也就是说，在此场景中，pad 可以是 pilot。相应的，pad 删除是每 65 个 4 比特的数据块，删除其中包括的 4 比特导频（即删除其中一个作为导频的数据块），得到 64 个 4 比特的数据块。

对于发送端而言，编码过程所包括的增加校验位以及交织这两个子功能会引入时延抖动，相应的，对于接收端而言，解码过程所包括的删除校验位以及解交织这两个子功能也会引入时延抖动。这导致 FEC_TX 时延和 FEC_RX 时延均会引入呈锯齿波形状的时延抖动。锯齿波周期约 4.5ns（1024/113.4375G/2），锯齿波幅度约 0.28125ns（64/113.4375G/2）。可参考图 1e 进行理解，图 1e 为本申请实施例提供的一种内码 FEC 功能引入的时延的示意图。在一个示例中，图 1e 所示的锯齿波的一个周期内可以包括 8 个 FEC 内码码字。其中：

在公式 1024/113.4375G/2 中：

1024 对应 8 个 FEC 内码码字包含的比特数，一个 FEC 内码码字包括 128 比特；

113.4375G 对应单个物理通道（lane）的波特率；

2 表示在对数据流进行 PAM4 编码的场景中，一个符号包括 2 个比特；

在公式 64/113.4375G/2 中：

64 表示在 8:1 码字交织中，第九个虚拟 lane 的第一个比特，位于交织后的数据中的第 65 个比特，其需要等待前 64 个比特发送完成才能发送；

113.4375G 对应单个物理通道的波特率；

2 表示一个符号包括 2 个比特。

另外，对于发送端而言，pad 增加这个子功能会引入时延抖动，相应的，对于接收端而言，pad 删除这个子功能也会引入时延抖动。这导致 FEC_TX 时延和 FEC_RX 时延也会引入呈锯齿波形状的时延抖动，此处提及的锯齿波周期约 4910ns（8704*128/113.4375G/2），锯齿波幅度约 4.5ns（1024/113.4375G/2）。相对于上述编码过程或解码过程引入的锯齿波，pad 增加或删除引入的锯齿波周期更大，可以简单称之为大锯齿，相应的将编码过程或解码过程引入的锯齿波称为小锯齿。可参考图 1f 进行理解，图 1f 为本申请实施例提供的一种内码 FEC 功能引入的时延的示意图。图 1f 示出了发送端的填充操作所引入的时延，以及接收端的去填充操作所引入的时延。也就是说，在级联编码的场景中，前述光模块内中存在由于校验位增删、交织解交织和 pad 增删导致的时延抖动。其中，图 1f 所示的锯齿波的周期，是图 1e 所示的锯齿波的周期的整数倍。因此，校验位增删和交织解交织引入的时延（如前图 1e 所示）和由于 pad 增删导致的时延（如前图 1f 所示）的时延叠加之后的时延，可以参考图 1g 进行理解。图 1g 为本申请实施例提供的又一种内码 FEC 功能引入的时延的示意图。

在公式 8704*128/113.4375G/2 中：

8704*128 标识 8704 个 FEC 内码码字包括的比特数；

113.4375G 对应单个物理通道的波特率；

2 表示一个符号包括 2 个比特。

在公式 1024/113.4375G/2 中：

1024 表示每隔 8704 个内码码块填充 1024 比特填充数据；

113.4375G 对应单个物理通道的波特率；

2 表示一个符号包括 2 个比特。

关于图 1g 所示的锯齿波，需要说明的是：

FEC_TX 时延所对应的小锯齿和 FEC_RX 时延对应的小锯齿，其周期相同。换言之，FEC_TX 时延所对应的小锯齿的波峰位置和 FEC_RX 时延对应的小锯齿的波峰位置重叠，FEC_TX 时延所对应的小锯齿的波谷位置和 FEC_RX 时延对应的小锯齿的波谷位置重叠。但是，FEC_TX 时延所对应的小锯齿的一个周期内所包括的数据的数量（例如比特数），与 FEC_RX 时延所对应的小锯齿的一个周期内所包括的数据的数量可以相同，也可以不同。

类似的，FEC_TX 时延所对应的大锯齿和 FEC_RX 时延对应的大锯齿，其周期相同。换言之，FEC_TX 时延所对应的大锯齿的波峰位置和 FEC_RX 时延对应的大锯齿的波峰位置重叠，FEC_TX 时延所对应的大锯齿的波谷位置和 FEC_RX 时延对应的大锯齿的波谷位置重叠。但是，FEC_TX 时延所对应的大锯齿的一个周期内所包括的数据的数量（例如比特数），与 FEC_RX 时延所对应的大锯齿的一个周期内所包括的数据的数量可以相同，也可以不同。

另外，对于发送端而言：

在一个示例中，大锯齿波对应的一个周期内可以包括 8704 个 FEC 内码码字对应的数据块，一个数据块包括 120 个信息比特。发送端执行 FEC 内码编码之后，每个数据块中被添加 8 个比特的校验序列，因此，也可以认为一个周期内可以包括 8704 个数据块，一个数据块包括 128 个比特。进一步地，发送端执行 pad 增加操作之后，一个周期内会插入 8 个 FEC 码字长度对应的 pad，即可以认为一个周期内包括 8712 个数据块，一个数据块包括 128 个比特。换言之，一个周期所包括的数据可以认为有如下三种情况：8704*120=1044480 个比特；或者，8704*128=1114112 个比特；或者，8712*128=1115136 个比特。

在另一个示例中，一个周期所包括的数据也可以包括：8712*120=1045440 个比特。

本领域技术人员容易理解，以上四种长度均可以认为是一个大锯齿波对应的周期。

发送端对数据流执行 pad 增加操作之后，可以将增加了 pad 的数据流发送给接收端。

对于接收端而言：

大锯齿波对应的一个周期内可以包括 8712 个 FEC 内码码字对应的数据块，一个数据块包括 128 比特。接收端可以对该 8712 个 FEC 内码码字对应的数据块执行 pad 删除操作，将发送端所插入的 pad 删除。接收端执行 pad 删除操作之后，一个周期内包括 8704 个 FEC 内码码字对应的数据块，一个数据块包括 128 比特。进一步地，接收端可以对该 8704 个 FEC 内码码字对应的数据块执行 FEC 内码解码，每个数据块中的 8 比特校验序列被删除。因此接收端执行 FEC 内码解码之后，一个周期内可以包括 8704 个数据块，一个数据块包括 120 个比特。因此，对于接收端而言：一个周期所包括的数据可以有如下三种情况：8712*128=1115136 个比特；或者，8704*128=1114112 个比特；或者，8704*120=1044480 个比特。

在另一个示例中，一个周期所包括的数据也可以包括：8712*120=1045440 个比特。

对于前述提及的由于 FEC 功能或者内码 FEC 功能引入的时延抖动，IEEE 802.3cx 标准规定：对于发送端而言，其报告的时延等价于最大时延，对于接收端而言，其报告的时延等价于最小时延。例如，在图 1c 所示的场景中，发送端报告的时延为 X+N，接收端报告的时延为 Y-N。

但是，IEEE 802.3cx 标准并未规定在物理层支持级联编码功能的场景中，发送端报告最大时延的具体实现方式、以及接收端报告最小时延的具体实现方式。

对于内码 FEC 功能而言，其引入时延抖动的因素包括校验位增删、交织解交织和 pad 增删。而对于发送端而言，特定数据块的开始位置的数据对应的时延，其对应的 FEC_TX 时延等价于最大时延。类似的，对于接收端而言，特定数据块的起始位置的数据对应的时延，其对应的 FEC_RX 时延等价于最小时延。可参考图 1h 进行理解，图 1h 为本申请实施例提供的一种内码 FEC 功能引入的时延的示意图。在图 1h 中：

空心圆圈圈出来的位置所对应的数据，其对应的时延等价于最大时延。因为空心圆圈所圈出来的部分，对应由于校验序列增删和交织解交织所引入的时延最大值、以及由于填充序列增删所引入的时延最

大值。此处提及的校验序列增删，指的是校验序列的增加或者删除，填充序列增删指的是填充序列的增加或者删除。

实心圆圈圈出来的位置所对应的数据，其对应的时延等价于最小时延。因为空心圆圈所圈出来的部分，对应由于校验序列增删和交织解交织所引入的时延最小值、以及由于填充序列增删所引入的时延最小值。

而空心圆圈圈出来的位置的数据，为特定数据块的起始位置的数据。相应的，实心圆圈圈出来的位置的数据，也为特定数据块的起始位置的数据。

如前所述可知，大锯齿的周期是小锯齿的周期的整数倍，因此，图 1h 所示的空心圆圈的周期，对应大锯齿的周期。

如前对于图 1g 的描述可知，在图 1h 所示的场景中：

在一个示例中，空心圆圈的一个周期内包括 8704 个数据块，一个数据块包括 120 比特。在又一个示例中，空心圆圈的一个周期内包括 8704 个数据块，一个数据块包括 128 比特。在另一个示例中，空心圆圈的一个周期包括 8712 个数据块，一个数据块包括 128 比特。

在一个示例中，实心圆圈的一个周期内包括 8712 个数据块，一个数据块包括 128 比特。在又一个示例中，实心圆圈的一个周期内包括 8704 个数据块，一个数据块包括 128 比特。在另一个示例中，实心圆圈的一个周期内包括 8704 个数据块，一个数据块包括 120 比特。

其中，可以对数据块按序进行编号，两个相邻的圆圈之间间隔 m 个数据块，可以是这两个相邻的圆圈所对应的数据块的编号之间的差值为 m。对于这种情况，前述圆圈对应的位置的周期也为 m。例如，两个空心圆圈对应的数据块之间间隔 8712 个数据块，可以是这两个空心圆圈对应的数据块的编号之间的差值为 8712。相应的，空心圆圈所标记的位置的周期为 8712。

另外，现有 IEEE 802.3cx 第 90 章节要求，通信装置的物理层在报告时延时，其各层分别报告最大时延和最小时延，具体的，IEEE 802.3cx 第 90 章节定义了各层用于报告最大时延和最小时延的寄存器，例如，IEEE 802.3cx 第 90 章节定义了 PMA/PMD 的 TX 最大时延寄存器、PMA/PMD 的 TX 最小时延寄存器、PMA/PMD 的 RX 最大时延寄存器以及 PMA/PMD 的 RX 最小时延寄存器，其中：

PMA/PMD 的 TX 最大时延寄存器，用于在通信装置作为发送端时，报告 PMA/PMD 的最大时延；

PMA/PMD 的 TX 最小时延寄存器，用于在通信装置作为发送端时，报告 PMA/PMD 的最小时延；

PMA/PMD 的 RX 最大时延寄存器，用于在通信装置作为接收端时，报告 PMA/PMD 的最大时延；

PMA/PMD 的 RX 最小时延寄存器，用于在通信装置作为接收端时，报告 PMA/PMD 的最小时延。

鉴于此，本申请实施例提供了一种时延报告方法，其可以在在物理层支持级联编码功能的场景中，在遵循 EEE 802.3cx 标准所规定的“对于发送端而言，其报告的时延等价于最大时延，对于接收端而言，其报告的时延等价于最小时延”情况下，准确的报告时延。

接下来，结合附图对本申请实施例提供的时延报告方法进行介绍。

在介绍本申请实施例提供的时延报告方法之前，需要说明的是：

对于通信装置而言，其可以包括物理层模块，物理层模块用于实现前述物理层所实现的功能。对于物理层而言，其可以包括多个子模块，各个子模块用于实现特定的物理层功能，例如，物理层模块包括 PCS 子模块、PMA 子模块和 PMD 子模块，PCS 子模块用于实现前述 PCS 所实现的功能，PMA 子模块用于实现前述 PMA 所实现的功能，PMD 子模块用于实现前述 PMD 所实现的功能。

另外，通信装置还可以包括光模块，光模块也可以包括对应的子模块，用于实现对应的功能。例如，对于结构为图 1d 所示的结构的通信装置而言，光模块可以包括 PMA 子模块，内码 FEC 模块和 PMD 子模块。

另外，时间同步只是本申请实施例提供的一种应用场景，本申请实施例的方案还可以应用于其它场景。例如，在随流检测场景中，通信装置也可以利用本申请实施例的方案，确定报文的发送时间戳或者接收时间戳。对于本申请实施例的应用场景，此处不一一列举说明。

参见图 2，该图为本申请实施例提供的一种时延报告方法的流程示意图。

图 2 所示的时延报告方法，可以应用于第一模块，所述第一模块可以是通信装置中的模块，此处提及的通信装置，可以是作为发送端的通信装置，也可以是作为接收端的通信装置，本申请实施例不做具

体限定。第一模块的结构可以如图 3 所示，图 3 为本申请实施例提供的一种第一模块的结构示意图。如图 3 所示，所述第一模块包括比特流处理模块、时延确定模块和时延报告模块。所述比特流处理模块可以包括 FEC 模块和与 FEC 模块交互的其它模块。所述时延确定模块用于确定时延，所述时延报告模块用于将所确定的时延报告给第二模块。

在一个示例中，所述第一模块可以是 PHY 模块或者光模块。作为一个具体的示例，包括所述第一模块的通信装置的结构为图 1d 所示的结构。对于这种情况，图 3 所示的 FEC 模块，可以是实现内码 FEC 功能的模块，其中，实现内码 FEC 功能的模块，也可以被称为“内码 FEC 模块”。

本申请实施例中提及的 PHY 模块，例如可以是用于实现 PHY 功能的 PHY 芯片。

图 2 所示的方法，可以包括如下 S101-S102。

S101：确定数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。

在本申请实施例中，所述数据流为发送端向接收端所发送的比特流。

在本申请实施例中，第一模块可以将所述目标时延报告给第二模块。在一个示例中，所述第二模块可以是通信装置的 MAC 层模块，这样一来，所述 MAC 层模块可以基于该目标时延，对自身记录的时间戳进行补偿，从而使得补偿之后的时间戳更加准确。

在本申请实施例中，若第一模块为对应发送端的模块，例如是图 1d 所示的内码 FEC 对应的模块，或者，是图 1d 所示的包括 PMA102、内码 FEC 和 PMD 的光模块，则所述第一模块可以对进入所述第一模块的数据执行 FEC 内码编码和 pad 增加操作，相应的，在一个示例中，此处提及的数据流，可以是执行 FEC 内码编码和 pad 增加操作之后的数据流。若第一模块为对应接收端的模块，则在一个示例中，所述数据流可以是发送端向所述第一模块发送的数据流，换言之，所述数据流是进入所述第一模块的数据流，且该数据流在发送端被执行了 FEC 内码编码和 pad 增加操作。

在又一个示例中，考虑到发送端将数据流发送给接收端之后，接收端可以对该数据流进行 FEC 内码解码，因此，该数据流也可以是接收端对接收到的数据流进行 FEC 内码解码之后得到的数据流。换言之，若第一模块为对应接收端的模块，则在又一个示例中，所述数据流可以是经过 FEC 内码解码之后得到的数据流。

其中：第一模块为对应发送端的模块，可以理解成第一模块是作为发送端的通信装置中的模块；第一模块为对应接收端的模块，可以理解成第一模块是作为接收端的通信装置中的模块。其中，第一模块为对应接收端的模块，也可以理解成第一模块对应接收端，第一模块为对应发送端的模块，也可以理解成第一模块对应发送端。

在本申请实施例中，所述目标时延为前述多个特定位置的数据经过第一模块的时延。或者，所述目标时延为前述多个特定位置的数据经过所述第一模块中的内码 FEC 层的时延。在所述第一模块为光模块的情况下，该目标时延为前述多个特定位置的数据经过光模块的时延。或者，该目标时延为前述多个特定位置的数据经过光模块中的内码 FEC 层的时延。其中，内码 FEC 层为用于实现内码 FEC 功能的层。在所述第一模块为 PHY 模块的场景中，该目标时延为前述多个特定位置的数据经过 PHY 模块中的内码 FEC 层的时延。

在一个具体的示例中，所述光模块可以包括与所述内码 FEC 层对应的内码 FEC 模块，因此，在一个示例中，所述目标时延可以是前述多个特定位置的数据经过光模块中的内码 FEC 模块的时延。其中，该内码 FEC 模块用于实现内码 FEC 功能。在一个具体的示例中，所述内码 FEC 模块包括内码 FEC 编码模块和/或内码 FEC 解码模块，所述内码 FEC 编码模块用于实现 FEC 内码编码功能，所述内码 FEC 解码模块用于实现 FEC 内码解码功能。作为一个示例，当所述通信装置作为发送端时，该内码 FEC 模块包括内码 FEC 编码模块。作为又一个示例，当所述通信装置作为接收端时，该内码 FEC 模块包括内码 FEC 解码模块。作为另一个示例，考虑到一个通信装置可以既作为发送端、又作为接收端。因此，该内码 FEC 模块可以包括内码 FEC 编码模块和内码 FEC 解码模块。

在本申请实施例中，若第一模块对应发送端，则所述多个特定位置的数据对应的目标时延，等价于最大时延。若第一模块对应接收端，则所述多个特定位置的数据对应的目标时延，等价于最小时延。如前对于图 1h 的描述可知，所述多个特定位置可以是图 1h 中圆圈圈出来的位置，即：特定数据块的起始

位置。可参考图 1h 进行理解，对于发送端而言，所述多个特定位置可以是图 1h 中空心圆圈所圈出来的位置。对于接收端而言，所述多个特定位置可以是图 1h 中实心圆圈所圈出来的位置。该多个特定位置之间间隔固定长度。并且，所述多个而该特定位置的周期对应于在所述数据流中插入填充序列的周期。

如前对于图 1h 的描述可知，所述多个特定位置的周期，可以是 8712 个数据块，也可以是 8704 个数据块，其中，8712 为在数据流中插入填充序列之后所对应的周期，8704 为在数据流中插入填充序列之前所对应的周期。当然，所述多个特定位置的周期，也可以是 8712 个数据块的整数倍或者 8704 个数据块的整数倍。例如，所述特定位置的周期是 8712 个数据块或者 8704 个数据块的 K 倍，则 K 的值越大，则需要统计时延的特定位置的数量越少，相应的，统计目标时延所消耗的计算资源也越少。

在一个示例中，一个数据块可以包括 128 比特或者 120 比特，例如，该数据块为经过 FEC 内码编码之后的数据块，则该数据块包括 128 个比特，若该数据块尚未进行 FEC 内码编码，或者，该数据块经过了 FEC 内码解码，则该数据块包括 120 个比特。其中，若一个数据块包括 128 比特，则该数据块也可以被称为 FEC 内码码字。

如前对于图 1h 的描述可知，所述多个特定位置的周期可以包括如下几种情况：

8704*120=1044480 个比特；或者，8712*120=1045440 个比特；或者，8704*128= 1114112 个比特；或者，8712*128=1115136 个比特。

因此，在一个示例中，所述多个特定位置的周期，可以是 1044480 个比特的整数倍、1114112 个比特的整数倍或者 1115136 个比特的整数倍。

在发送端执行卷积交织、BCH 编码和 pad 插入的场景中，一个数据块可以包括 4 比特，所述多个特定位置的周期，可以是 65 个数据块，也可以是 64 个数据块，其中，65 为在数据流中插入填充序列之后所对应的周期，64 为在数据流中插入填充序列之前所对应的周期。

在本申请实施例中，所述特定位置可以是数据块的起始位置。数据块的起始位置可以是数据块的第一个字节，也可以是第一个比特或者第一个符号。在前述数据块包括 128 比特的场景中，此处提及的特定数据块可以是特定 FEC 码字，例如，可以是 FEC 内码码字。

例如，在本申请实施例中，所述特定位置可以是在数据流中插入填充序列后的下一个数据块的起始位置。也即载荷数据（payload）中的第一个数据块的起始位置。

在一个示例中，所述数据流可以包括多个目标数据，每个目标数据可以包括 N 个数据块，相应的，所述前述特定位置可以是该 N 个数据块的起始位置。换言之，所述数据流可以包括多个数据块，该多个数据块可以按照 N 个数据块为一组，被划分为多个组，一组则对应一个目标数据。在一个数据块包括 128 个比特的场景中，目标数据可以包括 N 个 FEC 内码码字。

在本申请实施例中，发送端除了可以在该数据流中插入填充序列之外，还可以插入校验序列，具体的，发送端对数据流进行 FEC 内码编码时，可以针对每 120 比特数据插入 8 比特校验序列，在本申请实施例中，发送端在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍。例如，可结合图 1h 进行理解，在图 1h 中，小锯齿波的周期对应在所述数据流中插入校验序列的周期，大锯齿波的周期对应在所述数据流中插入填充序列的周期，大锯齿波的周期是小锯齿波的周期的整数倍。在一个示例中，所述大锯齿波的周期可以是小锯齿波的周期的 8704 倍。正是因为在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍，因此，大锯齿波的波峰位置与小锯齿波的波峰位置重叠，大锯齿波的波谷位置与小锯齿波的波谷位置重叠，故而可以基于在所述数据流中插入填充序列的周期，确定前述特定位置的周期，以确定目标时延。

在一个示例中，前述多个特定位置的数据中，每个特定位置的数据可以对应一个第一时延，因此，前述多个特定位置的数据，可以对应多个第一时延。

在本申请实施例中，所述多个第一时延可以相同，也可以不完全相同或者完全不相同，本申请实施例不做具体限定。

如前所述，现有 IEEE 802.3cx 第 90 章节针对物理层的各个层定义了对应的最大时延寄存器和最小时延寄存器。因此，为了兼容当前 IEEE 802.3cx 第 90 章节对于物理层报告时延的机制，可以报告所述多个第一时延中的最大值和/或最小值。换言之，前述目标时延可以是所述多个第一时延中的最大值和/或最小值。

如前所述，所述多个第一时延可以相同，也可以不完全相同或者完全不相同。当所述多个第一时延相同时，所述最大值和最小值相同。当所述多个第一时延不完全相同或者完全不相同时，所述最大值小于所述最小值。

在一个示例中，S101 在具体实现时，第一模块可以测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延。举例说明：

若所述第一模块对应发送端，则对于进入第一模块的数据流而言，可以以 8704 个数据块（每个数据块包括 120 比特）作为一组，测量每组数据块中起始位置的数据在第一模块内的第一时延，得到多个第一时延。

若所述第一模块对应接收端，则对于进入第一模块的数据流而言，可以以 8712 个数据块（每个数据块包括 128 比特）作为一组，测量每组数据块中起始位置的数据在第一模块内的第一时延，得到多个第一时延。

本申请实施例不具体限定确定第一时延的具体实现方式。

在一个示例中，所述第一模块可以针对所述目标数据中的特定位置的数据，进行时延的记录，从而确定所述第一时延。在另一个示例中，所述第一模块可以确定所述目标数据中多个位置的数据经过所述第一模块的时延，从而得到每个目标数据对应的多个时延。此处提及的多个位置，可以包括所述特定位置，例如，所述多个位置可以是所述目标数据中的各个位置。相应的，对于任意一个目标数据而言，可以从该目标数据对应的多个时延中，确定所述第一时延。即：从所述多个时延中，提取所述特定位置对应的时延，从而得到所述第一时延。举例说明：对于目标数据而言，所述第一模块可以确定目标数据中各个比特数据经过所述第一模块的时延，并从中提取目标数据中的起始位置的数据经过所述第一模块的时延，从而得到第一时延。

对于目标数据中任意一个位置的数据经过第一模块的时延的确定方式，本申请实施例不做具体限定，以下介绍两种可能的实现方式。

在一种实现方式中，所述第一模块可以记录自身接收该位置的数据的第一时刻，并记录自身将该位置的数据发送出去的第二时刻，并将第二时刻减去第一时刻所得到的差值，确定为该位置的数据经过所述第一模块的时延。

在又一个示例中，所述第一模块在接收该位置的数据之后，可以缓存该位置的数据。相应的，所述第一模块可以根据缓存中已经缓存的数据，按序将缓存的数据发送出去。因此，该位置的数据在缓存中的位置，可以表征该位置的数据需要在缓存中等待的时长，而该等待的时长，可以表征该位置的数据经过所述第一模块的时延。因此，所述第一模块可以根据该位置的数据在缓存中的位置，确定该位置的数据经过所述第一模块的时延。

S102：报告数据流中多个特定位置的数据对应的目标时延。

第一模块可以利用相应的寄存器将目标时延报告给第二模块。在目标时延包括前述最大值和/或最小值的场景中，在一个示例中，所述第一模块可以利用相应的寄存器将所述最大值和/或最小值报告给第二模块，以下介绍几种第一模块利用相应的寄存器将所述最大值和/或最小值报告给第二模块的具体实现方式。

在一个示例中，若所述第一模块对应发送端，则：

作为一个具体的示例，可以定义新的寄存器来向第二模块报告所述最大值和/或最小值。例如，定义内码 FEC 的 TX 最大时延寄存器和/或 TX 最小时延寄存器，该 TX 最大时延寄存器用于报告所述最大值，该 TX 最小时延寄存器用于报告所述最小值。换言之，所述第一模块可以利用内码 FEC 的 TX 最大时延寄存器，将所述最大值报告给所述第二模块，和/或，利用内码 FEC 的 TX 最小时延寄存器，将所述最小值报告给所述第二模块。

作为另一个具体的示例，所述第一模块可以利用 PMA/PMD 的 TX 最大时延寄存器，将所述最大值报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小值报告给所述第二模块。采用这种方式，可以沿用已有的寄存器实现目标时延的报告。

在一个示例中，若所述第一模块对应接收端，则：

作为又一个具体的示例，可以定义新的寄存器来向第二模块报告所述最大值和/或最小值。例如，定

义内码 FEC 的 RX 最大时延寄存器和/或 RX 最小时延寄存器，该 RX 最大时延寄存器用于报告所述最大值，该 RX 最小时延寄存器用于报告所述最小值。换言之，所述第一模块可以利用内码 FEC 的 RX 最大时延寄存器，将所述最大值报告给所述第二模块，和/或，利用内码 FEC 的 RX 最小时延寄存器，将所述最小值报告给所述第二模块。

作为另一个具体的示例，所述第一模块可以利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大值报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小值报告给所述第二模块。

通过以上描述可知，利用本申请实施例的方案，第一模块可以遵循“对于发送端而言，其报告的时延等价于最大时延，对于接收端而言，其报告的时延等价于最小时延”，准确的向第二模块报告时延。

以上对本申请实施例提供的时延报告方法进行了介绍，接下来结合具体场景，对本申请实施例提供的方案进行介绍。

实施例 1：图 2 所示的时延报告方法的具体实现。

在此场景中，通信装置的结构可以采用图 1d 所示的结构，第一模块可以是通信装置的光模块，该光模块包括 PMA102、内码 FEC 和 PMD。

对于作为发送端的通信装置而言，其光模块可以执行如下操作：

S1：记录其发送的数据流中第 i 个数据块的起始位置经过光模块的时延，得到 DelayTX（1，i），其中：

1 表示起始位置，其可以是第 1 个比特、第 1 个字节或者第 1 个符号。

i 的值可以是 8704，8704*2，8704*3，…8704*k。

S2：确定 DelayTX（1，i）的最大值 DelayTX_max 以及 DelayTX（1，i）的最小值 DelayTX_min。

S3：将 DelayTX_max 以及 DelayTX_min 报告给 MAC 层模块。

在一个示例中，可以通过内码 FEC 的 TX 最大时延寄存器，将 DelayTX_max 报告给 MAC 层模块，通过内码 FEC 的 TX 最小时延寄存器，将 DelayTX_min 报告给 MAC 层模块。

在又一个示例中，可以通过 PMA/PMD 的 TX 最大时延寄存器，将 DelayTX_max 报告给 MAC 层模块，通过 PMA/PMD 的 TX 最小时延寄存器，将 DelayTX_min 报告给 MAC 层模块。

对于作为接收端的通信装置而言，其光模块可以执行如下操作：

S1’：记录其接收的数据流中第 j 个 FEC 内码码块的起始位置经过光模块的时延，得到 DelayRX（1，j）。

1 表示起始位置，其可以是第 1 个比特、第 1 个字节或者第 1 个符号。

j 的值可以是 8712，8712*2，8712*3，…8712*k。

S2’：确定 DelayRX（1，j）的最大值 DelayRX_max 以及 DelayRX（1，j）的最小值 DelayRX_min。

S3’：将 DelayRX_max 以及 DelayRX_min 报告给 MAC 层模块。

在一个示例中，可以通过内码 FEC 的 RX 最大时延寄存器，将 DelayRX_max 报告给 MAC 层模块，通过内码 FEC 的 RX 最小时延寄存器，将 DelayRX_min 报告给 MAC 层模块。

在又一个示例中，可以通过 PMA/PMD 的 RX 最大时延寄存器，将 DelayRX_max 报告给 MAC 层模块，通过 PMA/PMD 的 RX 最小时延寄存器，将 DelayRX_min 报告给 MAC 层模块。

本申请的发明人还发现，若第一模块所包括的子模块包括能够引入时延抖动的子模块，则若第一模块在向第二模块报告时延信息时，能够基于该时延抖动值进行报告，则也能在遵循 IEEE 802.3cx 标准所规定的“对于发送端而言，其报告的时延等价于最大时延，对于接收端而言，其报告的时延等价于最小时延”的情况下，准确的向第二模块报告时延信息。

鉴于此，本申请实施例还提供了一种与图 2 所示的时延报告方法并列的另外一种时延报告方法，接下来，结合图 4，介绍该时延报告方法。图 4 为本申请实施例提供的又一种时延报告方法的流程示意图。

图 4 所示的方法，可以应用于第一模块，关于第一模块，可以参考上文对于第一模块的说明部分，此处不做重复说明。

图 4 所示的方法，可以包括如下 S201-S202。

S201：获取目标数据经过第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值。

关于所述目标数据,可以以上对于图2所示的方法中对于目标数据的描述部分,此处不做重复描述。

在本申请实施例中，第一子模块中存在固定数值的时延抖动。如前对于内码 FEC 功能的描述可知，实现内码 FEC 功能所包括的：校验序列的增加或者删除、数据交织或者解交织、以及填充序列的增加或者删除均会导致时延抖动。对于发送端而言，校验序列的增加、数据交织以及填充序列的增加所引入的时延抖动是前述固定数值。对于接收端而言，校验序列的删除、数据解交织以及填充序列的删除所引入的时延抖动也是前述固定数值。

因此，在一个示例中，所述第一子模块，可以包括：存在由于校验序列的增加或删除而导致时延抖动的子模块、存在由于填充序列的增加或删除而导致的时延抖动的子模块以及存在由于数据流的交织或者解交织而导致的时延抖动的子模块。或者，所述第一子模块还可以包括循环移位子模块。

作为一个具体的示例，对于发送端而言，所述第一子模块可以包括：存在由于校验序列的增加而导致时延抖动的子模块、存在由于填充序列的增加而导致的时延抖动的子模块以及存在由于数据流的交织而导致的时延抖动的子模块。相应的，对于接收端而言，所述第一子模块可以包括：存在由于校验序列的删除而导致时延抖动的子模块、存在由于填充序列的删除而导致的时延抖动的子模块以及存在由于数据流的解交织而导致的时延抖动的子模块。

在一个示例中，前述存在由于校验序列的增加而导致时延抖动的子模块，可以是内码 FEC 模块中执行 FEC 内码编码的子模块；前述存在由于填充序列的增加而导致的时延抖动的子模块，可以是内码 FEC 模块中执行填充序列增加操作的子模块；前述存在由于数据流的交织而导致的时延抖动的子模块，可以是内码 FEC 模块中执行数据流交织的子模块。换言之，所述第一子模块可以包括：内码 FEC 模块中执行 FEC 内码编码、数据流交织以及填充序列增加的子模块。

在又一个示例中，前述存在由于校验序列的删除而导致时延抖动的子模块，可以是内码 FEC 模块中执行 FEC 内码解码的子模块；前述存在由于填充序列的删除而导致的时延抖动的子模块，可以是内码 FEC 模块中执行填充序列删除操作的子模块；前述存在由于数据流的解交织而导致的时延抖动的子模块，可以是内码 FEC 模块中执行数据流解交织的子模块。换言之，所述第一子模块可以包括：内码 FEC 模块中执行 FEC 内码解码、数据流解交织以及填充序列删除的子模块。

在又一个示例中，前述第一子模块可以是循环移位子模块。其中，循环移位子模块用于执行循环移位操作。作为一个示例，发送端在执行编码处理（例如内码 FEC 处理）之前，还可以执行循环移位操作，相应的，接收端在执行解码处理之后，还可以执行循环移位操作。作为又一个示例，发送端在执行 BCH 编码操作之后、执行 pilot 插入之前，还可以执行循环移位操作。相应的，接收端在执行 pilot 删除之后、执行 BCH 解码操作之前，还可以执行循环移位操作。

在一个示例中，若接收端执行循环移位操作对应的移位方向，与发送端执行循环移位操作对应的移位方向相同，则前述第一子模块可以包括用于执行循环移位操作的循环移位子模块。在此场景中，循环移位子模块引入的时延抖动值，可以是 4.5 纳秒。

在本申请实施例中，所述时延抖动值可以是预设的固定数值。例如，当所述第一模块为光模块时，所述时延抖动值可以包括第一抖动值和第二抖动值之和，第一抖动值可以是校验序列增加或者删除、以及数据流交织或者解交织所引入的时延抖动值。第二抖动值可以是 pad 增加或者删除引入的时延抖动值。其中，所述固定数值例如可以是在 4.6ns 和 4.8ns 之间的数值。作为一个具体的示例，根据前文对于图 1e、图 1f 以及图 1g 的描述可知，校验序列增加或者删除、以及数据流交织或者解交织所引入的时延抖动值为 0.28125ns,pad 增加或者删除引入的时延抖动值为 4.5ns,因此,所述时延抖动值可以是 4.78125ns。在所述第一子模块还包括循环移位子模块的情况下，前述时延抖动值可以在前述第一抖动值和第二抖动值之和的基础上，加上循环移位子模块引入的时延抖动 4.5ns。也就是说，前述时延抖动值可以位于（4.5ns+4.6ns=9.1ns）和（4.5ns+4.8ns=9.3ns）之间。

在一些示例中，时延抖动值，也可以被称为时延变化值（variation）。

S202：根据所述时延抖动值，向第二模块报告时延信息。

确定所述时延抖动值之后，可以根据所述时延抖动值，向第二模块报告时延信息。

关于第二模块，可以以上实施例中对于第二模块的描述部分，此处不做重复描述。

在一个示例中，所述第一模块可以将所述时延抖动值报告给第二模块。

在又一个示例中，所述第一模块还可以确定目标数据经过所述第一模块中的第二子模块的第一时延。在本申请实施例中，所述第二子模块可以是几乎不会引入时延抖动的子模块。此处提及的几乎不会引入时延抖动的子模块，也可以理解成引入时延抖动较小的子模块。在一个具体的示例中，所述第二子模块可以是所述第一模块中除所述第一子模块之外的子模块。

在一个示例中，若所述第一模块对应发送端，所述第二子模块例如可以是内码 FEC 模块中执行卷积交织、分发以及调制编码等操作的子模块，此处提及的调制编码，例如可以是 PAM4 编码。若所述第一模块对应接收端，则所述第二子模块例如可以是内码 FEC 模块中执行逆卷积解交织、复用以及调制解码操作的子模块。此处提及的调制编码，例如可以是 PAM4 解码。在本申请实施例中，确定所述第一时延可以有多种实现方式。以下介绍两种可能的实现方式。

在一个示例中，所述第一模块可以获取预先设置的第一时延，该第一时延可以是第一模块在设计阶段所确定的值，该第一时延的值根据第一模块的性能相关。

在又一个示例中，所述第一模块可以根据统计所述目标数据经过所述第二子模块的第一时延。其中，统计所述目标数据经过所述第二子模块的第一时延在具体实现时，可以统计所述目标数据中的至少一个比特的数据经过所述第二子模块的时延，从而得到所述第一时延。例如，可以对目标数据进行采样，并统计采样得到的数据经过所述第二子模块的时延。又如，可以对所述目标数据中各个比特的数据经过所述第二子模块的时延进行统计，从而得到所述第一时延。

对于任意比特数据而言，其经过第二子模块的时延，可以是第二子模块将该数据发送出去的时刻与第二子模块接收该数据的时刻的差值，也可以根据该数据在缓存中的位置确定，本申请实施例不做具体限定。

在第一模块确定了所述第一时延的场景中，S202 在具体实现时，可以根据所述时延抖动值和所述第一时延，向所述第二模块报告时延信息。

作为一个具体的示例，所述第一模块可以将前述时延抖动值和所述第一时延确定为所述时延信息，并将所确定的时延信息报告给第二模块。

作为又一个具体的示例，所述第一模块可以根据所述时延抖动值和所述第一时延确定目标时延，并将所述目标时延作为前述时延信息报告给所述第二模块。

本申请实施例不具体限定对根据所述时延抖动值和第一时延确定目标时延的方式，所述第一模块可以对所述时延抖动值和第一时延进行计算，从而得到所述目标时延。

在一个示例中，为了使得第一模块报告的数据满足“对于发送端而言，其报告的时延等价于最大时延，对于接收端而言，其报告的时延等价于最小时延”，所述第一通信装置确定根据时延抖动值和第一时延确定目标时延的具体实现方式，可以与所述第一通信装置的角色相关。

在一个具体的示例中，若所述第一模块对应作为发送端的通信装置，则所述第一通信装置可以将所述时延抖动值和所述第一时延之和，确定为所述目标时延。若所述第一通信装置对应作为接收端的通信装置，则所述第一通信装置可以将所述第一时延减去所述时延抖动值所得到的差值，确定为所述目标时延。

在一个示例中，所述第一时延可以包括一个时延。

在又一个示例中，考虑到现有 IEEE 802.3cx 第 90 章节针对物理层的各个层定义了对应的最大时延寄存器和最小时延寄存器。因此，为了兼容当前 IEEE 802.3cx 第 90 章节对于物理层报告时延的机制，所述第一时延可以包括两个时延，其分别为目标数据经过所述第二子模块的最大时延、以及所述目标数据经过所述第二子模块的最小时延。在一个示例中，所述最大时延和所述最小时延相同。在又一个示例中，所述最大时延大于所述最小时延。

如前所述，第一时延可以包括最大时延和最小时延。对于这种情况，根据时延抖动值和第一时延所确定的目标时延，可以包括最大目标时延和最小目标时延。其中：

所述最大目标时延可以是根据所述最大时延和时延抖动值确定的。具体的，若所述第一模块对应作

为发送端的通信装置，则所述第一通信装置可以将所述时延抖动值和所述最大时延之和，确定为所述最大目标时延，并将所述时延抖动值和所述最小时延之和确定为所述最小目标时延。若所述第一通信装置对应作为接收端的通信装置，则所述第一通信装置可以将所述最大时延减去所述时延抖动值所得到的差值，确定为所述最大目标时延，并将所述最小时延减去所述时延抖动值所得到的差值，确定为所述最小目标时延。

接下来，对第一模块向第二模块报告所述最大目标时延和最小目标时延的方式进行介绍。

在一个示例中，若所述第一模块对应发送端，则：

作为又一个具体的示例，可以定义新的寄存器来向第二模块报告所述最大目标时延和最小目标时延。例如，定义内码 FEC 的 TX 最大时延寄存器和 TX 最小时延寄存器，该 TX 最大时延寄存器用于报告所述最大目标时延，该 TX 最小时延寄存器用于报告所述最小目标时延。换言之，所述第一模块可以利用内码 FEC 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块，和/或，利用内码 FEC 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

作为另一个具体的示例，所述第一模块可以利用 PMA/PMD 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一个示例中，若所述第一模块对应接收端，则：

作为又一个具体的示例，可以定义新的寄存器来向第二模块报告所述最大目标时延和最小目标时延。例如，定义内码 FEC 的 RX 最大时延寄存器和 RX 最小时延寄存器，该 RX 最大时延寄存器用于报告所述最大目标时延，该 RX 最小时延寄存器用于报告所述最小目标时延。换言之，所述第一模块可以利用内码 FEC 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块，和/或，利用内码 FEC 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

作为另一个具体的示例，所述第一模块可以利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一个示例中，所述第一模块还包括第三子模块，所述第一模块还可以确定所述目标数据经过所述第一模块中第三子模块的第二时延。此处提及的第三子模块，可以是所述第一模块中不同于前述第一子模块和第二子模块的其它子模块。例如，所述第三子模块可以包括 PMA 子模块和 PMD 子模块。

第一模块确定目标数据经过第三子模块的第二时延的实现原理，与第一模块确定目标数据经过第二子模块的第一时延的实现原理是相同的，因此，关于“第一模块确定目标数据经过第三子模块的第二时延”的具体实现，可以参考前文第一模块确定第一时延的描述部分，此处不做重复描述。

在第一模块确定了所述第二时延的场景中，S202 在具体实现时，可以根据所述时延抖动值和所述第二时延，向所述第二模块报告时延信息。

作为一个具体的示例，所述第一模块可以将前述时延抖动值和所述第二时延确定为所述时延信息，并将所确定的时延信息报告给第二模块。

作为又一个具体的示例，所述第一模块可以对所述时延抖动值和所述第二时延进行计算，并将计算结果作为所述时延信息报告给第二模块。在一个具体的示例中，若所述第一模块对应作为发送端的通信装置，则所述第一通信装置可以将所述时延抖动值和所述第二时延之和，确定为所述时延信息。若所述第一通信装置对应作为接收端的通信装置，则所述第一通信装置可以将所述第二时延减去所述时延抖动值所得到的差值，确定为所述时延信息。

在此场景中，所述第一通信装置可以利用 PMA/PMD 的相关寄存器，将所述时延信息报告给第二模块。作为一个示例，第二时延也可以包括最大时延和最小时延，相应的，所述时延信息可以包括基于所述时延抖动值和第二时延的最大时延所得到的时延最大值，以及基于所述时延抖动值和第二时延的最小时延所得到的时延最小值。进一步地，所述第一通信装置可以利用 PMA/PMD 的相关寄存器，将所述时延最大值和所述时延最小值报告给第二模块。

具体的，若所述第一模块对应发送端，即：所述目标数据为第一模块发送的数据，则：所述第一模块可以利用 PMA/PMD 的 TX 最大时延寄存器，将所述时延最大值报告给所述第二模块。类似的，所述

第一模块可以利用 PMA/PMD 的 TX 最小时延寄存器，将所述时延最小值报告给所述第二模块。例如，当所述第一模块为具备内码 FEC 功能的模块（例如光模块）时，所述第一模块可以利用 PMA/PMD 的 TX 最大时延寄存器，将所述时延最大值报告给所述第二模块，所述第一模块可以利用 PMA/PMD 的 TX 最小时延寄存器，将所述时延最小值报告给所述第二模块。

若所述第一模块对应接收端，即：所述目标数据为第一模块接收的数据，则：所述第一模块可以利用 PMA/PMD 的 RX 最大时延寄存器，将所述时延最大值报告给所述第二模块。类似的，所述第一模块可以利用 PMA/PMD 的 RX 最小时延寄存器，将所述时延最小值报告给所述第二模块。例如，当所述第一模块为具备内码 FEC 功能的模块（例如光模块）时，所述第一模块可以利用 PMA/PMD 的 RX 最大时延寄存器，将所述时延最大值报告给所述第二模块，所述第一模块可以利用 PMA/PMD 的 RX 最小时延寄存器，将所述时延最小值报告给所述第二模块。

以上对本申请实施例提供的时延报告方法进行了介绍，接下来结合具体场景，对本申请实施例提供的方案进行介绍。

实施例 2： 图 4 所示的时延报告方法的具体实现。

在此场景中，第一模块可以是通信装置的光模块，该光模块包括 PMA102、内码 FEC 和 PMD。

对于这种情况，所述内码 FEC 所执行的操作可以如图 5 所示，图 5 为本申请实施例提供的一种内码 FEC 的处理过程示意图。如图 5 所示：

对于发送端而言，其内码 FEC 可以执行如下操作：卷积交织、分发、内码 FEC 处理、交织、pad 增加以及其它处理，此处提及的其它处理，例如可以包括 PAM4 编码。其中，内码 FEC 处理例如可以是执行校验序列增加操作。执行校验序列增加、交织和 pad 增加的子模块为第一子模块，执行卷积交织、分发以及其它处理的子模块为第二子模块。

对于接收端而言，其内码 FEC 执行的操作是发送端的内码 FEC 所执行的操作的逆操作，例如，接收端的内码 FEC 可以执行如下操作：其它处理（例如 PAM4 解码）、pad 删除、解交织、内码 FEC 处理、复用、以及逆卷积解交织。其中，内码 FEC 处理例如可以是执行校验序列删除操作。执行校验序列删除、解交织、以及 pad 删除的子模块为第一子模块，执行逆卷积解交织、合并以及其它处理的子模块为第二子模块。

对于作为发送端的通信装置而言，其光模块可以执行如下操作：

S4：获取时延抖动值 4.78125。

S5：确定目标数据经过所述第一模块中第二子模块的第一时延，该第一时延包括最大时延 Xmax1 和最小时延 Xmin1。

S6：将最大目标时延 Xmax1+4.78125 和最小目标时延 Xmin1+4.78125 报告给 MAC 层模块。

在一个示例中，可以通过内码 FEC 的 TX 最大时延寄存器，将 Xmax1+4.78125 报告给 MAC 层模块，通过内码 FEC 的 TX 最小时延寄存器，将 Xmin1+4.78125 报告给 MAC 层模块。

在又一个示例中，可以通过 PMA/PMD 的 TX 最大时延寄存器，将 Xmax1+4.78125 报告给 MAC 层模块，通过 PMA/PMD 的 TX 最小时延寄存器，将 Xmin1+4.78125 报告给 MAC 层模块。

对于作为接收端的通信装置而言，其光模块可以执行如下操作：

S4’：获取时延抖动值 4.78125。

S5’：确定目标数据经过所述第一模块中第二子模块的第一时延，该第一时延包括最大时延 Xmax2 和最小时延 Xmin2。

S6’：将最大目标时延 Xmax2-4.78125 和最小目标时延 Xmin2-4.78125 报告给 MAC 层模块。

在一个示例中，可以通过内码 FEC 的 RX 最大时延寄存器，将 Xmax2-4.78125 报告给 MAC 层模块，通过内码 FEC 的 RX 最小时延寄存器，将 Xmin2-4.78125 报告给 MAC 层模块。

在又一个示例中，可以通过 PMA/PMD 的 RX 最大时延寄存器，将 Xmax2-4.78125 报告给 MAC 层模块，通过 PMA/PMD 的 RX 最小时延寄存器，将 Xmin2-4.78125 报告给 MAC 层模块。

需要说明的是，图 5 只是为了方便理解本方案所示出的内码 FEC 的处理过程，内码 FEC 的处理过程除了包括图 5 所示的内容之外，还可以包括其它内容，例如，发送端在执行分发操作之后，执行内码 FEC 处理之前，还可以执行循环移位操作，相应的，接收端在执行内码 FEC 处理之后、在执行复用操

作之前，还可以执行循环移位操作。对于这种情况：

对于作为发送端的通信装置而言，其光模块可以执行如下操作：

S7：获取时延抖动值 4.78125+4.5=9.28125。

S8：确定目标数据经过所述第一模块中第二子模块的第一时延，该第一时延包括最大时延 Xmax3 和最小时延 Xmin3。

S9：将最大目标时延 Xmax3+9.28125 和最小目标时延 Xmin3+9.28125 报告给 MAC 层模块。

在一个示例中，可以通过内码 FEC 的 TX 最大时延寄存器，将 Xmax3+9.28125 报告给 MAC 层模块，通过内码 FEC 的 TX 最小时延寄存器，将 Xmin3+9.28125 报告给 MAC 层模块。

在又一个示例中，可以通过 PMA/PMD 的 TX 最大时延寄存器，将 Xmin3+9.28125 报告给 MAC 层模块，通过 PMA/PMD 的 TX 最小时延寄存器，将 Xmin3+9.28125 报告给 MAC 层模块。

对于作为接收端的通信装置而言，其光模块可以执行如下操作：

S7'：获取时延抖动值 9.28125。

S8'：确定目标数据经过所述第一模块中第二子模块的第一时延，该第一时延包括最大时延 Xmax4 和最小时延 Xmin4。

S9'：将最大目标时延 Xmax4-9.28125 和最小目标时延 Xmin4-9.28125 报告给 MAC 层模块。

在一个示例中，可以通过内码 FEC 的 TX 最大时延寄存器，将 Xmax4-9.28125 报告给 MAC 层模块，通过内码 FEC 的 TX 最小时延寄存器，将 Xmin4-9.28125 报告给 MAC 层模块。

在又一个示例中，可以通过 PMA/PMD 的 TX 最大时延寄存器，将 Xmin4-9.28125 报告给 MAC 层模块，通过 PMA/PMD 的 TX 最小时延寄存器，将 Xmin4-9.28125 报告给 MAC 层模块。

基于以上实施例提供的时延报告方法，本申请实施例还提供了对应的装置，以下结合附图介绍该装置。

参见图 6，该图为本申请实施例提供的一种时延报告装置的结构示意图。图 6 所示的时延报告装置，可以用于执行以上方法实施例提供的图 2 所示的时延报告方法。

如图 6 所示，所述时延报告装置 600 包括：发送单元 601。

所述发送单元 601，用于报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。

在一种可能的实现方式中，所述多个特定位置的周期为 8712 个数据块的整数倍，或者所述多个特定位置的周期为 8704 个数据块的整数倍，或者所述多个特定位置的周期为 64 个数据块的整数倍，或者所述多个特定位置的周期为 65 个数据块的整数倍。

在一种可能的实现方式中，所述数据块包括 128 个比特或 120 个比特或者 4 比特。

在一种可能的实现方式中，所述多个特定位置的周期为以下任一数值的整数倍：1115136 比特，1114112 比特，或 1044480 比特，或 1045440 比特。

在一种可能的实现方式中，所述特定位置为 FEC 码字的起始位置，所述起始位置为 FEC 码字的第一个比特或者第一个符号或者第一个字节。

在一种可能的实现方式中，所述 FEC 码字包括：FEC 内码码字。

在一种可能的实现方式中，所述数据流为经过 FEC 内码编码得到的数据流，或者，所述数据流为经过 FEC 内码解码得的的数据流。

在一种可能的实现方式中，在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍。

在一种可能的实现方式中，所述目标时延对应所述数据经过光模块的时延，或者，所述目标时延对应所述数据经过光模块中的内码 FEC 层的时延。

在一种可能的实现方式中，所述装置还包括：处理单元 602。

所述处理单元 602，用于测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延；其中，所述目标时延包括所述多个第一时延中的最大值和/或最小值。

在一种可能的实现方式中，所述发送单元 601，用于：利用内码 FEC 的 TX 最大时延寄存器，报告所述最大值；和/或，利用内码 FEC 的 TX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元 602，用于：利用物理媒介附加 PMA/物理媒介相关 PMD 的 TX 最大时延寄存器，报告所述最大值；和/或，利用 PMA/PMD 的 TX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元 603，用于：利用内码 FEC 的 RX 最大时延寄存器，报告所述最大值；和/或，利用内码 FEC 的 RX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元 604，用于：利用 PMA/PMD 的 RX 最大时延寄存器，报告所述最大值；和/或，利用 PMA/PMD 的 RX 最小时延寄存器，报告所述最小值。

在一种可能的实现方式中，所述发送单元 605，用于：向媒体接入控制 MAC 层报告数据流中所述多个特定位置的数据对应的所述目标时延。

在一种可能的实现方式中，所述装置应用于光模块或物理 PHY 层芯片。

在一种可能的实现方式中，所述光模块包括内码 FEC 模块，所述内码 FEC 模块包括内码 FEC 编码模块和/或内码 FEC 解码模块。

在一种可能的实现方式中，所述特定位置为在所述数据流中插入填充序列之后的下一个数据块的起始位置，所述起始位置为所述下一个数据块的第一个比特或者第一个符号或者第一个字节。

参见图 7，该图为本申请实施例提供的又一种时延报告装置的结构示意图。图 7 所示的时延报告装置，可以用于执行以上方法实施例提供的图 4 所示的时延报告方法。

如图 7 所示，所述时延报告装置 700 包括：处理单元 701 和发送单元 702。

处理单元 701，用于获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值；

发送单元 702，用于根据时延抖动值，向第二模块报告时延信息。

在一种可能的实现方式中，所述处理单元 701，还用于：确定所述目标数据经过所述第一模块中第二子模块的第一时延；所述发送单元 702，用于：根据所述时延抖动值和所述第一时延，向所述第二模块报告所述时延信息。

在一种可能的实现方式中，所述发送单元 702，用于：向所第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延。

在一种可能的实现方式中，所述目标时延包括：所述时延抖动值和所述第一时延之和；或者，所述第一时延减去所述时延抖动值所得到的差值。

在一种可能的实现方式中，所述第一时延包括：所述目标数据经过所述第二子模块的最大时延和最小时延；相应的，所述目标时延包括：根据所述最大时延和所述时延抖动值得到最大目标时延、以及根据所述最小时延和所述时延抖动值得到的最小目标时延。

在一种可能的实现方式中，若所述目标数据为所述第一模块发送的数据，则所述发送单元 702，用于：利用内码前向纠错 FEC 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用内码 FEC 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，若所述目标数据为所述第一模块发送的数据，则所述发送单元 702，用于：利用物理媒介附加 PMA/物理媒介相关 PMD 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，若所述目标数据为所述第一模块接收的数据，则所述发送单元 702，用于：利用内码 FEC 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用内码 FEC 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，若所述目标数据为所述第一模块接收的数据，则所述发送单元 702，用于：利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

在一种可能的实现方式中，所述第二子模块包括：除所述第一子模块之外的子模块。

在一种可能的实现方式中，所述第二子模块包括：内码 FEC 模块中执行卷积交织、分发以及调制编码操作的子模块；或者，内码 FEC 模块中执行逆卷积解交织、复用以及调制解码操作的子模块。

在一种可能的实现方式中，所述处理单元 701，用于：获取预先设置的所述第一时延。

在一种可能的实现方式中，所述处理单元 701，用于：统计所述目标数据经过所述第二子模块的第一时延。

在一种可能的实现方式中，所述统计所述目标数据经过所述第二子模块的第一时延，包括：统计所述目标数据中的至少一个比特数据经过所述第二子模块的时延，以得到所述第一时延。

在一种可能的实现方式中，所述处理单元 701，还用于：确定所述目标数据经过所述第一模块中第三子模块的第二时延；所述发送单元 702，用于：根据所述时延抖动值和所述第二时延，向所述第二模块报告所述时延信息。

在一种可能的实现方式中，所述第三子模块包括：PMA 子模块和/或 PMD 子模块。

在一种可能的实现方式中，所述第二模块包括：媒体接入控制 MAC 层模块。

在一种可能的实现方式中，所述固定数值位于 4.6 纳秒和 4.8 纳秒之间秒，或者，所述固定数值为 4.5 纳秒，或者，所述固定数据位于 9.1 纳秒和 9.3 纳秒之间。

在一种可能的实现方式中，所述第一子模块包括：循环移位子模块。

在一种可能的实现方式中，所述第一子模块包括存在由于校验序列的增加或删除，或者填充序列的增加或删除而导致的时延抖动的子模块。

在一种可能的实现方式中，所述第一子模块包括存在由于数据流的交织或者解交织而导致的时延抖动的子模块。

在一种可能的实现方式中，所述第一子模块包括：内码 FEC 模块中执行 FEC 内码编码、数据流交织以及填充序列增加操作的子模块；或者，内码 FEC 模块中执行 FEC 内码解码、数据流解交织以及填充序列删除操作的子模块。

在一种可能的实现方式中，所述目标数据包括 8712*N 个数据块，或者 8704*N 个数据块，所述 N 为正整数。

在一种可能的实现方式中，所述数据块包括 128 个比特或 120 个比特。

在一种可能的实现方式中，所述目标数据包括：1115136*N 比特，1114112*N 比特，或 1044480*N 比特，或 1045440 比特，所述 N 为正整数。

参见图 8，该图为本申请实施例提供的一种设备的结构示意图。图 8 所示的设备 800，包括接口电路 801 和处理电路 802。所述接口电路 801 用于接收和/或发送数据，所述处理电路 802 用于进行数据处理。

在一个示例中，该设备 800 可以用于执行以上方法实施例提供的与图 2 对应的时延报告方法。对于这种情况：

所述接口电路 801，用于报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期；在一个示例中，所述处理电路 802，用于测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延；其中，所述目标时延包括所述多个第一时延中的最大值和/或最小值。

在又一个示例中，该设备 800 可以用于执行以上方法实施例提供的与图 4 对应的时延报告方法，对于这种情况：

所述处理电路 802 用于获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值；所述接口电路 801 用于根据时延抖动值，向第二模块报告时延信息。

参见图 9，该图为本申请实施例提供的一种设备的结构示意图。

在一个示例中，图 9 所示的设备 900，可以用于执行以上方法实施例提供的与图 2 对应的时延报告方法。

在又一个示例中，图 9 所示的设备 900，可以用于执行以上方法实施例提供的与图 4 对应的时延报告方法。

请参阅图 9 所示，设备 900 包括：处理器 910。设备 900 中的处理器 910 的数量可以一个或多个，

图 9 中以一个处理器为例。该处理器 910 用于执行以上方法实施例提供的与图 2 对应的时延报告方法，或者，该处理器 910 用于执行以上方法实施例提供的与图 4 对应的时延报告方法。

处理器 910 可以是中央处理器（central processing unit，CPU），NP 或者 CPU 和 NP 的组合。处理器 910 可以包括数字信号处理器（digital signal processing，DSP）。处理器 910 还可以进一步包括硬件芯片。上述硬件芯片可以是 ASIC，可编程逻辑器件（programmable logic device，PLD）或其组合。上述 PLD 可以是复杂可编程逻辑器件（complex programmable logic device，CPLD），现场可编程逻辑门阵列（field-programmable gate array，FPGA），通用阵列逻辑（generic array logic，GAL）或其任意组合。

在一个示例中，所述设备 900 还包括存储器 930。存储器 930 可以包括易失性存储器（英文：volatile memory），例如随机存取存储器（random-access memory，RAM）；存储器 930 也可以包括非易失性存储器（英文：non-volatile memory），例如快闪存储器（英文：flash memory），硬盘（hard disk drive，HDD）或固态硬盘（solid-state drive，SSD）；存储器 930 还可以包括上述种类的存储器的组合。当所述设备 900 用于执行以上方法实施例提供的与图 2 对应的时延报告方法时，存储器 930 例如可以存储前述目标时延，当所述设备用于执行以上方法实施例提供的与图 4 对应的时延报告方法，所述存储器例如可以存储前述固定数值。

可选地，存储器 930 存储有操作系统和程序、可执行模块或者数据结构，或者它们的子集，或者它们的扩展集，其中，程序可包括各种操作指令，用于实现各种操作。操作系统可包括各种系统程序，用于实现各种基础业务以及处理基于硬件的任务。处理器 910 可以读取存储器 930 中的程序，实现本申请实施例提供的方法。

在一个示例中，所述设备 900 还包括通信接口 920，本申请实施例中，处理器 910、通信接口 920 和存储器 930 可通过总线系统或其它方式连接，其中，图 9 中以通过总线系统 940 连接为例。

通信接口 920 用于接收和/或发送数据。例如，当所述设备 900 用于执行以上方法实施例提供的与图 2 对应的时延报告方法时，所述通信接口 910 用于报告数据流中多个特定位置的数据对应的目标时延。当所述设备 900 用于执行以上方法实施例提供的与图 4 对应的时延报告方法时，所述通信接口 910 用于根据时延抖动值，向第二模块报告时延信息。

总线系统 940 可以是外设部件互连标准（peripheral component interconnect，PCI）总线或扩展工业标准结构（extended industry standard architecture，EISA）总线等。总线系统 940 可以分为地址总线、数据总线、控制总线等。为便于表示，图 9 中仅用一条粗线表示，但并不表示仅有一根总线或一种类型的总线。

本申请实施例还提供了一种芯片或光模块，该芯片或光模块的结构均可以如图 10 所示。参见图 10，该图为本申请实施例提供的一种芯片或光模块的结构示意图。图 10 所示的芯片或者光模块 1000，包括接口电路 1001 和处理电路 1002。所述接口电路 1001 用于接收和/或发送数据，所述处理电路 1002 用于进行数据处理。

在一个示例中，所述芯片或者光模块 1000，可以用于执行以上方法实施例提供的与图 2 对应的时延报告方法。对应这种情况：

所述接口电路 1001 用于报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。作为一个示例，所述处理电路 1002 用于测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延；其中，所述目标时延包括所述多个第一时延中的最大值和/或最小值。

在又一个示例中，所述芯片或者光模块 1000，可以用于执行以上方法实施例提供的与图 4 对应的时延报告方法。对于这种情况：

所述处理电路 1002 用于获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值。所述接口电路 1001 用于根据时延抖动值，向第二模块报告时延信息。

本申请实施例提供了一种计算机可读存储介质，包括指令或计算机程序，当其在计算机上运行时，使得计算机执行以上方法实施例所述的方法。例如，使得计算机执行以上方法实施例提供的与图 2 对应

的时延报告方法；又如，使得计算机执行以上方法实施例提供的与图 4 对应的时延报告方法。

本申请实施例提供了一种包含指令或计算机程序的计算机程序产品，当其在计算机上运行时，使得计算机执行以上方法实施例所述的方法。例如，使得计算机执行以上方法实施例提供的与图 2 对应的时延报告方法；又如，使得计算机执行以上方法实施例提供的与图 4 对应的时延报告方法。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的实施例能够以除了在这里图示或描述的内容以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统，装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统，装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，单元的划分，仅仅为一种逻辑业务划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各业务单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件业务单元的形式实现。

集成的单元如果以软件业务单元的形式实现并作为单独的产品销售或使用时，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行本申请各个实施例方法的全部或部分步骤。而前述的存储介质包括:U 盘、移动硬盘、只读存储器(read only memory，ROM)、随机存取存储器（random access memory，RAM)、磁碟或者光盘等各种可以存储程序代码的介质。

本领域技术人员应该可以意识到，在上述一个或多个示例中，本发明所描述的业务可以用硬件、软件、固件或它们的任意组合来实现。当使用软件实现时，可以将这些业务存储在计算机可读介质中或者作为计算机可读介质上的一个或多个指令或代码进行传输。计算机可读介质包括计算机存储介质和通信介质，其中通信介质包括便于从一个地方向另一个地方传送计算机程序的任何介质。存储介质可以是通用或专用计算机能够存取的任何可用介质。

以上的具体实施方式，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上仅为本发明的具体实施方式而已。

以上，以上实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1.一种时延报告方法，其特征在于，所述方法包括：

报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。

2.根据权利要求 1 所述的方法，其特征在于，所述多个特定位置的周期为 8712 个数据块的整数倍，或者所述多个特定位置的周期为 8704 个数据块的整数倍，或者所述多个特定位置的周期为 64 个数据块的整数倍，或者所述多个特定位置的周期为 65 个数据块的整数倍。

3.根据权利要求 2 所述的方法，其特征在于，所述数据块包括 128 个比特或 120 个比特，或 4 个比特。

4.根据权利要求 1 所述的方法，其特征在于，所述多个特定位置的周期为以下任一数值的整数倍：1115136 比特，1114112 比特，或 1044480 比特，或者 1045440 比特。

5.根据权利要求 1-4 任一项所述的方法，其特征在于，所述特定位置为 FEC 码字的起始位置，所述起始位置为 FEC 码字的第一个比特或者第一个符号或者第一个字节。

6.根据权利要求 4 或 5 所述的方法，其特征在于，所述 FEC 码字包括：FEC 内码码字。

7.根据权利要求 1-6 任意一项所述的方法，其特征在于，所述数据流为经过 FEC 内码编码得到的数据流，或者，所述数据流为经过 FEC 内码解码得的数据流。

8.根据权利要求 1-7 任一项所述的方法，其特征在于，在所述数据流中插入填充序列的周期为在所述数据流中插入校验序列的周期的整数倍。

9.根据权利要求 1-8 任一项所述的方法，其特征在于，所述目标时延对应所述数据经过光模块的时延，或者，所述目标时延对应所述数据经过光模块中的内码 FEC 层的时延。

10.根据权利要求 1-9 任一项所述的方法，其特征在于，所述方法还包括：

测量所述多个特定位置的数据中每个特定位置的数据对应的第一时延，得到多个第一时延；

其中，所述目标时延包括所述多个第一时延中的最大值和/或最小值。

11.根据权利要求 10 所述的方法，其特征在于，报告数据流中多个特定位置的数据对应的目标时延，包括：

利用内码 FEC 的 TX 最大时延寄存器，报告所述最大值；和/或，

利用内码 FEC 的 TX 最小时延寄存器，报告所述最小值。

12.根据权利要求 10 所述的方法，其特征在于，报告数据流中多个特定位置的数据对应的目标时延，包括：

利用物理媒介附加 PMA/物理媒介相关 PMD 的 TX 最大时延寄存器，报告所述最大值；和/或，

利用 PMA/PMD 的 TX 最小时延寄存器，报告所述最小值。

13.根据权利要求 10 所述的方法，其特征在于，报告数据流中多个特定位置的数据对应的目标时延，包括：

利用内码 FEC 的 RX 最大时延寄存器，报告所述最大值；和/或，

利用内码 FEC 的 RX 最小时延寄存器，报告所述最小值。

14.根据权利要求 10 所述的方法，其特征在于，报告数据流中多个特定位置的数据对应的目标时延，包括：

利用 PMA/ PMD 的 RX 最大时延寄存器，报告所述最大值；和/或，

利用 PMA/PMD 的 RX 最小时延寄存器，报告所述最小值。

15.根据权利要求 1-14 任意一项所述的方法，其特征在于，报告数据流中多个特定位置的数据对应的目标时延，包括：

向媒体接入控制 MAC 层报告数据流中所述多个特定位置的数据对应的所述目标时延。

16.根据权利要求 1-15 任意一项所述的方法，其特征在于，所述方法应用于光模块或物理 PHY 层芯片。

17.根据权利要求 16 所述的方法，其特征在于，所述光模块包括内码 FEC 模块，所述内码 FEC 模

块包括内码 FEC 编码模块和/或内码 FEC 解码模块。

18.根据权利要求 1-17 任意一项所述的方法，其特征在于，所述特定位置为在所述数据流中插入填充序列之后的下一个数据块的起始位置，所述起始位置为所述数据块的第一个比特或者第一个符号或者第一个字节。

19.一种时延报告方法，其特征在于，应用于第一模块，所述方法包括：

获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值；

根据时延抖动值，向第二模块报告时延信息。

20.根据权利要求 19 所述的方法，其特征在于，所述方法还包括：

确定所述目标数据经过所述第一模块中第二子模块的第一时延；

所述根据所述时延抖动值，向第二模块报告时延信息，包括：

根据所述时延抖动值和所述第一时延，向所述第二模块报告所述时延信息。

21.根据权利要求 20 所述的方法，其特征在于，所述根据所述时延抖动值和所述第一时延，向所述第二模块报告所述时延信息，包括：

向所述第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延。

22.根据权利要求 21 所述的方法，其特征在于，所述目标时延包括：

所述时延抖动值和所述第一时延之和；或者，

所述第一时延减去所述时延抖动值所得到的差值。

23.根据权利要求 21 或 22 所述的方法，其特征在于，

所述第一时延包括：

所述目标数据经过所述第二子模块的最大时延和最小时延；

相应的，所述目标时延包括：

根据所述最大时延和所述时延抖动值得到最大目标时延、以及根据所述最小时延和所述时延抖动值得到的最小目标时延。

24.根据权利要求 23 所述的方法，其特征在于，若所述目标数据为所述第一模块发送的数据，则向所第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延，包括：

利用内码前向纠错 FEC 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；

利用内码 FEC 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

25.根据权利要求 23 所述的方法，其特征在于，若所述目标数据为所述第一模块发送的数据，则向所第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延，包括：

利用物理媒介附加 PMA/物理媒介相关 PMD 的 TX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；

利用 PMA/PMD 的 TX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

26.根据权利要求 23 所述的方法，其特征在于，若所述目标数据为所述第一模块接收的数据，则向所第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延，包括：

利用内码 FEC 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；

利用内码 FEC 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

27.根据权利要求 23 所述的方法，其特征在于，若所述目标数据为所述第一模块接收的数据，则向所第二模块报告根据所述时延抖动值和所述第一时延得到的目标时延，包括：

利用 PMA/PMD 的 RX 最大时延寄存器，将所述最大目标时延报告给所述第二模块；

利用 PMA/PMD 的 RX 最小时延寄存器，将所述最小目标时延报告给所述第二模块。

28.根据权利要求 20-27 任意一项所述的方法，其特征在于，所述第二子模块包括：

除所述第一子模块之外的子模块。

29.根据权利要求 20-27 任意一项所述的方法，其特征在于，所述第二子模块包括：

内码 FEC 模块中执行卷积交织、分发以及调制编码操作的子模块；

或者，内码 FEC 模块中执行逆卷积解交织、复用以及调制解码操作的子模块。

30.根据权利要求 20-29 任意一项所述的方法，其特征在于，确定所述目标数据经过所述第一模块中第二子模块的第一时延，包括：

获取预先设置的所述第一时延。

31.根据权利要求 20-29 任意一项所述的方法，其特征在于，确定所述目标数据经过所述第一模块中第二子模块的第一时延，包括：

统计所述目标数据经过所述第二子模块的第一时延。

32.根据权利要求 31 所述的方法，其特征在于，所述统计所述目标数据经过所述第二子模块的第一时延，包括：

统计所述目标数据中的至少一个比特数据经过所述第二子模块的时延，以得到所述第一时延。

33.根据权利要求 19 所述的方法，其特征在于，所述方法还包括：

确定所述目标数据经过所述第一模块中第三子模块的第二时延；

所述根据所述时延抖动值，向第二模块报告时延信息，包括：

根据所述时延抖动值和所述第二时延，向所述第二模块报告所述时延信息。

34.根据权利要求 33 所述的方法，其特征在于，所述第三子模块包括：PMA 子模块和/或 PMD 子模块。

35.根据权利要求 19-34 任意一项所述的方法，其特征在于，所述第二模块包括：

媒体接入控制 MAC 层模块。

36.根据权利要求 19-35 任意一项所述的方法，其特征在于，所述固定数值位于 4.6 纳秒和 4.8 纳秒之间，或者，所述固定数值为 4.5 纳秒，或者，所述固定数据位于 9.1 纳秒和 9.3 纳秒之间。

37.根据权利要求 19-36 所述的方法，其特征在于，所述第一子模块包括存在由于校验序列的增加或删除，或者填充序列的增加或删除而导致的时延抖动的子模块。

38.根据权利要求 19-37 所述的方法，其特征在于，所述第一子模块包括存在由于数据流的交织或者解交织而导致的时延抖动的子模块。

39.根据权利要求 19-38 所述的方法，其特征在于，所述第一子模块包括：

内码 FEC 模块中执行 FEC 内码编码、数据流交织以及填充序列增加操作的子模块；

或者，内码 FEC 模块中执行 FEC 内码解码、数据流解交织以及填充序列删除操作的子模块。

40.根据权利要求 19-39 任意一项所述的方法，其特征在于，所述第一子模块包括：

循环移位子模块。

41.根据权利要求 19-40 任意一项所述的方法，其特征在于，所述目标数据包括 8712*N 个数据块，或者 8704*N 个数据块，所述 N 为正整数。

42.根据权利要求 41 所述的方法，其特征在于，所述数据块包括 128 个比特或 120 个比特。

43.根据权利要求 19-40 任意一项所述的方法，其特征在于，所述目标数据包括：1115136*N 比特，1114112*N 比特，或 1044480*N 比特，或 1045440*N 比特，所述 N 为正整数。

44.一种时延报告装置，其特征在于，所述装置包括：

发送单元，用于报告数据流中多个特定位置的数据对应的目标时延，所述多个特定位置之间间隔固定长度，所述多个特定位置的周期对应于在所述数据流中插入填充序列的周期。

45.一种时延报告装置，其特征在于，应用于第一模块，所述装置包括：

处理单元，用于获取目标数据经过所述第一模块中的第一子模块的时延抖动值，所述第一子模块包括存在固定数值的时延抖动的子模块，所述目标数据为所述第一模块发送的数据，或者，所述目标数据为所述第一模块接收的数据，其中，所述时延抖动值为预设的所述固定数值；

发送单元，用于根据时延抖动值，向第二模块报告时延信息。

46.一种时延报告装置，其特征在于，所述装置用于执行权利要求 1 至 18 任一所述的方法，或者，所述装置用于执行权利要求 19 至 43 任一所述的方法。

47.一种时延报告装置，其特征在于，所述装置包括接口电路和处理电路；

所述接口电路用于执行权利要求 1 至 18 任一所述的方法中的数据发送和/或接收操作，所述接口电

路用于执行权利要求 1 至 18 任一所述的方法中的数据处理操作；或者，

所述接口电路用于执行权利要求 19 至 43 任一所述的方法中的数据发送和/或接收操作，所述接口电路用于执行权利要求 19 至 43 任一所述的方法中的数据处理操作。

48.根据权利要求 47 所述的装置，所述装置为：

光模块，或者，芯片。

49.一种设备，其特征在于，包括：处理器和存储器；

所述存储器，用于存储指令或计算机程序；

所述处理器，用于执行所述指令或计算机程序，执行权利要求 1-43 任意一项所述的方法。