

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2021/203885 A1

(43) 国际公布日
2021 年 10 月 14 日 (14.10.2021)

(51) 国际专利分类号:
H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)

(21) 国际申请号: PCT/CN2021/079488

(22) 国际申请日: 2021 年 3 月 8 日 (08.03.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010267288.4 2020 年 4 月 8 日 (08.04.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 祝 啸 (ZHU, Xiao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海 晨 皓 知 识 产 权 代 理 事 务 所 (普 通 合 伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法

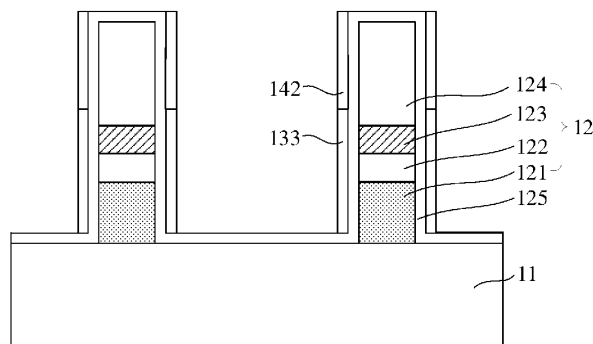


图 6

(57) Abstract: A semiconductor structure and a manufacturing method therefor. The manufacturing method for a semiconductor structure comprises: providing a substrate (11) and bit line structures (12), a metal layer (123) being provided in the bit line structures (12), and the top surface of the metal layer (123) being lower than the top surface of the bit line structures (12); forming a first isolation film (132) filled between adjacent bit line structures (12), the top surface of the first isolation film (132) being higher than the top surface of the metal layer (123) and lower than the top surface of the bit line structures (12); forming a first dielectric film (141) on the top and side walls of the bit line structures (12) and the top surface of the first isolation film (132); performing etching by using a mask-less dry etching process to remove the first dielectric film (141) located on the top of the bit line structures (12) and the top surface of the first isolation film (132), so as to form a first dielectric layer (142), and performing etching to remove the first isolation film (132) exposed by the first dielectric layer (142), so as to form a first isolation layer (133) located directly below the first dielectric layer (142).

[见续页]

WO 2021/203885 A1

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种半导体结构及其制作方法, 半导体结构的制作方法包括: 提供衬底(11)和位线结构(12), 位线结构(12)内具有金属层(123), 金属层(123)顶面低于位线结构(12)顶面; 形成填充于相邻位线结构(12)之间的第一隔离膜(132), 第一隔离膜(132)顶面高于金属层(123)顶面且低于位线结构(12)顶面; 在位线结构(12)顶部和侧壁以及第一隔离膜(132)顶面形成第一介质膜(141); 采用无掩膜干法刻蚀工艺, 刻蚀去除位于位线结构(12)顶部和第一隔离膜(132)顶面的第一介质膜(141), 形成第一介质层(142), 且刻蚀去除第一介质层(142)暴露的第一隔离膜(132), 形成位于第一介质层(142)正下方的第一隔离层(133)。