

半导体结构及半导体结构的制造方法

交叉引用

5 本公开要求于 2020 年 08 月 05 日提交的申请号为 202010777763.2、名称为“半导体结构及半导体结构的制造方法”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

10 本公开涉及半导体技术领域，尤其涉及一种半导体结构及半导体结构的制造方法。

背景技术

随着 DRAM（Dynamic Random Access Memory）尺寸的不断缩小，存储区域的晶体管尺寸也在不断缩小，由此带来严重的漏电流问题，影响器件性能。

15 发明内容

本公开提供一种半导体结构及半导体结构的制造方法，以改善半导体结构的性能。
根据本公开的第一个方面，提供了一种半导体结构，包括：

衬底；

形成于衬底内的隔离结构；

20 字线，字线包括第一凸部和第二凸部，其中，第一凸部和第二凸部位于隔离结构内，且第一凸部的深度大于第二凸部的深度。

在本公开的一个实施例中，字线还包括：主体部，主体部与第一凸部和第二凸部连接。

在本公开的一个实施例中，第一凸部和第二凸部均为多个，多个第一凸部与多个第二凸部间隔设置。

25 在本公开的一个实施例中，隔离结构包括第一隔离结构和第二隔离结构；第一凸部位于第一隔离结构中，第二凸部位于第二隔离结构中，第一隔离结构的底部低于第二隔离结构的底部。

在本公开的一个实施例中，第一凸部和第二凸部的深度比大于 1.05。

在本公开的一个实施例中，第一凸部的深度大于 30nm。

30 在本公开的一个实施例中，第一凸部沿垂直字线延伸方向上的长度大于第二凸部沿垂

直字线延伸方向上的长度。

在本公开的一个实施例中，第一凸部包括：

凸下部，凸下部的侧壁具有第一斜率；

凸上部，凸上部的侧壁具有第二斜率；

5 其中，第一斜率不同于第二斜率。

在本公开的一个实施例中，第二凸部的侧壁具有第三斜率，第一斜率与第三斜率相同。

在本公开的一个实施例中，凸上部沿衬底表面方向上的截面为圆形或椭圆形，凸下部沿衬底表面方向上的截面为条形。

10 在本公开的一个实施例中，条形包括平行的两条线段以及连接两条线段端部的两条弧形线段。

在本公开的一个实施例中，衬底内设置有多个有源区，隔离结构设置在多个有源区之间；

其中，主体部与有源区相交。

在本公开的一个实施例中，多个有源区排布成多排；

15 其中，第一隔离结构位于两个有源区的端部之间，第二隔离结构位于相邻两个有源区的侧部之间。

根据本公开的第二个方面，提供了一种半导体结构的制造方法，包括：

提供具有隔离结构和多个有源区的衬底，隔离结构设置在多个有源区之间；

20 在隔离结构上形成间隔的第一凹槽和第二凹槽，且第一凹槽的深度大于第二凹槽的深度；

在衬底内形成字线，字线包括主体部、第一凸部以及第二凸部，第一凸部和第二凸部分别设置在第一凹槽和第二凹槽内。

在本公开的一个实施例中，在隔离结构上形成第一凹槽和第二凹槽，包括：

在隔离结构上形成凹槽，凹槽位于相邻两个有源区的端部之间；

25 在具有凹槽的隔离结构上形成第一凹槽和第二凹槽，第一凹槽形成于凹槽所在位置处。

在本公开的一个实施例中，在隔离结构上形成凹槽，包括：

在衬底上形成具有光刻胶开口的第一光刻胶层，光刻胶开口位于相邻两个有源区的端部之间；

30 利用光刻胶开口刻蚀隔离结构，以形成凹槽。

在本公开的一个实施例中，在衬底上形成第一光刻胶层之前，还包括：

在衬底上形成具有字线掩膜开口的字线掩膜层；

在字线掩膜层上形成第一光刻胶层。

5 在本公开的一个实施例中，字线掩膜开口具有垂直其延伸方向上的第一尺寸，第一光刻胶层上的光刻胶开口具有垂直字线掩膜开口延伸方向上的第二尺寸，第二尺寸大于第一尺寸。

在本公开的一个实施例中，在隔离结构上形成第一凹槽和第二凹槽，包括：

利用第一光刻胶层上的光刻胶开口和字线掩膜层刻蚀隔离结构形成凹槽；

利用字线掩膜开口刻蚀隔离结构形成第一凹槽和第二凹槽。

10 本公开的半导体结构通过使得字线的第一凸部具有较长的深度，可以增强字线对晶体管沟道的控制能力，改善漏电流。

附图说明

15 通过结合附图考虑以下对本公开的优选实施方式的详细说明，本公开的各种目标，特征和优点将变得更加显而易见。附图仅为本公开的示范性图解，并非一定是按比例绘制。在附图中，同样的附图标记始终表示相同或类似的部件。其中：

图 1 是根据一示例性实施方式示出的一种半导体结构的结构示意图；

图 2 是图 1 中 A-A 处的结构示意图；

图 3 是图 1 中 B-B 处的结构示意图；

20 图 4 是根据一示例性实施方式示出的一种半导体结构的第一凸部的结构示意图；

图 5 是根据另一示例性实施方式示出的一种半导体结构的第一凸部的结构示意图；

图 6 是根据一示例性实施方式示出的一种半导体结构的第二凸部的结构示意图；

图 7 是根据一示例性实施方式示出的一种半导体结构的制造方法的流程示意图；

25 图 8 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第一光刻胶层后的结构示意图；

图 9 是根据一示例性实施方式示出的一种半导体结构的制造方法形成凹槽后的结构示意图；

图 10A-10C 是根据一示例性实施方式示出的一种半导体结构的制造方法的结构示意图；

30 图 11 是根据一示例性实施方式示出的一种半导体结构的制造方法形成第一凹槽和第

二凹槽后的结构示意图。

附图标记说明如下：

10、衬底；11、有源区；20、第一隔离结构；30、字线；31、主体部；32、第一凸部；33、第二凸部；321、凸下部；322、凸上部；40、第一光刻胶层；41、凹槽；43、光刻胶开口；44、字线掩膜层；231、第一凹槽；232、第二凹槽；45、字线掩膜开口；50、第二隔离结构。

具体实施方式

体现本公开特征与优点的典型实施例将在以下的说明中详细叙述。应理解的是本公开能够在不同的实施例上具有各种的变化，其皆不脱离本公开的范围，且其中的说明及附图在本质上是作说明之用，而非用以限制本公开。

在对本公开的不同示例性实施方式的下面描述中，参照附图进行，附图形成本公开的一部分，并且其中以示例方式显示了可实现本公开的多个方面的不同示例性结构，系统和步骤。应理解的是，可以使用部件，结构，示例性装置，系统和步骤的其他特定方案，并且可在不偏离本公开范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”，“之间”，“之内”等来描述本公开的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解为需要结构的特定三维方向才落入本公开的范围。

本公开的一个实施例提供了一种半导体结构，请参考图1至图6，半导体结构包括：衬底10；形成于衬底10内的隔离结构；字线30，字线30包括第一凸部32和第二凸部33，其中，第一凸部32和第二凸部33位于所述隔离结构内，且第一凸部32的深度大于第二凸部33的深度。

本公开一个实施例的半导体结构通过使得字线30的第一凸部32相较第二凸部33具有较长的深度，可以增强字线30对晶体管沟道的控制能力，改善漏电流。具体的，第一凸部32的深度可以理解为第一凸部32的底部至字线30的主体部31的垂直距离。同理，第二凸部33的深度可以理解为第二凸部33的底部至字线30的主体部31的垂直距离。

在一实施例中，字线30还包括主体部31，主体部31与第一凸部32和第二凸部33连接。

在一实施例中，第一凸部32和第二凸部33均为多个，多个第一凸部32与多个第二凸部33间隔设置。具体的，在同一字线30下方，多个第一凸部32和多个第二凸部33间

隔设置在隔离结构中。

在一实施例中，隔离结构包括第一隔离结构 20 和第二隔离结构 50；第一凸部 32 位于第一隔离结构 20 中，第二凸部 33 位于第二隔离结构 50 中，第一隔离结构 20 的底部低于第二隔离结构 50 的底部。

5 在一个实施例中，如图 1 所示，衬底 10 内设置有多个有源区 11，隔离结构设置在多个有源区 11 之间；其中，主体部 31 与有源区 11 相交。

具体的，衬底 10 内形成有有源区 11，相邻有源区 11 之间填充有隔离结构，各个隔离结构的深度可以均相同，也可以不同；结合图 1 可知，字线 30 跨过多个有源区 11，即主体部 31 与有源区 11 相交。

10 在一个实施例中，多个有源区 11 排布成多排；其中，第一隔离结构 20 位于相邻两个有源区 11 的端部之间，第二隔离结构 50 位于相邻两个有源区 11 的侧部之间。

具体的，结合图 1，多个有源区 11 排布成多排，且各排平行设置，而字线 30 跨过多排有源区 11，相邻两排的相邻两个有源区 11 的侧部之间的距离较近，而一排中相邻两个有源区 11 的端部之间的距离较远。

15 在一实施例中，第一凸部 32 和第二凸部 33 的深度比大于 1.05。需要说明的是，相关技术中，理想状态下字线的凸部深度尺寸均相等，即在刻蚀出用于容纳凸部的凹槽时，各个凹槽的深度也应该均相同，但受刻蚀工艺限制，在具体刻蚀时，各个凹槽的深度基本上会存在小规模的波动（但就波动值而言，依然可以认为是各个凹槽的深度均相等），从而各个凸部也会存在相应的波动。但本实施例中的，第一凸部 32 和第二凸部 33 的深度比大于 1.05 区别于相关技术中由于波动而引发的高度差，是制造过程中通过工艺控制得到的满足小型化、高性能的半导体结构。在其他实施例中，第一凸部 32 和第二凸部 33 的深度比可以大于 1.1，1.2，1.3，1.4，1.5 或 1.6。

在一个实施例中，衬底 10 可以是 p 型硅衬底、n 型硅衬底、硅锗衬底等。

25 在一个实施例中，第一凸部 32 的深度大于 30nm。在具体成型过程中通过确定第一凸部 32 和第二凸部 33 的深度比，并根据第一凸部 32 的深度值确定第二凸部 33 的深度。

在一个实施例中，第二凸部 33 的深度小于 25nm。在具体成型过程中通过确定第一凸部 32 和第二凸部 33 的深度比，并根据第二凸部 33 的深度值确定第一凸部 32 的深度。

在一个实施例中，字线 30 上第一凸部 32 沿垂直字线 30 延伸方向上的长度大于第二凸部 33 沿垂直字线 30 延伸方向上的长度。

30 具体的，同一字线 30 上第一凸部 32 垂直字线 30 延伸方向上的长度可以理解为，第

一凸部 32 与主体部 31 相连接的面具有沿主体部 31 延伸方向的第一尺寸以及沿垂于与主体部 31 延伸方向的第二尺寸，相应的，第二凸部 33 也具有沿主体部 31 延伸方向的第三尺寸以及沿垂于与主体部 31 延伸方向的第四尺寸，而第二尺寸大于第四尺寸。

- 5 在一个实施例中，第一凸部 32 包括：凸下部 321，凸下部 321 的侧壁具有第一斜率；凸上部 322，凸上部 322 的侧壁具有第二斜率；其中，第一斜率不同于第二斜率。

结合图 4 和图 5 进行说明，示例的，凸上部 322 和凸下部 321 的侧壁可以为沿 A-A 截面上的凸上部 322 和凸下部 321 的侧壁；第一凸部 32 由凸下部 321 和凸上部 322 组成，凸上部 322 的顶端连接主体部 31。第一斜率不同于第二斜率，即凸下部 321 的侧壁相对于竖直方向的倾斜度不同于凸上部 322 的侧壁相对于竖直方向的倾斜度，凸下部 321 的侧壁以及凸上部 322 的侧壁不平行也不在同一个平面上。

- 10 在一个实施例中，第一斜率大于第二斜率，即凸下部 321 的侧壁与竖直方向的夹角小于凸上部 322 的侧壁与竖直方向的夹角。当凸下部 321 的侧壁与竖直方向的夹角小于凸上部 322 的侧壁与竖直方向的夹角时，可以降低工艺难度以及增加工艺窗口。具体的，凸上部 322 的夹角较大，有利于字线的第一凸部的形成。

- 15 在一个实施例中，如图 4 至图 6 所示，第二凸部 33 的侧壁具有第三斜率，第一斜率与第三斜率相同，即凸下部 321 的侧壁与竖直方向的夹角与第二凸部 33 的侧壁与竖直方向的夹角相同。具体的，可以利用一步刻蚀工艺同时形成凸下部 321 和第二凸部 33 所在位置的凹槽，使得在所述凹槽中填充形成的凸下部 321 和第二凸部 33 的侧壁的斜率相同，可以简化形成步骤。

- 20 在一个实施例中，凸上部 322 的底部尺寸大于或等于凸下部 321 的顶部尺寸。

如图 4 所示，凸上部 322 的顶部尺寸大于凸上部 322 的底部尺寸，凸下部 321 的顶部尺寸大于凸下部 321 的底部尺寸，而凸下部 321 的顶部尺寸与凸上部 322 的底部尺寸相同，即凸上部 322 与凸下部 321 相连接的部分完全相重合。

- 25 如图 5 所示，凸上部 322 的顶部尺寸大于凸上部 322 的底部尺寸，凸下部 321 的顶部尺寸大于凸下部 321 的底部尺寸，而凸下部 321 的顶部尺寸小于凸上部 322 的底部尺寸相同，即凸上部 322 与凸下部 321 相连接的部分不完全相重合。以此增大工艺窗口，降低凸下部 321 与有源区直接接触的风险。

在一个实施例中，如图 6 所示，第二凸部 33 的顶部尺寸大于第二凸部 33 的底部尺寸，以此使得第二凸部 33 的侧壁具有第三斜率。

- 30 在一个实施例中，凸上部 322 沿所述衬底表面方向上的截面为圆形或椭圆形，凸下部

321 沿所述衬底表面方向上的截面为条形。凸上部 322 以及凸下部 321 的具体形状可以由第一凹槽 231 和第二凹槽 232 进行控制，此处不作限定，可以根据实际需要进行选择。

在一个实施例中，条形包括平行的两条线段以及连接两条线段端部的两条弧形线段。凸下部 321 的截面由两条平行的线段和两条相对的弧形线段围成。具体的，所述线段与字线 30 的延伸方向平行。凸下部 321 的线段边可以减少与相邻的有源区直接接触的风险，同时弧形线段边可以降低凸下部的形成难度。具体的，弧形线段边有利于导体材质的填充。

本公开的一个实施例还提供了一种半导体结构的制造方法，如图 7 至图 11 所示，半导体结构的制造方法包括：

10 S101，提供具有隔离结构和多个有源区 11 的衬底 10，隔离结构设置在多个有源区 11 之间；

S103，在隔离结构上形成间隔的第一凹槽 231 和第二凹槽 232，且第一凹槽 231 的深度大于第二凹槽 232 的深度；

15 S105 在衬底 10 内形成字线 30，字线 30 包括主体部 31、第一凸部 32 以及第二凸部 33，第一凸部 32 和第二凸部 33 分别设置在第一凹槽 231 和第二凹槽 232 内。

本公开一个实施例的半导体结构的制造方法通过在具有隔离结构和多个有源区 11 的衬底 10 上形成第一凹槽 231 和第二凹槽 232，并在衬底 10 内形成字线 30，且使得字线 30 的第一凸部 32 具有较长的深度，可有效改善半导体结构的漏电流现象。

需要说明的是，如图 8 所示，提供的衬底 10 为具有隔离结构和多个有源区 11 的衬底 20 10，即不考虑隔离结构和多个有源区 11 的具体成型方法，直接在衬底 10 上形成第一凹槽 231 和第二凹槽 232，并形成字线 30。在形成第一凹槽 231 和第二凹槽 232 之前，可采用干法刻蚀或者化学机械研磨（Chemical Mechanical Polishing, CMP）平坦化衬底 10。

需要注意的是，字线 30 为埋入式字线，字线 30 的材料包括钨、钛、镍、铝、铂、氮化钛等导电材料中的一种或其任意组合。在形成字线 30 后，可以采用干法刻蚀或者化学 25 机械研磨（CMP）平坦化字线 30。

在一个实施例中，在隔离结构上形成第一凹槽 231 和第二凹槽 232，包括：在隔离结构上形成凹槽 41，凹槽 41 位于相邻两个有源区 11 的端部之间；在具有凹槽 41 的隔离结构上形成第一凹槽 231 和第二凹槽 232，第一凹槽 231 形成于凹槽 41 所在位置处。具体的，多个有源区 11 排布成平行的多排，隔离结构位于多个有源区 11 之间，所述隔离结构 30 包括第一隔离结构 20 和第二隔离结构 50，第一隔离结构 20 位于相邻两个有源区 11 的端

部之间，第二隔离结构 50 位于相邻两个有源区 11 的侧部之间。刻蚀部分第一隔离结构 20 形成凹槽 41，然后在具有凹槽 41 的衬底 10 上刻蚀出第一凹槽 231 和第二凹槽 232，且第一凹槽 231 是由凹槽 41 所在位置向下刻蚀的，以此实现对第一凹槽 231 和第二凹槽 232 形成深度的控制，且还能够保证刻蚀出深度较大的第一凹槽 231。

5 在一个实施例中，在隔离结构上形成凹槽 41，包括：在衬底 10 上形成具有光刻胶开口 43 的第一光刻胶层 40，光刻胶开口 43 位于相邻两个有源区 11 的端部之间；利用光刻胶开口 43 刻蚀隔离结构，以形成凹槽 41。具体的，光刻胶开口 43 位于第一隔离结构 20 的上方，刻蚀部分第一隔离结构 20 形成凹槽 41。

10 在一个实施例中，在衬底 10 上形成字线掩膜层 44，第一光刻胶层 40 位于字线掩膜层 44 上，先利用光刻胶开口 43 刻蚀字线掩膜层 44，然后利用被刻蚀后的字线掩膜层 44 刻蚀第一隔离结构 20 形成凹槽 41。

 在一个实施例中，在具有凹槽 41 的隔离结构上形成第一凹槽 231 和第二凹槽 232，包括：在衬底 10 上形成图案化的第二光刻胶层；利用图案化的第二光刻胶层蚀刻隔离结构，在隔离结构上形成第一凹槽 231 和第二凹槽 232。

15 在一个实施例中，在第一凹槽 231 和第二凹槽 232 内形成栅介质层。通过向具有第一凹槽 231 和第二凹槽 232 的衬底 10 内填充钨、钛、镍、铝、铂、氮化钛等导电材料中的一种或其任意组合，以形成字线 30。其中，字线 30 可采用化学气相沉积法、物理气相沉积法或其它沉积方法形成。

20 栅介质层可以选择为基于硅材质的膜层，例如氧化硅（ SiO_x ），氮化硅（ Si_3N_x ）以及氮氧化硅（ SiON ）等，或者，可以选择基于高 K 材质的膜层，例如包括有铪（Hf）、锆（Zr）、氧化铝（ AlO_x ）等。依据实际工艺需求，可以选择本实施例所列举材质的至少一种或组合，也可以选择其他材质，此处并不作限定。

25 例如，栅介质层可以采用化学气相沉积 CVD 工艺获得。或者先采用 ISSG（原位水汽生成）方法长一薄层二氧化硅，然后再用 ALD（原子层淀积）方法再长一薄层二氧化硅，以形成栅介质层。

 在一个实施例中，如图 10A 至 10C 所示，在衬底 10 上形成第一光刻胶层 40 之前，还包括：在衬底 10 上形成具有字线掩膜开口 45 的字线掩膜层 44；在在字线掩膜层 44 上形成第一光刻胶层 40。第一光刻胶层 40 具有光刻胶开口 43。具体的，多个光刻胶开口 43 呈阵列错位分布，且光刻胶开口 43 位于第一隔离结构 20 上方。

30 在一个实施例中，字线掩膜开口 45 具有垂直其延伸方向上的第一尺寸，光刻胶开口

43 具有垂直字线掩膜开口 45 延伸方向上的第二尺寸，第二尺寸大于第一尺寸。利用字线掩膜层 44 可以保证光刻胶开口 43 落在字线掩膜开口 45 中的部分才会往下刻蚀隔离结构，使得隔离结构中形成的第一凹槽 231 的尺寸不至于过大而与临近的有源区直接接触造成缺陷。

- 5 在一个实施例中，在隔离结构上形成第一凹槽 231 和第二凹槽 232，包括：利用第一光刻胶层 40 上的光刻胶开口 43 和字线掩膜层 44 刻蚀隔离结构形成凹槽 41；利用字线掩膜开口 45 刻蚀隔离结构形成第一凹槽 231 和第二凹槽 232。

10 如图 10A 所示，提供具有隔离结构和多个有源区 11 的衬底，所述隔离结构设置在多个有源区 11 之间；在图 10B，形成具有字线掩膜开口 45 的字线掩膜层 44；如图 10C 至图 11 所示，在字线掩膜层 44 上形成第一光刻胶层 40，此时第一光刻胶层 40 具有光刻胶开口 43，由于字线掩膜层 44 的存在，故在形成第一光刻胶层 40 后可以先在光刻胶开口 43 对应的隔离结构上预刻蚀出凹槽 41，然后利用字线掩膜层 44 刻蚀隔离结构形成第一凹槽 231 和第二凹槽 232。字线掩膜层 44 既能防止光刻胶开口 43 过大造成隔离结构中形成的凹槽 41 与临近的有源区直接接触，又能作为隔离结构和有源区 11 的刻蚀掩膜，可以简化工艺流程，降低成本。

15 本方法形成的半导体结构具有较长的第一凸部，可以增强字线对晶体管沟道的控制能力，降低半导体结构的漏电流问题，以此提升半导体结构的性能，且适用于小尺寸高性能的 DRAM 器件。

20 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本发明的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和示例实施方式仅被视为示例性的，本公开的真正范围和精神由前面的权利要求指出。

25 应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。