

一种像素采集电路及图像传感器

技术领域

5 本发明涉及图像传感器技术领域，尤其涉及一种新型图像传感器。

背景技术

在图像传感器的诸多应用领域之中，对运动物体的检测是其中的一个重要的方面。在该应用领域，相对于传统的图像传感器（如有源像素传感器），动态视觉图像传感器（以下简称为，动态视觉传感器）因其独特的优势而逐渐受到人们的重视。

15 基于仿生原理设计的像素单元（或称之为，像素采集电路），动态视觉传感器可以实时连续地响应视野中的光强变化而不需要任何曝光时间，这使其可以较为容易地检测到高速运动物体。此外，由于动态视觉传感器仅响应并输出视野中光强变化的区域所对应的像素单元的位置信息、并自动屏蔽掉无用的背景信息，使得它还具有输出数据量小、占用带宽低等优点。动态视觉传感器的上述特点，使得后端的图像处理系统可以直接获取并处理视野中有用的动态信息，从而大大降低了对其存储和算力的要求，并可以做到较好的实时性。

20 在一般动态视觉传感器中，像素单元检测到光强变化达到预设条件后便生成一个事件。在该事件被外围控制单元读出之前，像素单元一直处于复位状态且不再响应外界光强的变化。在这个事件被读出之后，像素单元的复位状态被解除，它重新响应外界光强变化。从事件在像素单元中被生成直至它被外围控制单元读出的这段时间称为事件的读出延迟。在读出延迟内，由于像素单元不再响应外界的光强变化，这将造成动态视觉传感器丢失掉一些原本应该被检测到的事件信息。这种情况随着视场中物体运动速度的加快以及动态视觉传感器有限的事件处理和读出速度变得更加严重。对于一些高速运动检测，物体的运动速度很快，这反映为视场中光强的快速变化，读出延迟的存在导致像素单元无法对这种快速变化做出响应，

从而遗漏了一些事件的输出。另一方面，由于动态视觉传感器分辨率逐渐增大，芯片内部走线的传输延时也越来越大，这从根本上限制了动态视觉传感器处理和读出事件的速度，从而增大了事件的读出延迟。由此，动态视觉传感器输出的事件信息无法准确还原真实的运动信息，尤其是对高速运动而言。

有鉴于此，亟需一种新的图像传感器，来解决上述问题。

发明内容

本发明提供了一种新的像素采集电路及图像传感器，以力图解决或至少缓解上面存在的至少一个问题。

根据本发明的一个方面，提供了一种像素采集电路，包括：事件生成模块，适于在照射在其上的光强变化满足一定条件时，生成表征事件生成的触发信号；状态锁存器，适于在接收到触发信号时被置位；自定时逻辑，耦接到状态锁存器，适于在状态锁存器被置位时被激活，并在激活状态下经预定时长后，复位状态锁存器，以便事件生成模块再次响应外界的光强变化；事件序列存储模块，耦接到状态锁存器，适于在状态锁存器被置位时，存储由所生成的多个事件组成的事件序列的事件信息；以及读出模块，耦接到事件序列存储模块，适于在行选择线有效时，将存储在事件序列存储模块的事件序列的事件信息读出。

可选地，在根据本发明的像素采集电路中，事件信息包括所生成事件的状态信息和时间信息，且事件序列存储模块包括：包含多个事件寄存器的事件寄存器组，事件寄存器适于存储像素采集电路生成的一个事件的状态信息；包含多个采样子模块的时间采样组，其中，各采样子模块与各事件寄存器一一对应，采样子模块适于记录对应事件寄存器所指向的事件的时间信息。

可选地，在根据本发明的像素采集电路中，读出模块通过行选择线、多条列标志位信号线、多条列时间信息信号线与外围的读出单元耦接；以及读出模块还适于在行选择线有效时，通过多条列标志位信号线分别输出各事件的状态信息，并通过多条列时间信息信号线分别输出各事件的时间信息。

可选地，在根据本发明的像素采集电路中，读出模块通过行选择线、读出选通信号线、列标志位信号线、列时间信息信号线与外围的读出单元耦接；以及读出模块还适于在行选择线有效时，在读出选通信号线的作用下，通过列标志位信号线输出各事件的状态信息，并通过列时间信息信号线输出各事件的时间信息。

可选地，在根据本发明的像素采集电路中，采样子模块通过全局时间信号线与外围的全局时间信号生成单元耦接，适于采样事件生成时刻的全局时间信号的瞬时幅值，作为事件的时间信息。

可选地，在根据本发明的像素采集电路中，事件寄存器组包括：串联的 N 个事件寄存器，其中， $N \geq 2$ ，第 1 个事件寄存器的输入端连接电源电压，第 2 至第 N 各事件寄存器的输入端连接到前 1 个事件寄存器的输出端，其中，各事件寄存器的时钟信号为状态锁存器的输出，以及，各事件寄存器均连接行事件复位信号线，以便在接收到行事件复位信号时被复位。

可选地，在根据本发明的像素采集电路中，采样子模块包括：第一开关，其控制端连接到对应事件寄存器的输出端，且其第一端连接全局时间信号线，其第二端连接到第一电容的第一端；以及第一电容，其第二端接地。

可选地，在根据本发明的像素采集电路中，事件寄存器还适于通过其输出信号来指示对应事件的状态信息，其中在事件寄存器被复位时，其输出信号为低电平，以及在事件寄存器被置位时，其输出信号为高电平；采样子模块还适于在事件寄存器被置位时，通过第一电容采样第一开关被断开时全局时间信号的瞬时幅值，作为对应事件的时间信息。

可选地，在根据本发明的像素采集电路中，采样子模块包括：脉冲整形器；第二开关，其控制端经脉冲整形器连接到对应事件寄存器的输出端，其第一端连接全局时间信号线，其第二端分别连接到第一晶体管的漏极和第二电容的第一端；以及并联的第一晶体管和第一电容，其中，第一晶体管的源极和所述电容的第二端接地，第一晶体管的栅极连接行事件复位信号线。

可选地，在根据本发明的像素采集电路中，采样子模块还适于在生成事件时，通过脉冲整形器输出窄脉冲信号给第二开关，以关闭第二开关，

由第二电容采样全局时间信号的瞬时幅值，作为事件的时间信息。

可选地，在根据本发明的像素采集电路中，读出模块包括：多个由串联的一个第二晶体管和一个第三开关组成的缓冲子模块，且每个缓冲模块对应输出一个事件的状态信息或时间信息，其中，第二晶体管的源极连接第三开关的一端，第二晶体管的栅极连接事件序列存储模块的输出端，第二晶体管的漏极连接电源，以及，第三开关的控制端连接到行选择线，第三开关的另一端连接列标志位信号线或列时间信息信号线。

可选地，在根据本发明的像素采集电路中，读出模块包括：多个由串联的一个第三晶体管和一个第四开关组成的缓冲子模块，第三晶体管的源极连接第四开关的一端，第三晶体管的栅极连接事件序列存储模块的输出端，第三晶体管的漏极连接电源，以及，第四开关的控制端连接到读出通信信号线，第四开关的另一端连接第五开关或第六开关的一端；第五开关，其一端连接部分第四开关的另一端，其另一端连接列标志位信号线；第六开关，其一端连接另外部分第四开关的另一端，其另一端连接列时间信息信号线。

可选地，在根据本发明的像素采集电路中，事件生成模块包括：光电探测子模块，适于实时监测照射在其上的光信号，并输出相应的电信号；触发生成子模块，耦接到光电探测模块，适于在电信号满足阈值条件时，生成表征事件生成的触发信号。

根据本发明的另一个方面，提供了一种图像传感器，包括：像素采集电路阵列，包括多个如上所述的像素采集电路；全局控制单元，经全局复位信号线与像素采集电路阵列耦接，适于在图像传感器上电时，复位像素采集电路阵列；全局时间信号生成单元，经全局时间信号线与像素采集电路阵列耦接，适于生成表征时间信息的全局时间信号；读出单元，经行选择线、行事件复位信号线、列标志位信号线和列时间信号线与像素采集电路阵列耦接，适于读出像素采集电路阵列所生成的事件序列的事件信息。

可选地，在根据本发明的图像传感器中，读出单元包括：行选择子单元，经行选择线和行事件复位信号线与像素采集电路阵列耦接，列选择子单元，经列标志位信号线和列时间信号线与像素采集电路阵列耦接，读出控制子单元，适于控制行选择单元和列选择单元。

可选地，在根据本发明的图像传感器中，事件信息包括事件的状态信息和时间信息，以及，列选择子单元包括：列标志位读出子单元，适于通过列标志位信号线读出事件的状态信息；列时间信息读出子单元，适于通过列时间信号线读出事件的时间信息。

5 根据本发明的像素采集电路，采用自定时逻辑代替了一般动态视觉传感器中的握手协议控制逻辑。像素采集电路在进入触发状态后，自定时逻辑被激活，其在定时结束后自动解除像素采集电路的触发状态，像素采集电路可以立即响应外界的光强变化。通过这种方式，像素采集电路的工作不再依赖于外围读出控制逻辑，它可以持续不断地检测与生成事件。

10 此外，像素采集电路中还添加了事件序列存储模块，用于暂存像素采集电路所生成的多个事件的状态信息和时间信息。当像素采集电路被外围读出单元选中时，其暂存的事件序列信息被读出至外部单元。

基于该像素采集电路的图像传感器，不会因为读出延迟而导致事件检测的遗漏。并且，由于对读出延迟不敏感，像素采集电路阵列外围的读出
15 单元的工作速度也可以相应降低，由此也降低了图像传感器的功耗。

附图说明

为了实现上述以及相关目的，本文结合下面的描述和附图来描述某些说明性方面，这些方面指示了可以实践本文所公开的原理的各种方式，并且所有方面及其等效方面旨在落入所要求保护的主题的范围内。通过结合
20 附图阅读下面的详细描述，本公开的上述以及其它目的、特征和优势将变得更加明显。遍及本公开，相同的附图标记通常指代相同的部件或元素。

图 1 示出了根据本发明一些实施例的图像传感器 100 的示意图；

图 2 示出了根据本发明一些实施例的像素采集电路 200 的示意图；

25 图 3 示出了根据本发明另一些实施例的像素采集电路 200 的示意图；

图 4A 和图 4B 分别示出了根据本发明一些实施例的事件序列存储模块
240 的示意图；

图 5 示出了根据本发明一个实施例的状态锁存器 220 和事件序列存储模块 240 的输出信号时序图；

图 6 示出了根据本发明另一个实施例的采样子模块的示意图；

图 7A 示出了根据本发明一个实施例的读出模块 250 的示意图，图 7B 示出了根据本发明另一个实施例的读出模块 250 的示意图。

5 具体实施方式

下面将参照附图更详细地描述本公开的示例性实施例。虽然附图中显示了本公开的示例性实施例，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施例所限制。相反，提供这些实施例是为了能够更透彻地理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

图 1 示出了根据本发明一些实施例的图像传感器 100 的示意图。

如图 1 所示，图像传感器 100 包括像素采集电路阵列 110、全局控制单元 120、全局时间信号生成单元 130 和读出单元 140。

其中，像素采集电路阵列 110 由在空间上二维排列的相同的多个像素采集电路 200（即，像素单元）构成（如图 1 示出了一个 3×3 大小的像素采集电路阵列，不限于此）。根据本发明的实施方式，像素采集电路 200 实时监测视场中的光强变化，并在光强变化满足一定条件时进入触发状态，即触发生成一个事件，用以表示此时视场中相应位置有运动事件发生。根据本发明的像素采集电路 200，其内部可以存储多个事件的事件信息，其中，事件信息包括所生成事件的状态信息和时间信息。

此外，读出单元 140 进一步包括行选择子单元 142、列选择子单元 144 和读出控制子单元 146。列选择子单元 144 又包括列标志位读出子单元 1442 和列时间信息读出子单元 1444。读出控制子单元 146 分别与行选择子单元 142、列选择子单元 144 耦接，来分别控制行选择子单元 142 和列选择子单元 144。

如图 1，像素采集电路阵列 110 分别与全局控制单元 120、全局时间信号生成单元 130 和读出单元 140 相耦接。具体而言，全局控制单元 120 经全局复位信号线与像素采集电路阵列 110 耦接。全局时间信号生成单元 130 经全局时间信号线与像素采集电路阵列 110 耦接。读出单元 140 经行选择线、行事件复位信号线、列标志位信号线和列时间信号线与像素采集电路

阵列 110 耦接。进一步地，行选择子单元 142 经行选择线和行事件复位信号线与像素采集电路阵列 110 耦接，列选择子单元 144 经列标志位信号线和列时间信号线与像素采集电路阵列 110 耦接（具体地，列标志位读出子单元 1442 经列标志位信号线与像素采集电路阵列 110 耦接，以及，列时间信息读出子单元 1444 经列时间信号线与像素采集电路阵列 110 耦接）。

在一种实施例中，全局控制单元 120 在图像传感器 100 上电时，复位整个像素采集电路阵列 110，以确保每个像素采集电路 200 均有稳定的初始状态。

全局时间信号生成单元 130 生成表征时间信息的全局时间信号。该全局时间信号可以是一个周期变化的模拟电压信号，例如斜坡信号、三角波信号或指数信号等随时间变化的信号，也可以是经过编码的周期性的数字信号，例如是多位格雷码信号。本发明的实施例对此不做限制。根据本发明的实施例，像素采集电路 200 采样其被触发时刻的全局时间信号的瞬时幅值信息，作为事件的时间信息。

全局时间信号生成单元 130 可以实现为斜坡信号发生器、三角波信号发生器或指数信号发生器等，上述的一些电路模块均为通用的基础模块，故在此不再赘述。

读出单元 140 读出像素采集电路阵列 110 所生成的事件信息。与一般动态视觉传感器不同的是，读出单元 140 仅用于读取像素采集电路阵列 110 中存储的事件信息，而不用于控制像素采集电路阵列 110 的工作状态。

在根据本发明的一种实施例中，行选择子单元 142 和列标志位读出子单元 1442 可以是随机扫描的判决器，或者是顺序扫描的选择扫描电路，在此不再赘述。

根据一种实施方式，当全局时间信号线给出的是一个周期变化的模拟电压信号时，对应于每一列像素采集电路，列时间信息读出子单元 1444 包含一个或多个模数转换器，用于将像素采集电路 200 中存储的事件的时间信息（即，全局时间信号的瞬时电压幅值）转换为数字编码输出，后端处理单元据此可以恢复出事件生成的真实时间信息。当全局时间信号线给出的是经过编码的多位周期性的数字信号时，列时间信息读出子单元 1444 被实现为一个多位的数字扫描电路。

在一种实施例中，读出控制子单元 146 先控制行选择子单元 142 选中的一行像素采集电路 200，随后读出控制子单元 146 控制列选择子单元 144 读取该行像素采集电路 200 所存储的状态信息（例如，用“0”表示未触发，用“1”表示被触发）和时间信息，并输出至图像传感器 100 的外部模块。

5 状态信息例如是，用“0”表示未触发事件，用“1”表示触发事件。

与一般动态视觉传感器中的像素采集电路不同的，此处的像素采集电路除了能够生成并存储多个事件信息外，其复位操作是自主完成的，不依赖于外围的读出控制逻辑。也就是说，像素采集电路 200 的触发（即，事件的生成）与触发状态的解除，均在像素采集电路 200 内部完成。

10 为进一步说明像素采集电路 200，以下将结合图示，对像素采集电路 200 的内部结构及工作原理进行详细阐述。

图 2 示出了根据本发明一种实施例的像素采集电路 200 的示意图。像素采集电路 200 至少包括：事件生成模块 210、状态锁存器 220、自定时逻辑 230、事件序列存储模块 240 和读出模块 250。其中，事件生成模块 210
15 与状态锁存器 220 耦接，同时，状态锁存器 220 与自定时逻辑 230 相互耦接，状态锁存器 220 还与事件序列存储模块 240 耦接，事件序列存储模块 240 又耦接到读出模块 250。

事件生成模块 210 在照射在其上的光强变化（例如照度变化量和变化速率等）满足一定条件时（例如，照度变化量和变化速率都超过各自的阈
20 值），生成表征事件生成的触发信号，并将其发送给与其耦接的状态锁存器 220，以将状态锁存器 220 置位。

在一种实施例中，事件生成模块 210 包括相互耦接的光电探测子模块 212 和触发生成子模块 214。触发生成子模块 214 又包括高通滤波放大器 2142 和阈值比较子模块 2144。

25 光电探测子模块 212 实时监测照射在其上的光信号，并输出相应的电信号。

触发生成子模块 214 在该电信号满足阈值条件时，生成表征事件生成的触发信号。具体地，高通滤波放大器 2142 与光电探测子模块 212 耦接，对该电信号进行预处理操作以生成处理后的电信号，其中预处理操作包括
30 放大操作和滤波操作中的至少一个。阈值比较子模块 2144 判断处理后的电

信号是否满足阈值条件（例如大于第一阈值、小于第二阈值，不限于此），并在满足该阈值条件时生成触发信号。根据本发明的一种实现方式，预处理操作中，放大操作是为了增加像素采集电路对光强检测的灵敏度，但这不是必须的。滤波操作一般是高通滤波，即只对高频也就是速度足够快的光强变化响应，从而过滤掉那些速度缓慢的光强变化。

图 2 示例性地示出了事件生成模块 210 中各部分的一种实现方式。光电探测器模块 212 例如是对数式光电探测器，高通滤波放大器 2142 可以采用多种公知的滤波和放大技术，阈值比较子模块 2144 可以通过电压比较器等来实现，但均不限于此。由于事件生成模块 210 的功能与一般动态视觉传感器没有差异，故在此不再赘述。

状态锁存器 220 在接收到触发信号时被置位，像素采集电路 200 进入触发状态。同时，状态锁存器 220 分别发送信号给自定时逻辑 230 和事件序列存储模块 240。

一方面，自定时逻辑 230 在状态锁存器 220 被置位时被激活，并在激活状态下经预定时长后，自动复位该状态锁存器 220（即图 2 中的本地复位），以使得像素采集电路 200 自动解除触发状态。如图 2，状态锁存器 220 在被复位后，发送信号给高通滤波放大器 2142，以复位高通滤波放大器 2142，这样，事件生成模块 210 便可再次响应外界的光强变化。

根据本发明的实施例，预定时长的时间（即，自定时的时间）一般在微秒量级，只要确保像素采集电路 200 可以稳定复位即可。通过自定时逻辑 230 与状态锁存器 220 的配合，像素采集电路 200 可以不间断地检测外界光强的变化。换言之，在一次采集过程中，像素采集电路 200 可以被多次触发，生成多个事件。

对于一般动态视觉传感器，触发的像素采集电路在经过一定时间的读出延迟后才会被外围的读出单元选中，其握手协议控制逻辑才会复位状态锁存器，像素采集电路的触发状态被解除并再次响应外界的光强变化。受限于图像传感器处理和读出事件的速度，读出延迟一般在几百微秒甚至毫秒量级，而且当视场中动态信息较多时，读出延迟还会因为大量事件的堵塞变得更长。在这段时间内，像素采集电路不会响应外界光强的变化，即便光强变化满足上述一定条件，也不会生成新的事件，由此造成了一般动

态视觉传感器会丢失部分事件信息。相比之下，根据本发明实施例的像素采集电路 200，用自定时逻辑替换了原有的握手协议控制逻辑，确保了像素采集电路 200 可以不间断地检测并生成事件。

另一方面，每当状态锁存器 220 被置位时，事件序列存储模块 240 就存储所生成事件的事件信息。由这至少一个事件（通常是多个事件）组成事件序列，事件序列存储模块 240 存储事件序列的事件信息，并在外围的读出单元选中该像素采集电路时，将其存储的事件序列的事件信息一次性全部读出。

在一种实施例中，事件信息包括事件的状态信息和时间信息。状态信息指示是否为被触发的事件，时间信息记录该事件被触发的时间。

根据一种实施例，事件序列存储模块 240 包括事件寄存器组 242 和时间采样组 244。其中，事件寄存器组 242 包含多个事件寄存器（可选地，事件寄存器的个数设为 N ， $N > 1$ ），一个事件寄存器存储像素采集电路 200 所生成的一个事件的状态信息。

时间采样组 244 包含多个采样子模块，且各采样子模块与各事件寄存器一一对应（即，采样子模块的个数也为 N ），采样子模块用来记录对应事件寄存器所指向的事件的时间信息。在一种实施例中，采样子模块通过全局时间信号线与外围的全局时间信号生成单元 130 耦接，通过采样事件生成时刻的全局时间信号的瞬时幅值，来作为事件的时间信息。

根据图 2 所示出的实施例，读出模块 250 被实现为并行读出模块，读出模块 250 通过一条行选择线、多条列标志位信号线、多条列时间信息信号线与外围的读出单元 140 耦接。在一种实施例中，列标志位信号线和列时间信息信号线的数目均可与事件寄存器（采样子模块）的数目保持一致，即，均为 N 条。如图 2，多条列标志位信号线和多条列时间信息信号线，分别记作，列标志位信号线[1:N]和列时间信息信号线[1:N]。

当像素采集电路 200 所在的行被行选择子单元 142 选中时，行选择线有效，读出模块 250 将存储在事件序列存储模块 240 的事件序列的事件信息读出。具体地，读出模块 250 通过列标志位信号线[1:N]分别输出各事件的状态信息，并通过列时间信息信号线[1:N]分别输出各事件的时间信息。

图 3 示出了根据本发明另一些实施例的像素采集电路 200 的示意图。

与图 2 所示出的像素采集电路 200 相比, 图 3 中的像素采集电路 200 采用了串行的方式来实现读出模块 250 (即, 串行读出模块)。具体而言, 相比于并行读出模块, 串行读出模块在行方向上增加了读出选通信号线, 列方向上仅有各一条列标志位信号线和列时间信息信号线。

- 5 鉴于在前文图 2 的相关内容中, 已经对事件生成模块 210、状态锁存器 220、自定时逻辑 230 和事件序列存储模块 240 进行了一一说明, 故此处仅针对读出模块 250 展开描述。

在图 3 所示的实施例中, 读出模块 250 通过行选择线、读出选通信号线、列标志位信号线、列时间信息信号线与外围的读出单元 140 耦接。

- 10 当像素采集电路 200 所在的行被行选择子单元 142 选中时, 行选择线有效, 读出模块 250 在读出选通信号线的作用下, 通过列标志位信号线将事件序列的状态信息串行输出, 通过列时间信息信号线将事件序列的时间信息串行输出。

- 15 应当指出, 上述图 2 及图 3 仅作为示例, 示出了根据本发明实施方式的像素采集电路 200 的示意图。但本发明并不局限于此。

进一步地, 图 4A 和图 4B 分别示出了根据本发明一些实施例的事件序列存储模块 240 的示意图。

- 20 在图 4A 和图 4B 所示出的事件序列存储模块 240 中, N 的值均取为 3。即, 事件寄存器组 242 包含 3 个事件寄存器、3 个采样子模块, 且每个事件寄存器分别对应一个采样子模块。如前文所述, 每个事件寄存器存储一个事件的状态信息, 每个采样子模块存储一个事件的时间信息。

对于图 4A 所示的实施例, 全局时间信号线给出的是一个周期变化的模拟电压信号, 如斜坡信号、三角波信号或指数信号。

- 25 事件寄存器组 242 包括串联的 N 个事件寄存器, 如前所述, 通常 $N \geq 2$ 。第 1 个事件寄存器 (即, 图 4A 中的事件寄存器 1) 的输入端连接电源电压, 第 2 至第 N 各事件寄存器的输入端连接到前 1 个事件寄存器的输出端, 即, 由这 N 个事件寄存器构成一个寄存器链。此外, 各事件寄存器的时钟信号为状态锁存器 220 的输出, 且各事件寄存器均连接行事件复位信号线, 由其给出复位信号。

时间采样组 244 中的 N 个采样子模块相互独立，仅与其对应的事件寄存器耦接，且各采样子模块的结构相同。在如图 4A 所示出的实施例中，采样子模块为模拟采样模块，包括 1 个第一开关 S1 和 1 个第一电容 C1。其中，第一开关 S1 的控制端连接到对应事件寄存器的输出端，且其第一端连接全局时间信号线，其第二端连接到第一电容 C1 的第一端，第一电容 C1 的第二端接地。

图 4A 中示出了 N=3 的情形，当然不限于此。以下以 N=3 来对事件序列存储模块 240 做进一步说明。如图 4A 所示，事件寄存器 1 的输出接至事件寄存器 2 的输入，事件寄存器 2 的输出接至事件寄存器 3 的输入，事件寄存器 1 的输入接至电源电压。

当行事件复位信号有效时，所有事件寄存器被复位，以表征像素采集电路中没有事件生成。以事件寄存器 1 和采样子模块 1 为例，进行说明。采样子模块 1 由第一开关 S1a 和第一电容 C1a 组成，第一开关 S1a 的控制信号为事件寄存器 1 的输出信号 Q1。当事件寄存器 1 复位时，其输出信号 Q1 为低电平，此时第一开关 S1a 闭合，第一电容 C1a 跟随全局时间信号线给出的全局时间信号。当有 1 个事件生成时，事件寄存器 1 置位，其输出信号 Q1 变为高电平，第一开关 S1a 断开，第一电容 C1a 采样第一开关 S1a 断开时刻全局时间信号的瞬时幅值信息，作为该事件的时间信息。

这样，3 个事件寄存器的输出信号 Q1、Q2、Q3 指示了像素采集电路 200 中事件序列的状态信息，3 个采样子模块的输出信号 T1、T2、T3 指示了像素采集电路 200 中事件序列的时间信息。

对于图 4B 所示的实施例，全局时间信号线给出的是经过编码的周期性的数字信号，例如是多位格雷码信号。采样子模块依旧是模拟采样模块，当然，也可采用锁存器等数字存储模块，此处不作限制。

在图 4B 中，全局时间信号线[1:3]传输 3 位数字信号，当然，此处仅作为示例，本发明实施例并不限于此。对应地，每个采样子模块中也含有 3 个子单元，来实现对这 3 位数字信号的分别采样。具体地，每个子模块均包含一个第一开关 S1 和一个第一电容 C1，其连接方式可参考前文关于图 4A 的描述，与图 4A 相同的内容，此处不再一一展开。

以采样子模块 1 为例，第一开关 S1a1 和第一电容 C1a1 组成第一个子

模块，其连接全局时间信号线[1]，输出信号 T1a；第一开关 S1a2 和第一电容 C1a2 组成第二个子模块，其连接全局时间信号线[2]，输出信号 T1b；第一开关 S1a3 和第一电容 C1a3 组成第三个子模块，其连接全局时间信号线[3]，输出信号 T1c。之后，将 T1a、T1b 和 T1c 结合，就得到第一个事件的时间信息。基于相似的结构和连接关系，采样子模块 2 和采样子模块 3 分别采样并输出第二个事件的时间信息和第三个事件的时间信息。

基于图 4A 和图 4B 的描述，本领域技术人员应当了解，可根据全局时间信号生成单元 130 所给出的全局时间信号，来调整事件序列存储模块 240（尤其是时间采样组 244），以实现根据本发明实施例的像素采集电路 200。

以下结合图 5 来进一步说明事件序列存储模块 240 的工作流程。图 5 示出了根据本发明一个实施例（即图 4A 所示的实施例）的状态锁存器 220 和事件序列存储模块 240 的输出信号时序图。此处，全局时间信号为一个斜坡电压信号。

初始时，3 个事件寄存器全部被复位，其对应的输出信号 Q1、Q2、Q3 均为 0，表明此像素采集电路没有生成任何事件。3 个采样子模块中的第一开关全部闭合，其对应的输出信号 T1、T2、T3 跟随全局时间信号。

在时刻 A，像素采集电路触发并生成第一个事件，此时状态锁存器的输出变为高电平，事件寄存器 1 被置位，其输出信号 Q1 变为 1。在采样子模块 1 中，第一开关断开，第一电容采样此时全局时间信号的瞬时电压幅值 V1 作为第一个事件的时间信息。状态锁存器被置位后，像素采集电路中的自定时逻辑被激活，其在定时结束后自动复位状态锁存器，所以状态锁存器的输出为一个脉冲信号。当状态锁存器被复位后，像素采集电路继续检测外界光强变化。

在时刻 B，像素采集电路再次触发并生成第二个事件，状态锁存器的输出再次变为高电平。由于事件寄存器 1 已经被置位，此时事件寄存器 2 的输出信号 Q2 变为高电平，表明该像素采集电路已检测到两个事件。采样子模块 2 中的第一开关断开，第一电容采样此时全局时间信号的瞬时电压幅值 V2 作为第二个事件的时间信息。随后自定时逻辑被激活，状态锁存器在定时结束后被复位，像素采集电路继续检测外界光强变化。

在时刻 C，像素采集电路检测到第 3 个事件，Q3 变为高电平，采样子

模块 3 中的第一开关断开，第一电容采样此时全局时间信号的瞬时电压幅值 V3，作为第三个事件的时间信息。

在时刻 D，行选择子单元选中该行，行选择线有效，像素采集电路中的读出模块（可以是并行读出模块，也可以是串行读出模块）将事件序列存储模块输出的事件序列的状态信息 Q1、Q2、Q3 经列标志位信号线发送至列选择子单元，将事件序列的时间信息 T1、T2、T3 经列时间信息信号线发送至列选择子单元。列选择子单元中的列标志位读出子单元读取 Q1、Q2、Q3，在本例中由于它们全为 1，所以该像素采集电路生成了三个事件；列选择子单元中的列时间信息读出子单元获取三个事件对应的时间信息，其将每个采样子模块中存储的全局时间信号的瞬时幅值 V1、V2、V3 转换为数字编码输出。由于斜坡电压的电压幅值与时间存在一一对应的关系，后端处理单元据此可以恢复出每个事件真实触发的时间信息。像素采集电路存储的事件信息读出结束后，行选择子单元将行事件复位信号置为有效，此时事件寄存器全部被复位，采样子模块中的开关均重新闭合，像素采集电路之前存储的事件信息被全部清零。此后，像素采集电路的工作流程与上面的叙述一致。

根据另一些实施例，事件序列存储模块 240 中的采样子模块还可以通过其他方式来实现。图 6 示出了根据本发明另一个实施例的采样子模块的示意图。在一些实施方式中，可以采用图 6 所示的采样子模块来替换图 4A 或图 4B 中的采样子模块，以组成新的事件序列存储模块。此处以采样子模块 1 为例，来进行说明。该采样子模块 1 与事件寄存器 1 相连，其他采样子模块采用同样的方式，并依序与其他事件寄存器相连即可。

如图 6 所示，采样子模块除了第二开关 S2 和第二电容 C2 外，还包括脉冲整形器和第一晶体管 M1。其中，第二开关 S2 的控制端经脉冲整形器连接到对应事件寄存器的输出端（即，第二开关 S2 的控制信号为 Q1 经脉冲整形器处理后的信号），第二开关 S2 的第一端连接全局时间信号线，第二端分别连接到第一晶体管 M1 的漏极和第二电容 C2 的第一端。第一晶体管 M1 和第二电容 C2 并联，其中，第一晶体管 M1 的源极和第二电容 C2 的第二端接地，第一晶体管 M1 的栅极连接行事件复位信号线。

当行事件复位信号有效时，第一晶体管 M1 导通，第二电容 C2 被放电

至地电位，即 T1 被初始化在地电位。当像素采集电路生成一个事件时，Q1 变为高电平，采样子模块通过脉冲整形器输出一个窄脉冲信号给第二开关 S2，在此期间第二开关 S2 闭合，由第二电容 C2 采样全局时间信号的瞬时幅值，作为事件的时间信息。

5 相较于图 4A 和图 4B 所示的采样子模块，在图 6 所给出的采样子模块中，对于未触发的事件寄存器，第二开关 S2 一直处于断开的状态，T1 一直为地电位，由此，外部的处理模块也可以间接地借助于 T1 的幅值信息来判断事件的状态信息（即，若 T1 为地电位，则表示事件的状态为未触发；反之，若 T1 不是地电位，则表示事件的状态为触发），而不必将事件寄存器所存储的事件的状态信息经列标志位信号线输出。

图 7A 示出了根据本发明一个实施例的读出模块 250 的示意图，图 7B 示出了根据本发明另一个实施例的读出模块 250 的示意图。

参考前文图 2 和图 3 的相关描述，读出模块 250 可以被实现为并行读出模块或串行读出模块。其中，图 7A 所示为并行读出模块，图 7B 所示为
15 串行读出模块。

在如图 7A 所示的并行读出模块中，读出模块 250 包括：多个由串联的一个第二晶体管 M2 和一个第三开关 S3 组成的缓冲子模块，且每个缓冲子模块对应输出一个事件的状态信息或时间信息。为便于理解，图 7A 中还是取 N=3 的情形。即，由 3 个事件寄存器分别输出 Q1、Q2 和 Q3，由 3 个采样子模块分别输出 T1、T2 和 T3。这样，缓冲子模块一共有 6 个（在图 7A 中用虚线框框出），分别对应各事件寄存器和采样子模块。

以其中一个缓冲子模块 710 为例，其中，第二晶体管 M2a 的源极连接第三开关 S3a 的一端，第二晶体管 M2a 的栅极连接事件序列存储模块的输出端（即，Q1），第二晶体管 M2a 的漏极连接电源。此外，第三开关 S3a
25 的控制端连接到行选择线（故，第三开关也称为行选开关），第三开关 S3a 的另一端连接列标志位信号线或列时间信息信号线。其它缓冲模块可参考缓冲子模块 710，篇幅所限，此处不再一一赘述。

事件序列存储模块输出的事件的状态信息 Q1、Q2、Q3 和事件的时间信息 T1、T2、T3，经缓冲子模块后送至相应的列标志位信号线和列时间信息信号线。当该行被选中后，其行选择线有效，所有行选开关导通，Q1、
30 息信号线。

Q2、Q3 和 T1、T2、T3 被对应送至列标志位信号线[1:3]以及列时间信号线[1:3]。

在如图 7B 所示的串行读出模块中，读出模块 250 包括：多个由串联的一个第三晶体管 M3 和一个第四开关 S4 组成的缓冲子模块、第五开关 S5 和第六开关 S6。同前所述，缓冲子模块的个数与事件寄存器和采样子模块的个数总和保持一致。同样，图 7B 中还是取 N=3 的情形，共 6 个缓冲子模块（同样地，在图 7B 中用虚线框框出）。

以其中一个连接事件寄存器的缓冲子模块 720 为例，第三晶体管 M3a 的源极连接第四开关 S4a 的一端，第三晶体管 M3a 的栅极连接事件序列存储模块的输出端（即，Q1），第三晶体管 M3a 的漏极连接电源。同时，第四开关 S4a 的控制端连接到读出选通信号线，第四开关 S4a 的另一端连接第五开关 S5 的一端。第五开关 S5 的一端连接部分第四开关 S4（“部分第四开关”，即，连接到事件寄存器的所有缓冲子模块的第四开关）的另一端，其另一端连接列标志位信号线。

同样，对于连接到采样子模块的缓冲子模块，其第四开关 S4 的另一端连接第六开关 S6 的一端。相对于第五开关 S5，第六开关 S6 的一端连接另外部分第四开关 S4（“另外部分第四开关”，即，连接到采样子模块的所有缓冲子模块的第四开关）的另一端，其另一端连接列时间信息信号线。

缓冲子模块中的第四开关 S4a 至 S4f 由读出选通信号线控制，第五开关 S5 和第六开关 S6 由行选择线控制。Q1、Q2、Q3 的输出共用一条列标志位信号线，T1、T2、T3 的输出共用一条列时间信息信号线。当该行被选中后，其行选择线有效，第五开关 S5 和第六开关 S6 均闭合，此时，读出选通信号线依次控制第四开关 S4a、S4b、S4c 相继导通，事件的状态信息 Q1、Q2、Q3 经列标志位信号线串行输出。同样地，读出选通信号线依次控制第四开关 S4d、S4e、S4f 相继导通，事件的时间信息 T1、T2、T3 经列时间信号线串行输出。

综上，根据本发明的像素采集电路，采用自定时逻辑代替了一般动态视觉传感器中的握手协议控制逻辑。像素采集电路 200 在进入触发状态后，自定时逻辑被激活，其在定时结束后自动解除像素采集电路的触发状态，像素采集电路可以立即响应外界的光强变化。通过这种方式，像素采集电

路的工作不再依赖于外围读出控制逻辑，它可以持续不断地检测与生成事件。此外，像素采集电路中还添加了事件序列存储模块，用于暂存像素采集电路所生成的多个事件的状态信息和时间信息。像素采集电路被外围读出单元选中时，其暂存的事件序列信息被读出至外部单元。

- 5 通过如上方式，本发明的图像传感器 100 不会因为读出延迟而导致事件检测的遗漏。此外，由于对读出延迟不敏感，像素采集电路阵列外围的读出单元的工作速度也可以相应降低，由此，进一步降低了图像传感器的功耗。

- 10 在此处所提供的说明书中，说明了大量具体细节。然而，能够理解，本发明的实施例可以在没有这些具体细节的情况下被实践。在一些实例中，并未详细示出公知的方法、结构和技术，以便不模糊对本说明书的理解。

- 类似地，应当理解，为了精简本公开并帮助理解各个发明方面中的一个或多个，在上面对本发明的示例性实施例的描述中，本发明的各个特征有时被一起分组到单个实施例、图、或者对其的描述中。然而，并不应将
15 该公开的方法解释成反映如下意图：即所要求保护的本发明要求比在每个权利要求中所明确记载的特征更多特征。更确切地说，如下面的权利要求书所反映的那样，发明方面在于少于前面公开的单个实施例的所有特征。因此，遵循具体实施方式的权利要求书由此明确地并入该具体实施方式，其中每个权利要求本身都作为本发明的单独实施例。

- 20 本领域那些技术人员应当理解在本文所公开的示例中的设备的模块或单元或组件可以布置在如该实施例中所描述的设备中，或者可替换地可以定位在与该示例中的设备不同的一个或多个设备中。前述示例中的模块可以组合为一个模块或者此外可以分成多个子模块。

- 本领域那些技术人员可以理解，可以对实施例中的设备中的模块进行
25 自适应性地改变并且把它们设置在与该实施例不同的一个或多个设备中。可以把实施例中的模块或单元或组件组合成一个模块或单元或组件，以及此外可以把它分成多个子模块或子单元或子组件。除了这样的特征和/或过程或者单元中的至少一些是相互排斥之外，可以采用任何组合对本说明书（包括伴随的权利要求、摘要和附图）中公开的所有特征以及如此公开
30 的任何方法或者设备的所有过程或单元进行组合。除非另外明确陈述，本

说明书（包括伴随的权利要求、摘要和附图）中公开的每个特征可以由提供相同、等同或相似目的的替代特征来代替。

此外，本领域的技术人员能够理解，尽管在此所述的一些实施例包括其它实施例中所包括的某些特征而不是其它特征，但是不同实施例的特征的组合意味着处于本发明的范围之内并且形成不同的实施例。例如，在下面的权利要求书中，所要求保护的实施例的任意之一都可以以任意的组合方式来使用。

此外，所述实施例中的一些在此被描述成可以由计算机系统的处理器或者由执行所述功能的其它装置实施的方法或方法元素的组合。因此，具有用于实施所述方法或方法元素的必要指令的处理器形成用于实施该方法或方法元素的装置。此外，装置实施例的在此所述的元素是如下装置的例子：该装置用于实施由为了实施该发明的目的的元素所执行的功能。

如在此所使用的那样，除非另行规定，使用序数词“第一”、“第二”、“第三”等等来描述普通对象仅仅表示涉及类似对象的不同实例，并且并不意图暗示这样被描述的对象必须具有时间上、空间上、排序方面或者以任意其它方式的给定顺序。

尽管根据有限数量的实施例描述了本发明，但是受益于上面的描述，本技术领域内的技术人员明白，在由此描述的本发明的范围内，可以设想其它实施例。此外，应当注意，本说明书中使用的语言主要是为了可读性和教导的目的而选择的，而不是为了解释或者限定本发明的主题而选择的。因此，在不偏离所附权利要求书的范围和精神的情况下，对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。对于本发明的范围，对本发明所做的公开是说明性的，而非限制性的，本发明的范围由所附权利要求书限定。

权 利 要 求 书

1、一种像素采集电路，包括：

事件生成模块，适于在照射在其上的光强变化满足一定条件时，生成表征事件生成的触发信号；

5 状态锁存器，适于在接收到所述触发信号时被置位；

自定时逻辑，耦接到所述状态锁存器，适于在所述状态锁存器被置位时被激活，并在激活状态下经预定时长后，复位所述状态锁存器，以便所述事件生成模块再次响应外界的光强变化；

10 事件序列存储模块，耦接到所述状态锁存器，适于在所述状态锁存器被置位时，存储由所生成的多个事件组成的事件序列的事件信息；以及

读出模块，耦接到所述事件序列存储模块，适于在行选择线有效时，将存储在所述事件序列存储模块的所述事件序列的事件信息读出。

2、如权利要求1所述的像素采集电路，其中，所述事件信息包括所生成事件的状态信息和时间信息，且所述事件序列存储模块包括：

15 包含多个事件寄存器的事件寄存器组，所述事件寄存器适于存储所述像素采集电路生成的一个事件的状态信息；

包含多个采样子模块的时间采样组，其中，各采样子模块与各事件寄存器一一对应，所述采样子模块适于记录对应事件寄存器所指向的事件的时间信息。

20 3、如权利要求2所述的像素采集电路，其中，

所述读出模块通过行选择线、多条列标志位信号线、多条列时间信息信号线与外围的读出单元耦接；以及

25 所述读出模块还适于在所述行选择线有效时，通过所述多条列标志位信号线分别输出各事件的状态信息，并通过所述多条列时间信息信号线分别输出各事件的时间信息。

4、如权利要求2所述的像素采集电路，其中，

所述读出模块通过行选择线、读出选通信号线、列标志位信号线、列时间信息信号线与外围的读出单元耦接；以及

所述读出模块还适于在所述行选择线有效时，在所述读出选通信号线的作用下，通过所述列标志位信号线输出各事件的状态信息，并通过所述列时间信息信号线输出各事件的时间信息。

5、如权利要求 2-4 中任一项所述的像素采集电路，其中，

- 5 所述采样子模块通过全局时间信号线与外围的全局时间信号生成单元耦接，适于采样所述事件生成时刻的全局时间信号的瞬时幅值，作为所述事件的时间信息。

6、如权利要求 2-5 中任一项所述的像素采集电路，其中，所述事件寄存器组包括：

- 10 串联的 N 个事件寄存器，其中， $N \geq 2$ ，第 1 个事件寄存器的输入端连接电源电压，第 2 至第 N 各事件寄存器的输入端连接到前 1 个事件寄存器的输出端，其中，

各事件寄存器的时钟信号为所述状态锁存器的输出，以及，各事件寄存器均连接行事件复位信号线，以便在接收到行事件复位信号时被复位。

- 15 7、如权利要求 6 所述的像素采集电路，其中，所述采样子模块包括：

第一开关，其控制端连接到对应事件寄存器的输出端，且其第一端连接全局时间信号线，其第二端连接到第一电容的第一端；以及

第一电容，其第二端接地。

8、如权利要求 7 所述的像素采集电路，其中，

- 20 所述事件寄存器还适于通过其输出信号来指示对应事件的状态信息，其中在所述事件寄存器被复位时，其输出信号为低电平，以及在所述事件寄存器被置位时，其输出信号为高电平；

- 25 所述采样子模块还适于在所述事件寄存器被置位时，通过所述第一电容采样所述第一开关被断开时全局时间信号的瞬时幅值，作为对应事件的时间信息。

9、如权利要求 6 所述的像素采集电路，其中，所述采样子模块包括：

脉冲整形器；

第二开关，其控制端经所述脉冲整形器连接到对应事件寄存器的输出端，其第一端连接全局时间信号线，其第二端分别连接到第一晶体管的漏

极和第二电容的第一端；以及

并联的第一晶体管和第二电容，其中，所述第一晶体管的源极和所述第二电容的第二端接地，所述第一晶体管的栅极连接行事件复位信号线。

10、如权利要求 9 所述的像素采集电路，其中，

- 5 所述采样子模块还适于在生成事件时，通过所述脉冲整形器输出窄脉冲信号给第二开关，以关闭第二开关，由第二电容采样全局时间信号的瞬时幅值，作为所述事件的时间信息。

11、如权利要求 3 所述的像素采集电路，其中，所述读出模块包括：

- 10 多个由串联的一个第二晶体管和一个第三开关组成的缓冲子模块，且每个缓冲模块对应输出一个事件的状态信息或时间信息，其中，

所述第二晶体管的源极连接所述第三开关的一端，所述第二晶体管的栅极连接所述事件序列存储模块的输出端，所述第二晶体管的漏极连接电源，以及，所述第三开关的控制端连接到行选择线，所述第三开关的另一端连接列标志位信号线或列时间信息信号线。

- 15 12、如权利要求 4 所述的像素采集电路，其中，所述读出模块包括：

- 多个由串联的一个第三晶体管和一个第四开关组成的缓冲子模块，所述第三晶体管的源极连接所述第四开关的一端，所述第三晶体管的栅极连接所述事件序列存储模块的输出端，所述第三晶体管的漏极连接电源，以及，所述第四开关的控制端连接到读出选通信号线，所述第四开关的另一端连接第五开关或第六开关的一端；
- 20

第五开关，其一端连接部分所述第四开关的另一端，其另一端连接列标志位信号线；

第六开关，其一端连接另外部分所述第四开关的另一端，其另一端连接列时间信息信号线。

- 25 13、如权利要求 1-12 中任一项所述的像素采集电路，其中，所述事件生成模块包括：

光电探测子模块，适于实时监测照射在其上的光信号，并输出相应的电信号；

触发生成子模块，耦接到所述光电探测模块，适于在所述电信号满足

阈值条件时，生成表征事件生成的触发信号。

14、一种图像传感器，包括：

像素采集电路阵列，包括多个如权利要求 1-13 中任一项所述的像素采集电路；

5 全局控制单元，经全局复位信号线与所述像素采集电路阵列耦接，适于在所述图像传感器上电时，复位所述像素采集电路阵列；

全局时间信号生成单元，经全局时间信号线与所述像素采集电路阵列耦接，适于生成表征时间信息的全局时间信号；

10 读出单元，经行选择线、行事件复位信号线、列标志位信号线和列时间信号线与所述像素采集电路阵列耦接，适于读出所述像素采集电路阵列所生成的事件序列的事件信息。

15、如权利要求 14 所述的图像传感器，其中，所述读出单元包括：

行选择子单元，经行选择线和行事件复位信号线与所述像素采集电路阵列耦接；

15 列选择子单元，经列标志位信号线和列时间信号线与所述像素采集电路阵列耦接；

读出控制子单元，适于控制所述行选择单元和所述列选择单元。

16、如权利要求 15 所述的图像传感器，其中，所述事件信息包括事件的状态信息和时间信息，以及，所述列选择子单元包括：

20 列标志位读出子单元，适于通过所述列标志位信号线读出事件的状态信息；

列时间信息读出子单元，适于通过所述列时间信号线读出事件的时间信息。