FIG. 1

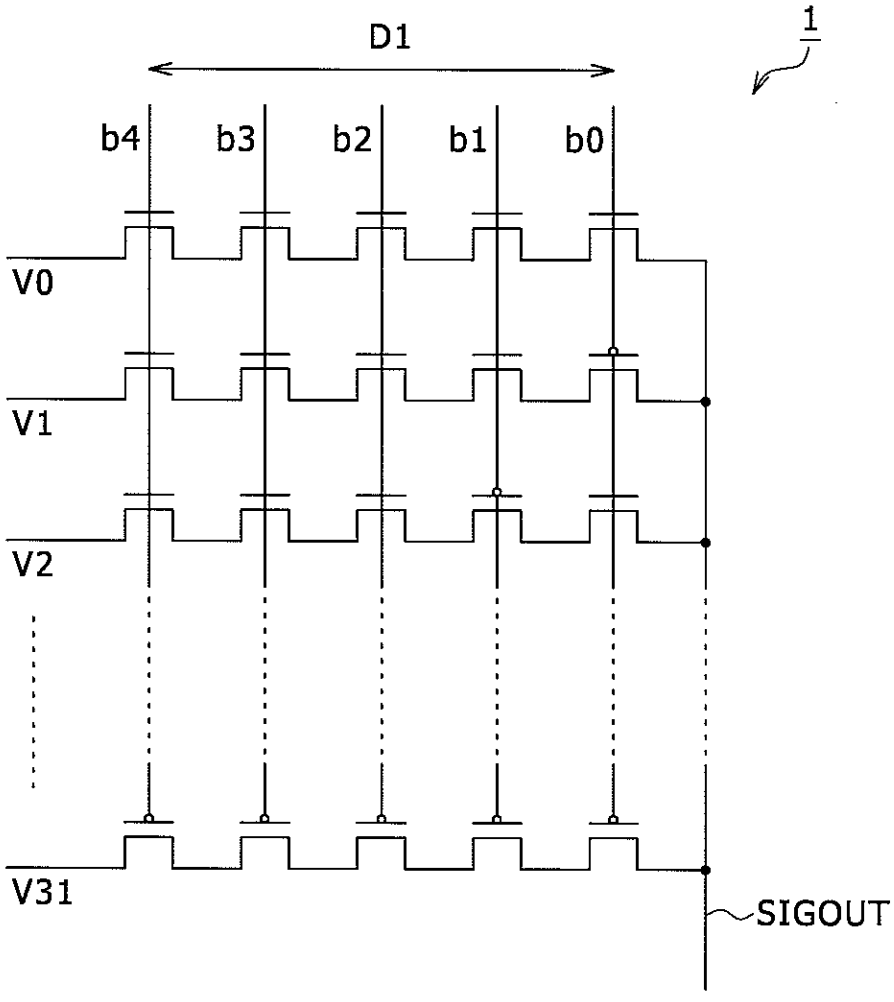


FIG. 2

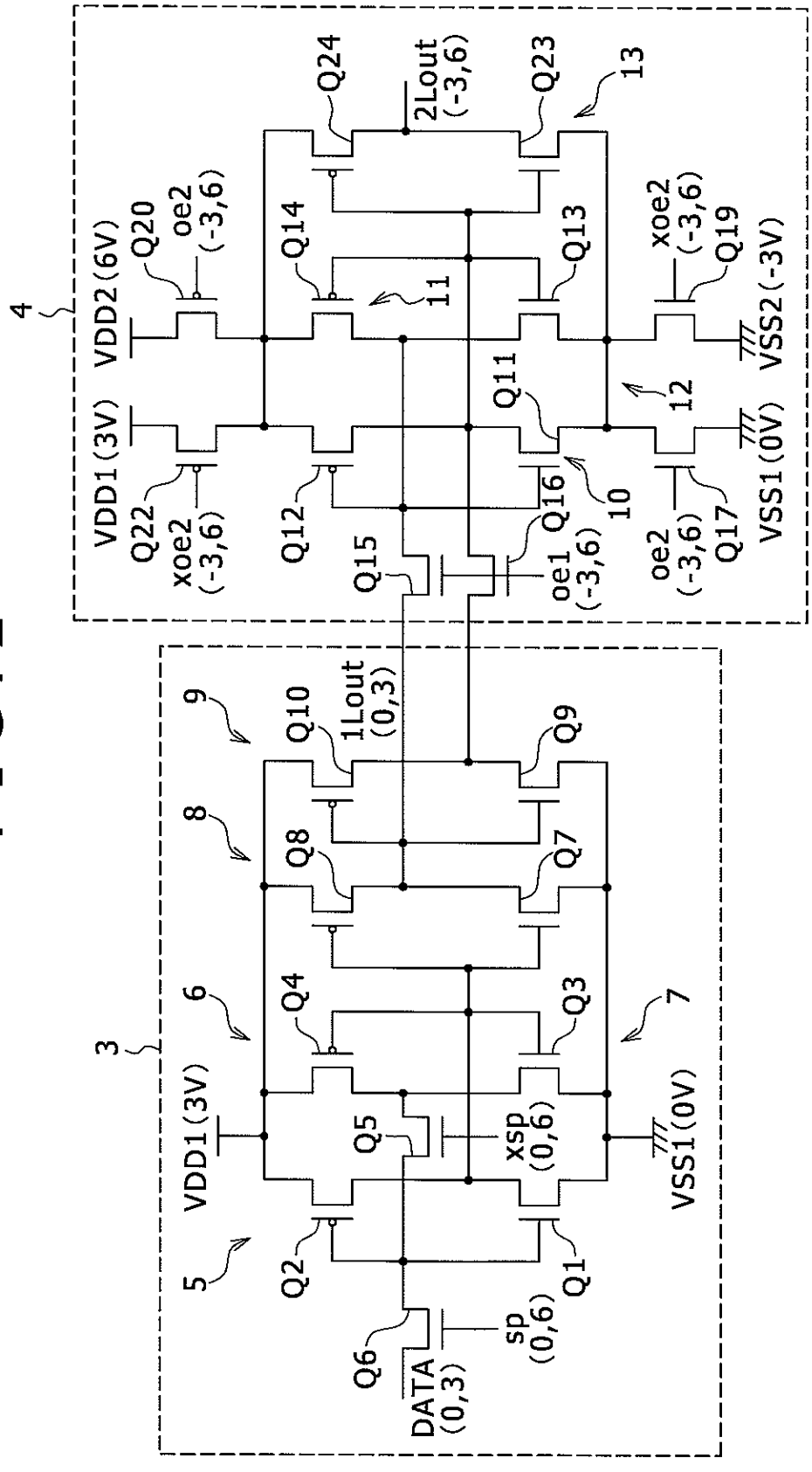

4
VDD2(6V)
Q20
oe2
(-3,6)
Q14
11
Q24
2Lout
(-3,6)
Q23
13
Q13
xoe2
(-3,6)
Q19
VSS2(-3V)
VDD1(3V)
Q22
xoe2
(-3,6)
Q12
Q15
Q11
12
Q16
10
oe1
(-3,6)
oe2
(-3,6)
Q17
VSS1(0V)
3
9
Q10
1Lout
(0,3)
Q9
8
Q8
Q7
6
Q4
Q3
7
VDD1(3V)
Q5
xsp
(0,6)
VSS1(0V)
5
Q2
Q1
Q6
DATA
(0,3)
sp
(0,6)

FIG.3A

FIG.3B

FIG.3C

FIG.3D

FIG.3E

FIG.3F

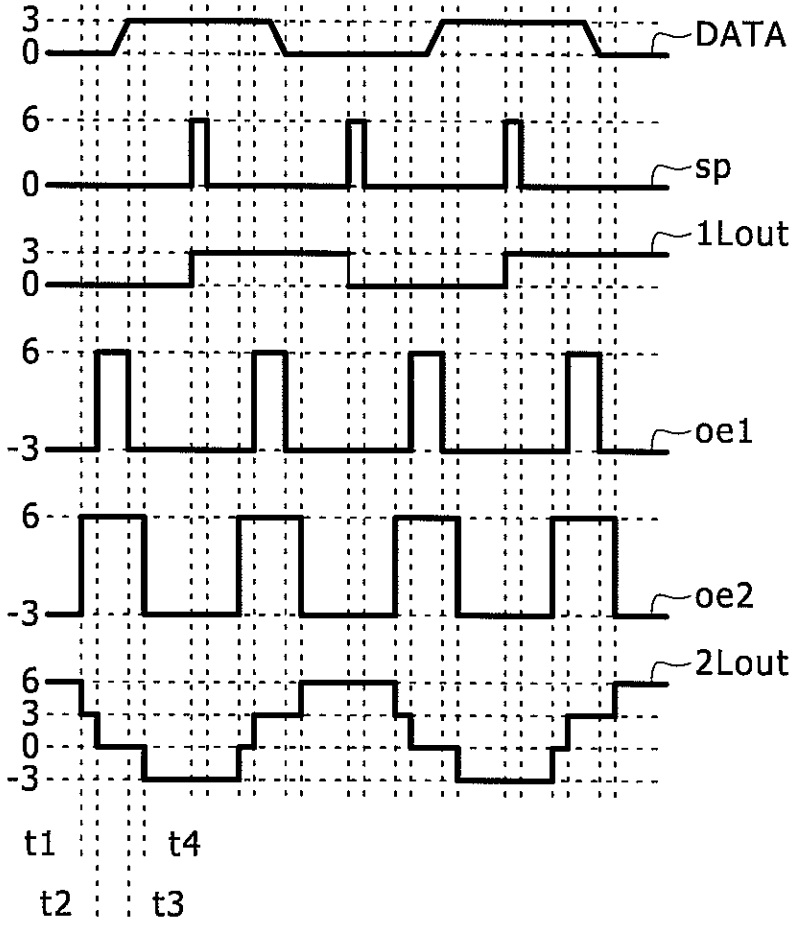


FIG. 4

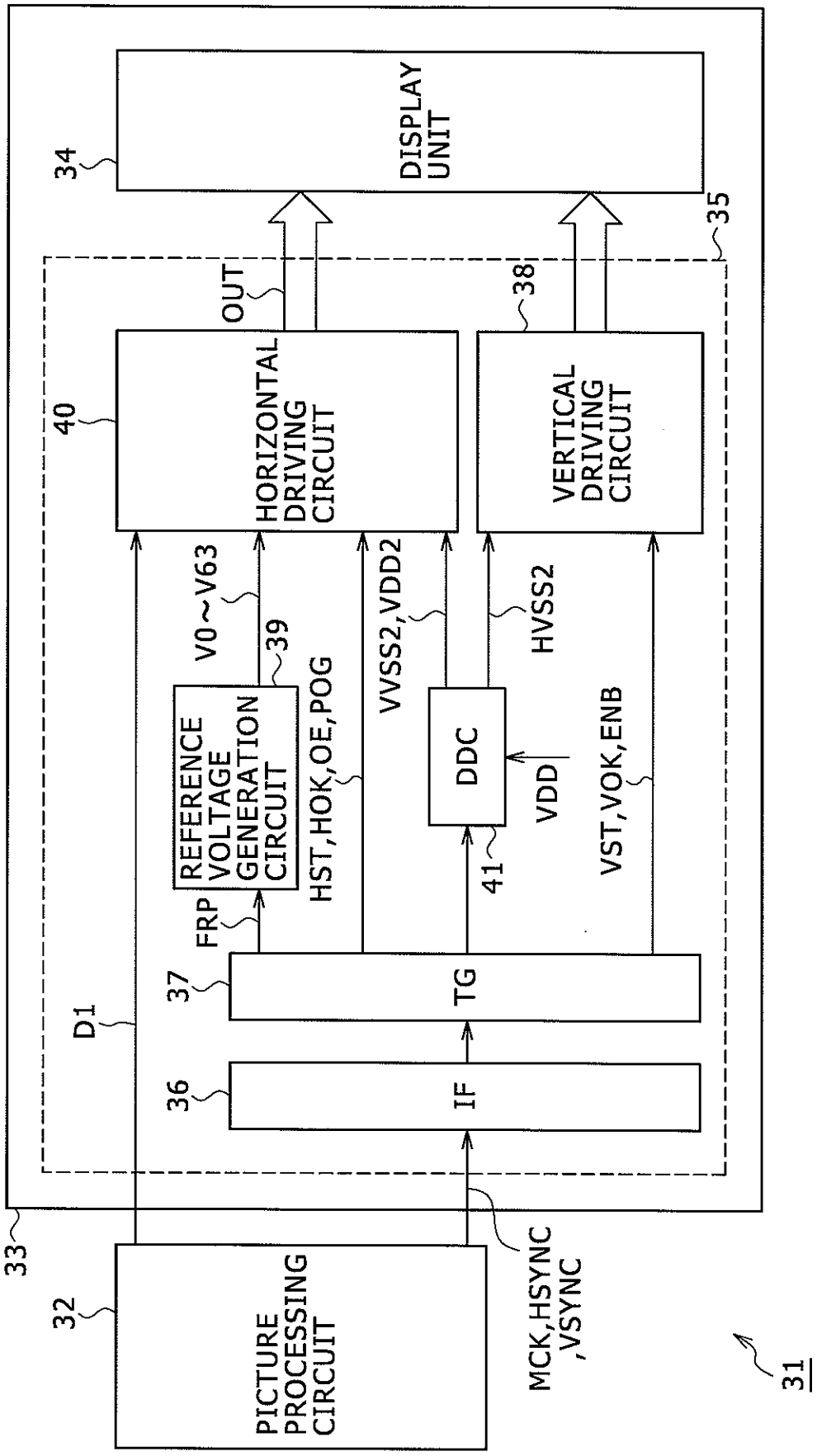

DISPLAY UNIT
34
35
OUT
38
40
HORIZONTAL DRIVING CIRCUIT
VERTICAL DRIVING CIRCUIT
V0～V63
39
VVSS2,VDD2
HVSS2
REFERENCE VOLTAGE GENERATION CIRCUIT
HST,HOK,OE,POG
DDC
VDD
41
VST,VOK,ENB
FRP
37
TG
D1
36
IF
33
32
PICTURE PROCESSING CIRCUIT
MCK,HSYNC ,VSYNC
31

FIG. 5

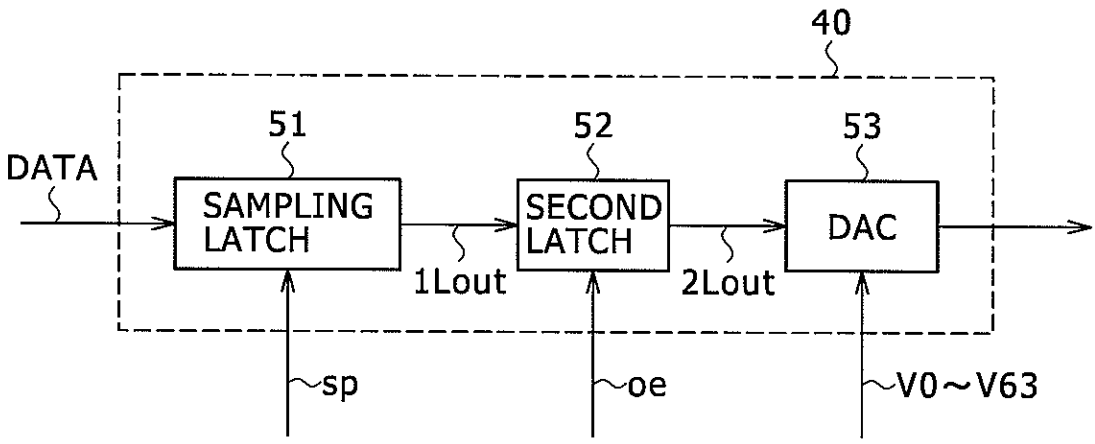

40
51
52
53
DATA
SAMPLING LATCH
SECOND LATCH
DAC
1Lout
2Lout
sp
oe
V0~V63

FIG. 6

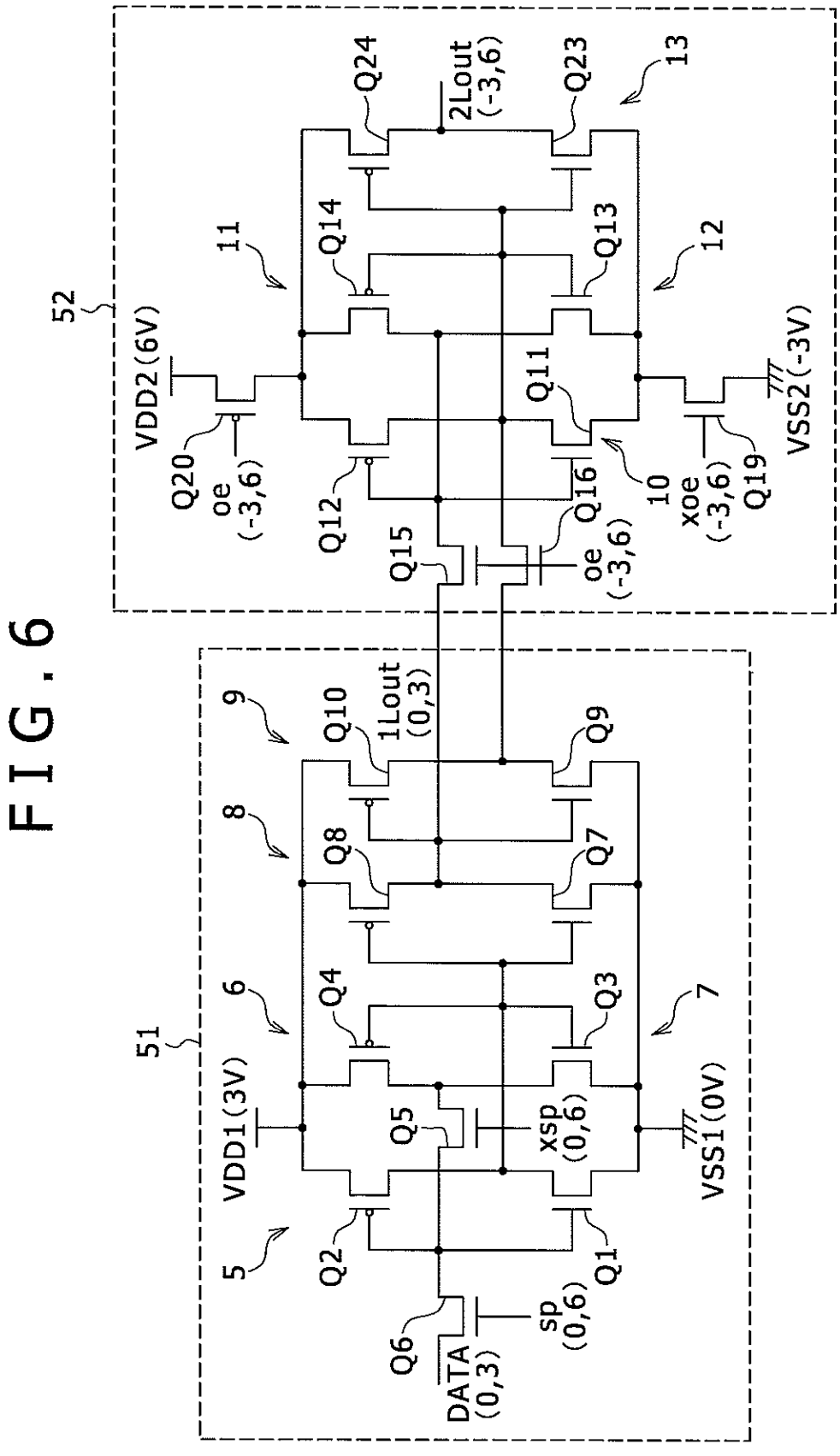

51
52
VDD1(3V)
VDD2(6V)
VSS1(0V)
VSS2(-3V)
DATA (0,3)
sp (0,6)
xsp (0,6)
oe (-3,6)
xoe (-3,6)
1Lout (0,3)
2Lout (-3,6)
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
Q16
Q19
Q20
Q23
Q24
5
6
7
8
9
10
11
12
13

FIG.7A

FIG.7B

FIG.7C

FIG.7D

FIG.7E

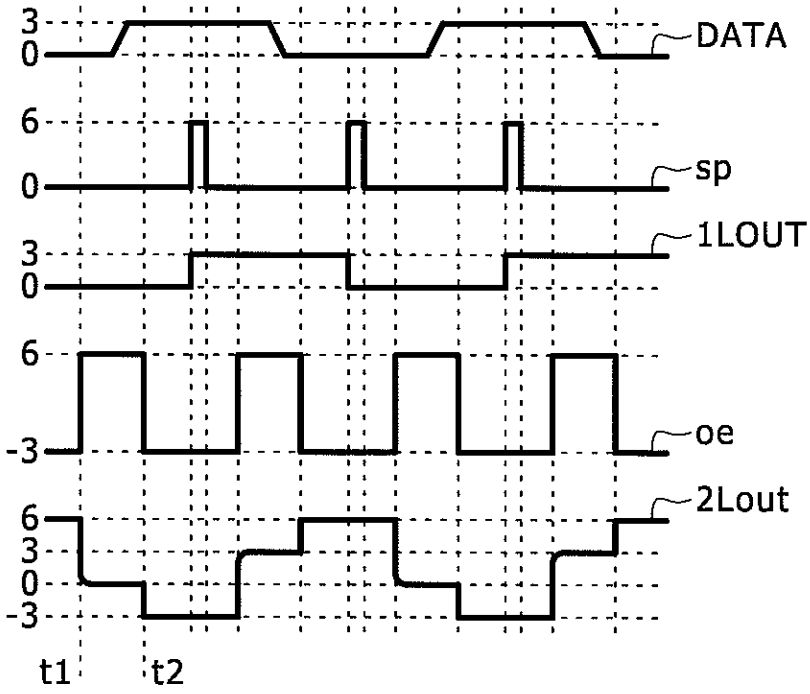


FIG. 8

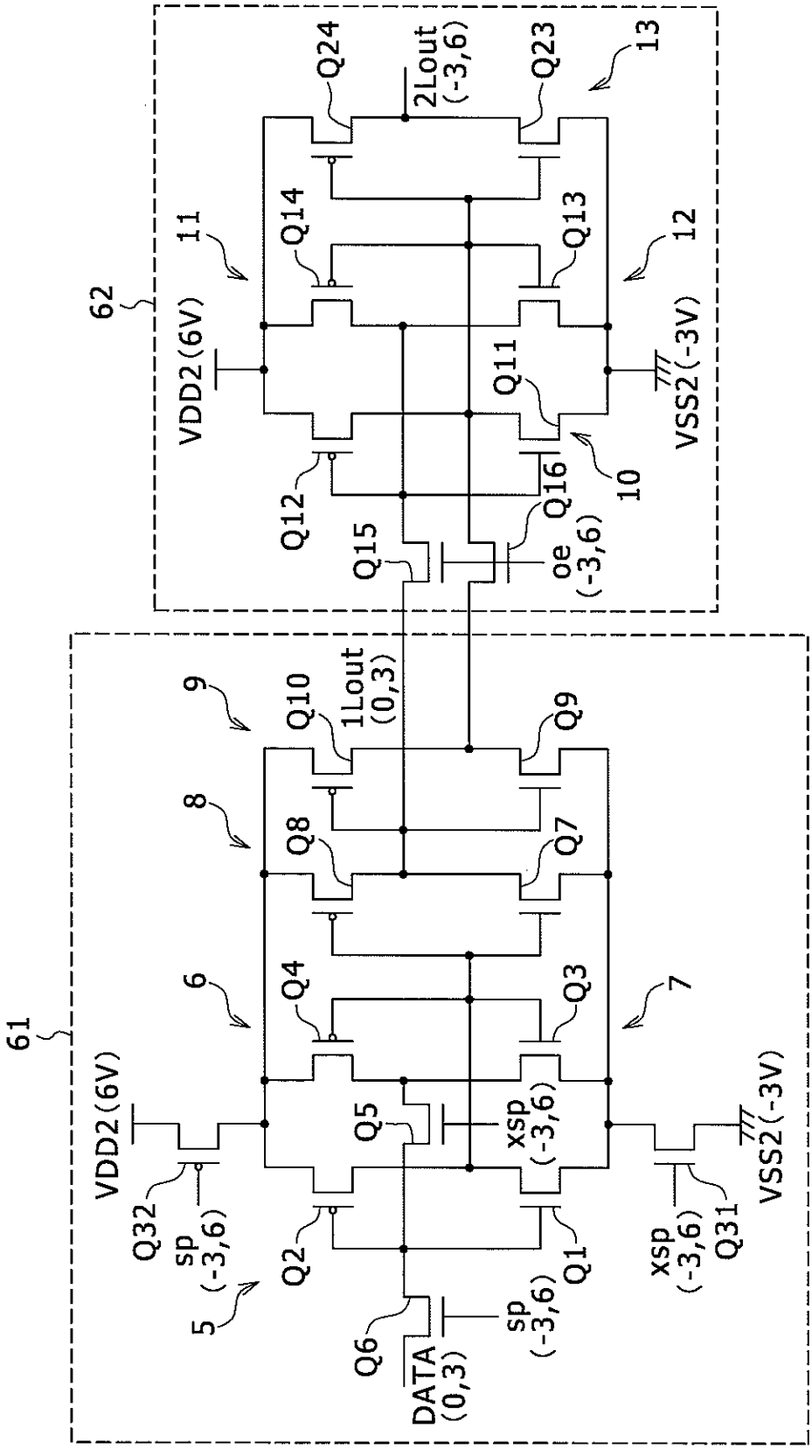

61
62
VDD2(6V)
VSS2(-3V)
Q32
sp (-3,6)
5
Q2
Q6
DATA (0,3)
sp (-3,6)
Q1
xsp (-3,6)
Q31
xsp (-3,6)
Q5
6
Q4
7
Q3
8
Q8
Q7
9
Q10
1Lout (0,3)
Q9
10
Q11
Q16
oe (-3,6)
Q15
Q12
11
Q14
12
Q13
13
Q24
2Lout (-3,6)
Q23

FIG.9A

FIG.9B

FIG.9C

FIG.9D

FIG.9E

