

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 1월 4일 (04.01.2024)



(10) 국제공개번호
WO 2024/005276 A1

(51) 국제특허분류:

H01L 21/02 (2006.01) C30B 29/68 (2006.01)
H01L 21/67 (2006.01) C30B 29/06 (2006.01)
C30B 25/22 (2006.01) C30B 29/52 (2006.01)
C30B 25/16 (2006.01) H01S 5/183 (2006.01)
C30B 25/10 (2006.01)

(21) 국제출원번호: PCT/KR2022/017216

(22) 국제출원일: 2022년 11월 4일 (04.11.2022)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2022-0081473 2022년 7월 1일 (01.07.2022) KR
10-2022-0094940 2022년 7월 29일 (29.07.2022) KR

(71) 출원인: 주식회사 비아트론 (VIATRON CO., LTD)
[KR/KR]; 16648 경기도 수원시 권선구 산업로 155번길
139, Gyeonggi-do (KR).

(72) 발명자: 김형준 (KIM, Hyoung June); 06000 서울특별시
강남구 압구정로11길 17, 1동1106호, Seoul (KR). 노재성
(ROH, Jae Sung); 13839 경기도 과천시 별양로11, 204동
1204호, Gyeonggi-do (KR). 박왕준 (PARK, Wang Jun);
16415 경기도 수원시 권선구 수성로 47, 10동 607호,
Gyeonggi-do (KR). 김종식 (KIM, Jong Sik); 04777

서울특별시 성동구 독성로 436 대명루첸아파트 101동
103호, Seoul (KR).

(74) 대리인: 김호중 (KIM, Ho jong); 06234 서울특별시
강남구 테헤란로 8길 11-4, 신도빌딩4층, Seoul (KR).

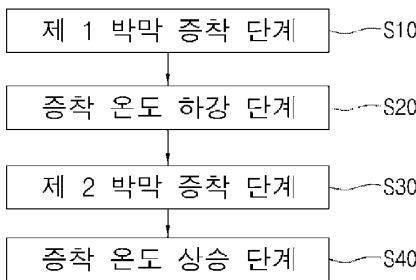
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,
AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,
KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,
SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE BY USING EPITAXY PROCESS, AND MANUFACTURING APPARATUS THEREFOR

(54) 발명의 명칭: 에피택시 공정을 이용한 반도체 소자 제조 방법 및 이를 위한 제조 장치

[도1]



S10 ... First thin film deposition step
S20 ... Deposition temperature lowering step
S30 ... Second thin film deposition step
S40 ... Deposition temperature raising step

(57) Abstract: The present invention relates to a method for forming a multi-layered thin film in which a first thin film and a second thin film are alternately deposited on top of a flat substrate through an epitaxy process while the flat substrate is heated by means of a VCSEL element. Disclosed are a method for manufacturing a semiconductor device and a manufacturing device therefor, wherein the method comprises: a first thin film deposition step of depositing a first thin film on a flat substrate by supplying a first source gas at a first deposition temperature; a deposition temperature lowering step of lowering the temperature of the flat substrate from the first deposition temperature to a second deposition temperature; a second thin film deposition step of depositing a second thin film on top of the first thin film by supplying a second source gas at a second deposition temperature; and a deposition temperature raising step of raising the temperature of the flat substrate from the second deposition temperature to the first deposition temperature.

(57) 요약서: 본 발명은 VCSEL 소자로 평판 기판을 가열하며 평판 기판의 상부에 제 1 박막과 제 2 박막이 교대로 증착되는 다층 박막을 에피택시 공정으로 형성하는 방법으로서, 평판 기판의 상부에 제 1 증착 온도에서 제 1 소스 가스를 공급하여 제 1 박막을 증착하는 제 1 박막 증착 단계와, 평판 기판의 온도를 제 1 증착 온도에서 제 2 증착 온도로 하강시키는 증착 온도 하강 단계와, 제 2 증착 온도에서 제 2 소스 가스를 공급하여 제 1 박막의 상부에 제 2 박막을 증착하는 제 2 박막 증착 단계 및 평판 기판의 온도를 제 2 증착 온도에서 제 1 증착 온도로 상승시키는 증착 온도 상승 단계를 포함하는 반도체 소자 제조 방법 및 이를 위한 제조 장치를 개시한다.

[다음 쪽 계속]



공개:

— 국제조사보고서와 함께 (조약 제21조(3))