

DESCRIPTION

TITRE : PROCÉDÉ DE FABRICATION D'UN EMPILEMENT SEMICONDUCTEUR HAUTEMENT RÉSISTIF ET EMPILEMENT ASSOCIÉ

5 **DOMAINE TECHNIQUE DE L'INVENTION**

[0001] Le domaine technique de l'invention est celui des empilements semiconducteurs destinés à former des substrats de silicium sur isolant, aussi appelé substrats « SOI » pour « Silicon On Insulator » en anglais, et plus particulièrement des substrats SOI mis en œuvre dans le domaine des radiofréquences.

10 **ARRIÈRE-PLAN TECHNOLOGIQUE DE L'INVENTION**

[0002] Les empilements semiconducteurs hautement résistifs, tels que des substrats de silicium sur isolant, ou SOI, sont très utilisés pour des applications radiofréquences car ils favorisent l'intégrité des signaux circulant dans des dispositifs réalisés à leur surface.

15 [0003] Un substrat SOI comporte une première couche semiconductrice, en silicium, appelée « couche support » ou « socle », une deuxième couche semiconductrice, en silicium, appelée « couche active ». La couche active est destinée à accueillir des composants microélectroniques, fabriqués dans ou sur la couche active. On parle d'ailleurs dans ce cas de composants « initiaux » ou « front end »
20 encore « FEOL » pour « Front End Of Line » en anglais. La couche active est séparée de la couche support par une couche isolante, par exemple en oxyde de silicium, disposée entre la couche support et la couche active, et plus particulièrement sous la couche active. La couche isolante est alors dite « enterrée » ou « BOX » pour « Burried OXide ». La couche isolante permet de confiner les porteurs de charge
25 majoritaires dans la couche active ce qui permet d'envisager une fréquence de fonctionnement des composants front end qui soit élevée, par exemple jusqu'à plusieurs dizaines de gigahertz.

[0004] Toutefois, des porteurs de charges peuvent s'accumuler dans la couche support, au voisinage de la couche isolante, créant une sous-couche conductrice qui
30 pénalise fortement la conduction dans la couche active. Il existe donc un besoin de réduire la circulation de porteurs de charges dans la couche support, au voisinage de la couche isolante.

[0005] L'article [« RF Performance of a Commercial SOI Technology Transferred Onto a Passivated HR Silicon Substrate », Dimitri Lederer and Jean-Pierre Raskin, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 55, NO. 7, JULY 2008] apporte une solution à ce problème en formant une couche de piégeage, disposée
5 entre la couche support et la couche isolante, dont le rôle est de piéger les porteurs de charges. La couche de piégeage comprend du silicium polycristallin. Le piégeage des porteurs de charges s'effectue alors au niveau des joints de grains, où sont localisées les liaisons pendantes du silicium. La couche de piégeage est déposée en phase vapeur basse pression (aussi appelée « LPCVD » pour « Low Pressure
10 Chemical Vapor Deposition » en anglais), suivi d'un recuit rapide à une température de 1000 °C, de manière à former les grains de silicium.

[0006] L'efficacité de la couche de piégeage repose sur la densité de liaisons pendantes du silicium et donc sur la densité de joints de grains. Or les traitements thermiques mis en œuvre pendant la fabrication des composants microélectroniques
15 au niveau de la couche active tendent à réduire le nombre de grains et donc réduire le nombre de joints de grains. La couche de piégeage en silicium polycristallin impose donc un budget thermique restreint.

[0007] Une autre approche du piégeage des porteurs de charges consiste à former des bulles dans la couche support, au voisinage de l'interface entre la couche support
20 et la couche isolante. Les liaisons pendantes au niveau de la surface libre de chaque bulle permettent alors le piégeage des porteurs de charges. L'article [« Chemical and electrical properties of cavities in silicon and germanium », S.M. Myers, D.M. Follstaedt, G.A. Petersen, C.H. Seager, H.J. Stein & W.R. Wampler, Nuclear instruments and Methods in Physics Research B 106 (1995) 379-385] décrit un
25 procédé de formation de bulles dans une couche de silicium par implantation d'ions d'hélium. Toutefois, les bulles formées sont éloignées d'environ 200 nm de l'interface entre la couche support et la couche isolante. De plus, la densité maximale de bulles se trouve localisée à une distance de l'interface comprise entre 1000 nm et 1500 nm. La capacité de piégeage au niveau de l'interface est donc limitée. De plus, moduler
30 l'énergie d'implantation pour rapprocher les bulles de l'interface pourrait provoquer une exfoliation de la couche isolante. En outre, le temps d'implantation peut être long (de l'ordre de 20 min pour implanter des ions dans un substrat de 300 mm de diamètre, sous un courant d'implantation de 10 mA et une dose de 10^{17} cm⁻²).

[0008] Une autre solution connue est décrite dans le document FR3091011 A1 qui divulgue un substrat SOI comprenant une couche de carbure de silicium polycristallin s'étendant à la surface de la couche support. La couche de carbure est préférentiellement polycristalline et permet ainsi de piéger les porteurs de charges, de la même façon qu'une couche de piégeage en silicium polycristallin. La croissance de la couche de carbure est réalisée par croissance à partir de la couche support au moyen d'un précurseur carboné ou par CVD. Toutefois, l'épaisseur de la couche de carbure divulguée est limitée à 5 nm. Or à faible épaisseur, la couche de carbure est fragile chimiquement et peut être contaminée par des espèces apportées lors des étapes de fabrication complémentaires (telles que la fabrication de la couche isolante et/ou de la couche active) et ayant migrées jusqu'à la couche de carbure.

[0009] Il existe donc un besoin de fournir un empilement semiconducteur permettant de piéger efficacement les porteurs de charges dans la couche support qui soit également robuste vis-à-vis des étapes complémentaires de fabrication (telles que la fabrication de la couche isolante, de la couche active ou encore des composants « front end »).

RÉSUMÉ DE L'INVENTION

[0010] L'invention concerne un procédé de fabrication d'un empilement semiconducteur, comprenant, à partir d'une première couche de silicium, dite couche support :

- la formation d'une couche en carbure de silicium, s'étendant sur la couche support, présentant une épaisseur, mesurée depuis la couche support, supérieure à 5 nm, une fraction d'atomes de carbone de la couche de carbure de silicium, à moins de 20 nm de la couche support, étant strictement supérieure à 50 % ; et
- le recuit de la couche support et de la couche en carbure de silicium jusqu'à former des cavités, chaque cavité s'étendant dans la couche support, depuis la couche en carbure de silicium, une concentration en oxygène au contact de la couche de carbure de silicium, lors de l'étape de recuit, étant inférieure à 10 ppm et de préférence inférieure à 5 ppm, voire nulle.

[0011] Lors du recuit, les atomes de silicium de la couche support migrent vers la couche de carbure formant ainsi, depuis la couche de carbure, des cavités, c'est-à-dire des zones creuses localisées dans la couche support.

5 [0012] Les cavités formées dans la couche support apportent des liaisons pendantes de silicium et permettent ainsi de piéger les porteurs de charges dans la couche support. L'agencement des cavités permet de piéger efficacement les porteurs de charge au plus près de l'interface entre la couche support et la couche de carbure.

10 [0013] De plus, le carbure de silicium présente est un semiconducteur présentant une bande interdite indirecte dont l'écart est supérieur à 2 eV, voire 3 eV. La couche de carbure empêche ainsi la circulation de porteurs de charges au voisinage de la couche isolante.

[0014] Puisque le piégeage, ne repose pas sur la présence de joints de grains, qui sont sensibles à la température, l'empilement présente alors une stabilité morphologique améliorée. De plus, lors d'un traitement thermique, la température impliquant la coalescence des cavités est nettement supérieure à la température impliquant la coalescence des grains dans une structure polycristalline. La température impliquant la coalescence des cavités est d'ailleurs supérieure aux températures mises en œuvre lors d'étapes de fabrication complémentaires. De plus, alors, que la coalescence des grains s'accompagne d'une disparition de pièges, la coalescence éventuelle des cavités se fait à surface constante.

[0015] La couche en carbure de silicium étant plus riche en carbone, elle permet d'activer la migration des atomes de silicium de la couche support lors du recuit et former efficacement les cavités.

25 [0016] L'épaisseur de la couche de carbure de silicium supérieure à 5 nm améliore sa robustesse, notamment chimique, vis-à-vis des étapes complémentaires de fabrication (telles que la fabrication des composants « front end »). En effet, elle est moins affectée par les contaminants pouvant migrer.

[0017] La couche de carbure de silicium peut subir une oxydation par piqûres (dit également par piqûration ou « pitting » en anglais) lorsqu'elle est recuite dans un environnement comprenant de l'oxygène. Le pitting endommage la couche de carbure de silicium et peut freiner la migration des atomes de silicium et donc la formation des

30

cavités. Le recuit réalisé dans une atmosphère pauvre en oxygène permet de limiter l'apparition de pitting et permet donc d'améliorer la reproductibilité du procédé.

[0018] Enfin, le procédé ne s'appuie pas sur l'implantation d'ions pour former les cavités, simplifiant sa mise en œuvre.

- 5 [0019] Le recuit peut être réalisé pendant une durée comprise entre 15 min et 2 h à une température comprise entre 900 °C et 1100 °C.

[0020] La couche de carbure de silicium issue de l'étape de formation est avantageusement amorphe et le recuit des couches est avantageusement réalisé de manière à cristalliser la couche de carbure de silicium selon un arrangement polycristallin.

10

[0021] La couche support est avantageusement orientée dans un plan.

[0022] Une fraction d'atomes de carbone de la couche de carbure de silicium, à moins de 20 nm de la couche support, mesuré perpendiculairement au plan, est avantageusement inférieure ou égale à 70 %.

- 15 [0023] L'épaisseur de la couche de carbure de silicium est préférentiellement inférieure à 500 nm.

[0024] Chaque cavité peut présenter des facettes, chaque facette étant préférentiellement orientée parallèlement à un plan cristallographique faisant, par exemple, partie de la famille de plans cristallographiques {111} ou partie de la famille de plans cristallographiques {113}.

20

[0025] Les cavités s'étendent sur une distance, mesurée perpendiculairement au plan et depuis la couche de carbure de silicium, comprise préférentiellement entre 5 nm et 100 nm.

[0026] Le procédé comprend préférentiellement la formation d'une couche isolante s'étendant sur la couche de carbure de silicium. La couche isolante est avantageusement destinée à former une couche « enterrée » dite « BOX » pour « Burried OXide » en anglais.

25

[0027] Selon un premier mode de mise en œuvre, la formation de la couche isolante est réalisée par dépôt, avant ledit recuit.

[0028] Le recuit de de la couche support, de la couche en carbure de silicium et de la couche isolante peut être réalisé sous une atmosphère comprenant une concentration en oxygène inférieure à 1 %.

5 [0029] Selon un deuxième mode de mise en œuvre, la formation de la couche isolante est réalisée par transfert à partir d'un substrat donneur, après le recuit des couches.

[0030] De manière commune aux deux modes de mise en œuvre précités, le procédé peut comprendre la formation d'une deuxième couche cristalline, s'étendant sur la couche isolante. La couche isolante forme alors une couche « BOX ».

10 [0031] Un autre aspect de l'invention concerne un empilement semiconducteur comprenant :

- une première couche en silicium, dite couche support ;
- une couche de carbure de silicium, s'étendant sur la couche support, présentant une épaisseur, mesurée depuis la couche support, supérieure à
15 5 nm ; et
- des cavités, chaque cavité s'étendant dans la couche support depuis la couche de carbure de silicium.

[0032] La couche de carbure de silicium est avantageusement polycristalline.

20 [0033] Avantageusement, la couche support est orientée dans un plan et les cavités s'étendent sur une distance, mesurée perpendiculairement au plan et depuis la couche de carbure de silicium, comprise entre 5 nm et 100 nm.

[0034] Avantageusement, lorsque les cavités s'étendent sur une distance, mesurée perpendiculairement au plan et depuis la couche de carbure de silicium, supérieure à 15 nm, alors chaque cavité présente des facettes, chaque facette étant
25 orientée parallèlement à un plan cristallographique.

[0035] Avantageusement, chaque cavité présente une forme pyramidale et présente une base alignée avec l'interface entre la couche support et la couche de carbure de silicium.

30 [0036] Avantageusement, Le sommet de la pyramide s'étend dans la couche support.

[0037] Avantageusement, les cavités sont uniquement situées à l'interface entre la couche support et la couche de carbure de silicium. Autrement dit, chaque cavité s'étend uniquement dans la couche support depuis la couche de carbure de silicium.

[0038] Avantageusement, la couche de carbure de silicium est non-poreuse.

- 5 [0039] Avantageusement, chaque cavité présente une surface libre entourant un volume intérieur, au moins une portion de la surface libre séparant ledit volume intérieur de la couche support et au moins une autre portion de la surface libre séparant le volume intérieur de la couche de carbure de silicium.

- 10 [0040] Avantageusement, chaque portion de la surface libre séparant le volume intérieur de la cavité de la couche support comprend des atomes de silicium dont une partie au moins présente une liaison pendante.

[0041] L'invention et ses différentes applications seront mieux comprises à la lecture de la description qui suit et à l'examen des figures qui l'accompagnent.

BRÈVE DESCRIPTION DES FIGURES

- 15 [0042] Les figures sont présentées à titre indicatif et nullement limitatif de l'invention. Sauf précision contraire, un même élément apparaissant sur des figures différentes présente une référence unique.

[0043] [Fig. 1] représente schématiquement un premier mode de réalisation d'un empilement semiconducteur selon l'invention.

- 20 [0044] [Fig. 2] représente schématiquement un premier mode de mise en œuvre d'un procédé de fabrication selon l'invention.

[0045] [Fig. 3a] représente schématiquement un premier exemple d'une première étape du procédé de fabrication selon l'invention.

- 25 [0046] [Fig. 3b] représente schématiquement un deuxième exemple de la première étape du procédé de fabrication selon l'invention.

[0047] [Fig. 4] représente schématiquement une deuxième étape du procédé de fabrication selon l'invention.

[0048] [Fig. 5] représente schématiquement une troisième étape du procédé de fabrication selon l'invention.

[0049] [Fig. 6] représente schématiquement une quatrième étape du procédé de fabrication selon l'invention.

[0050] [Fig. 7] représente schématiquement un deuxième mode de mise en œuvre d'un procédé de fabrication selon l'invention.

5 [0051] [Fig. 8] représente schématiquement une cinquième étape du procédé de fabrication selon l'invention.

[0052] [Fig. 9] représente une image obtenue par microscopie en transmission d'un empilement semiconducteur fabriqué au moyen du procédé de fabrication selon l'invention.

10 DESCRIPTION DÉTAILLÉE

[0053] L'invention se propose d'améliorer les empilements semiconducteurs destinés à former un substrat SOI et notamment un substrat destiné aux applications radiofréquences.

15 [0054] La [Fig. 1] représente schématiquement un premier mode de réalisation d'un empilement semiconducteur 10 selon l'invention. L'empilement 10 comprend

- une première couche en silicium 11, dite couche support ;
- une couche de carbure de silicium 12 ; et
- des cavités 13.

20 [0055] La couche support 11 s'étend par exemple selon un plan P donné. Il s'agit par exemple du plan d'une tranche de silicium à partir de laquelle va être formée un substrat SOI. La couche support 11 est avantageusement un support résistif, c'est à dire présentant une résistivité supérieure à 1 k Ω ·cm.

25 [0056] La couche de carbure de silicium 12 (également appelée couche de SiC) s'étend sur la couche support 11 selon le plan P donné. La couche de SiC 12 est directement au contact de la couche support 11, formant ainsi une interface 112 entre les deux couches.

[0057] L'empilement 10 est remarquable en ce qu'il comprend une pluralité de cavité 13 s'étendant dans la couche support 11. Chaque cavité 13 est creuse, c'est à dire vide de tout matériau solide ou liquide. Elles peuvent comprendre une espèce
30 sous forme gazeuse présentant une pression partielle faible. Elles sont toutefois

préférentiellement complètement vides. Chaque cavité 13 s'étend dans la couche support 11, depuis la couche de SiC 12. C'est à dire que chaque cavité 13 s'étend dans la couche support 11 depuis l'interface 112. Chaque cavité 13 présente alors une surface libre 131, 132 entourant un volume intérieur 130 de la cavité 13. Au moins une
5 portion 131 de la surface libre sépare ledit volume intérieur 130 de la couche support 11 et au moins une autre portion 132 de la surface libre sépare le volume intérieur 130 de la cavité de la couche de SiC 12.

[0058] La ou les portions 131 de la surface libre séparant le volume intérieur 130 de la cavité de la couche support 11 sont formées d'atomes de silicium dont une partie
10 au moins présente une liaison pendante (« dangling bonds » en anglais). Par liaison pendante, on entend une orbitale atomique non impliquée dans une liaison chimique avec d'autres éléments. Les liaisons pendantes permettent de piéger les porteurs de charges circulant dans la couche support 11 et au voisinage de la couche de SiC 12.

[0059] Les liaisons pendantes et les cavités permettent également de piéger des impuretés, telles que des ions ou atomes d'hydrogène, des atomes d'hélium ou des métaux comme le lithium ou le cuivre, ayant migrées dans la couche support 11 lors, par exemple, d'étapes de fabrication additionnelles (telles que la fabrication de composants « front end »). La résistivité de la couche support 11 n'est donc pas dégradée par lors d'étapes de fabrication additionnelles.

[0060] La stabilité thermodynamique des cavités 13 et leur formation par diffusion tendent à favoriser un facettage des cavités. Des portions 131 de la surface libre 131, 132 de chaque cavité 13 s'alignent alors préférentiellement selon des plans cristallographiques de la couche support 11. Par exemple, lorsque la couche support 11 présente un plan (001), au niveau de l'interface 112 avec la couche de SiC 12 (c'est
25 à dire que le plan (001) et le plan P coïncident), les cavités 13 peuvent être facettées en présentant des portions parallèles à des plans cristallographiques de la famille de plans {111} (c'est à dire les plans (111), (-111), (1-11) et (-1-11)) ou de la famille de plans {113} (c'est à dire les plans (113), (-113), (1-13) et (-1-13)). Les cavités 13 peuvent alors présenter une forme de pyramide inversée, à base carrée ou à base
30 triangulaire, dont ladite base coïncide avec l'interface entre la couche support 11 et la couche de SiC 12. Toutefois, le facettage ne dépend pas nécessairement du plan au niveau de l'interface 112 de la couche support 11 avec la couche de SiC 12. D'autres familles de plans cristallographiques sont envisageables.

[0061] Afin de déterminer l'orientation des plans cristallographiques, il est avantageux de considérer les cavités 13 s'étendant sur une distance 133, mesurée perpendiculairement au plan P, supérieure à 15 nm. En effet, au-deçà, il peut être difficile de distinguer les familles de plans {113}.

5 [0062] La [Fig. 1] représente par des flèches les directions [111] et [001], normales aux plans cristallographiques (001) et (111).

[0063] Chaque cavité 13 s'étend préférentiellement depuis la couche de SiC 12 sur une distance 133 comprise entre 5 nm et 100 nm. Ladite distance 133 est mesurée perpendiculairement au plan P dans lequel s'étend la couche de SiC 12, c'est à dire
10 selon [001] dans l'exemple présent. Ladite distance 133 est mesurée depuis la couche de carbure 12, c'est à dire depuis l'interface 112 séparant la couche support 11 et la couche de carbure 12.

[0064] Dans l'exemple de la [Fig. 1], l'empilement 10 comprend également une couche isolante 14 et une couche active 15. De la sorte, l'empilement 10 forme un
15 substrat SOI. La couche isolante 14 s'étend sur la couche de SiC 12. Elle présente avantageusement une épaisseur comprise entre 100 nm et 1000 nm. Elle comprend par exemple un oxyde, tel que de l'oxyde de silicium SiO₂. La couche active 15 comprend un semiconducteur cristallin ou polycristallin et s'étend sur la couche isolante 14. La couche isolante 14 sépare ainsi la couche de SiC 12 et la couche active
20 15. Elle est dite « enterrée » sous la couche active 15. La couche active 15 présente avantageusement une épaisseur comprise entre 50 nm et 500 nm et comprend par exemple du silicium cristallin ou du silicium polycristallin ou un autre matériau semiconducteur cristallin utilisé dans le domaine des radiofréquences, tel que le phosphore d'indium ou le nitrure de gallium.

25 [0065] La couche de SiC 12 est avantageusement polycristalline. Ainsi, elle contribue ainsi au piégeage des porteurs de charges, de la même manière qu'une couche de piégeage en silicium polycristallin, tel que décrit dans l'art antérieur. Les porteurs de charges sont piégés par les liaisons pendantes localisées au niveau des joints de grains de l'arrangement polycristallin.

30 [0066] La [Fig. 2] représente schématiquement un procédé de fabrication selon l'invention, permettant de fabriquer l'empilement 10.

[0067] Le procédé 20 de fabrication comprend, à partir d'une couche support 11, une étape de formation 22 d'une couche en carbure de silicium 12 (dite couche de SiC), s'étendant sur la couche support 11. Deux exemples de couche de carbure de silicium 12 obtenue sont illustrés en [Fig. 3a] et [Fig. 3b].

5 [0068] La couche de SiC 12 est par exemple formée 22 par dépôt en phase vapeur, aussi appelée « CVD » pour « Chemical Vapor Deposition » en anglais, à partir de la couche support 11. Il s'agit par exemple d'un dépôt CVD assisté par plasma (ou « PECVD » pour « Plasma Enhanced CVD » en anglais). La couche de SiC 12 est par exemple obtenue par dépôt PECVD d'un précurseur carboné, tel que le
10 tétraméthylsilane $\text{Si}(\text{CH}_3)_4$, aussi appelé « TMS ». La couche de SiC 12 produite s'étend alors sur la couche support 11.

[0069] La couche support 11 s'étend dans un plan P. Elle présente préférentiellement un plan cristallographique (001) dans le plan P. La couche de SiC 12 présente une épaisseur 121, mesurée depuis la couche support 11 et
15 perpendiculairement au plan P, supérieure à 5 nm et avantageusement inférieure à 500 nm.

[0070] Le procédé 20 comprend en outre une étape de recuit 23 de la couche support 11 et de la couche de SiC 12 jusqu'à former des cavités 13 s'étendant dans la couche support 11, telles qu'illustrées en [Fig. 4]. Chaque cavité 13 s'étend alors dans
20 la couche support 11, depuis la couche en SiC 12. Lors du recuit 23, la température augmente la mobilité des atomes de silicium de la couche support 11 et une partie de ces atomes, notamment ceux proches de la couche de SiC 12. La différence de fractions d'atomes de silicium entre la couche support 11 et la couche de SiC 12 tend à orienter la migration des atomes de silicium de la couche support 11 vers la couche
25 de SiC 12, creusant ainsi plusieurs cavités 13 dans la couche support 11. La formation de chaque cavité 13 trouve alors son point de départ au niveau de l'interface entre la couche support 11 et la couche de SiC 12. Chaque cavité 13 s'étend ensuite dans la couche support 11 selon une direction sensiblement perpendiculaire au plan P. Par sensiblement perpendiculaire, on entend perpendiculaire à 20° près. Le recuit 23 de
30 la couche support 11 et de la couche de SiC 12 est préférentiellement simultané.

[0071] Puisque la formation de chaque cavité 13 trouve son point de départ au niveau de l'interface entre la couche support 11 et la couche de SiC 12, le procédé

forme uniquement des cavités s'étendant depuis l'interface entre la couche support 11 et la couche de SiC 12. Autrement dit, le procédé ne permet pas de former des cavités distantes de ladite interface entre la couche support 11 et la couche de SiC 12 (ces cavités distantes de l'interface pouvant être appelées pores ou bulles).

5 [0072] Lorsque la couche support 11 comprend des défauts tels que des zones amorphes ou des joints de grains, ces défauts peuvent assister ou faciliter la migration des atomes de silicium vers la couche de SiC 12.

[0073] La température de recuit 23 permettant de former des cavités 13 est avantageusement comprise 900 °C et 1100 °C. En deçà de 900 °C, la mobilité des atomes de silicium n'est pas suffisante pour former des cavités 13 dans une durée qui
10 puisse être compatible avec une cadence industrielle. Au-delà de 1100 °C, la mobilité des atomes de silicium est telle qu'elle permet la migration d'atomes entre cavités 13, tendant à former des cavités peu nombreuses mais de très grandes tailles (c'est à dire s'étendant au-delà de 100 nm de la couche de SiC 12). Le piégeage des porteurs de charge est amélioré lorsque la densité de cavités 13 (c'est à dire le nombre de cavités
15 13 par unité de surface de l'interface 112) croît. Le piégeage est en revanche détérioré lorsque la densité de cavités 13 décroît.

[0074] La couche de SiC 12 est avantageusement formée à une température comprise entre 300 °C et 500 °C. De la sorte, elle présente, avant recuit 23, une phase
20 amorphe. Le recuit 23 des couches, et notamment de la couche de SiC 12, entre 900 °C et 1100 °C a pour effet de cristalliser la couche de SiC 12 selon un arrangement polycristallin. Cette cristallisation présente deux effets bénéfiques. Dans un premier temps, les joints de grains de l'arrangement polycristallin apportent une contribution au piégeage des porteurs de charges, renforçant le piégeage réalisé par les cavités
25 13. Dans un second temps, la cristallisation accélère également la migration des atomes de silicium de la couche support 11 vers la couche de SiC 12, de manière similaire à un pompage d'atomes de silicium, ayant pour effet d'accélérer la cinétique de formation des cavités 13.

[0075] La couche de SiC 12 est, avant comme après recuit, non-poreuse. Par
30 exemple, lorsque la couche de SiC 12 est polycristalline (par exemple après recuit), la non-porosité est apportée par les joints de grains de la couche de SiC 12.

[0076] Le recuit 23 est avantageusement réalisé pendant une durée comprise entre 15 min et 2 h, de sorte que la migration des atomes de silicium de la couche support 11 permet d'obtenir des cavités 13 s'étendant à au moins 5 nm de la couche de SiC 12 et à au plus 100 nm de cette couche. La dimension des cavités 13 (mesurée
5 perpendiculairement au plan P et depuis la couche de SiC 12) est proportionnelle à la durée du recuit 23. Une durée de recuit de l'ordre de 15 min est compatible avec une cadence industrielle. Une durée de recuit de l'ordre de 2 h permet de former des cavités 13 de grandes tailles, proches de 100 nm, étendant la couverture du piégeage des porteurs de charges dans la couche support 11. La durée de recuit de l'ordre de 2
10 h est également compatible avec une cadence industrielle. En effet, le recuit est réalisable en four, permettant de traiter de manière simultanée plusieurs plaques, par exemple plusieurs dizaines. Par contraste, l'implantation ionique pouvant être mise en œuvre dans l'art antérieur réalise un traitement plaque par plaque.

[0077] La migration des atomes de silicium, et donc la cinétique de formation des
15 cavités 13, est accélérée lorsque la couche de SiC 12 présente une fraction d'atomes de carbone (aussi appelée fraction de carbone) qui soit, avant recuit 23, au moins égale à la fraction d'atomes de silicium. La couche de SiC 12 présente ainsi, avant recuit 23, une fraction de carbone supérieure à 50 % et avantageusement inférieure à 70 %. La fraction de silicium dans la couche de SiC 12 est ainsi, avant recuit 23,
20 inférieure à 50.

[0078] La cinétique de formation des cavités 13 est surtout accélérée lorsque la différence de fractions entre les atomes de carbone et de silicium est importante au voisinage de l'interface 112 entre ladite couche de SiC 12 et la couche support 11. La fraction de carbone de la couche de SiC 12 au-delà de 20 nm de la couche support 11
25 ne montre en revanche pas d'impact significatif sur la cinétique de formation des cavités 13. Aussi, lorsque la couche de SiC 12 présente une épaisseur 121 supérieure à 20 nm (mesurée perpendiculairement au plan P et depuis l'interface 112 avec la couche support 11), telle qu'illustrée par la [Fig. 3a], elle présente alors une partie, s'étendant au moins sur 20 nm depuis la couche support 11 et dans laquelle la fraction
30 de carbone est supérieure à 50 % et avantageusement inférieure ou égale à 70 %. Lorsque la couche de SiC 12 présente une épaisseur 121 inférieure ou égale à 20 nm, telle qu'illustrée par la [Fig. 3b], elle présente alors, sur toute son épaisseur 121, une fraction de carbone supérieure à 50 % et avantageusement inférieure ou égale à 70

%. En d'autres termes, la fraction de carbone de la couche de SiC 12, à moins de 20 nm de la couche support 11 (mesurée perpendiculairement au plan P et depuis l'interface 112), est avantageusement comprise entre 50 % et 70 %.

[0079] La couche de SiC 12 réagit avec l'oxygène et peut s'oxyder, par exemple
5 par piqûres (« pitting » en anglais). Le recuit 23 est donc réalisé en minimisant le contact d'oxygène avec la couche de SiC 12. Le recuit 23 de l'empilement 10 est réalisé en maintenant une concentration d'oxygène en contact avec la couche de SiC 12 qui soit inférieure à 10 ppm, de préférence inférieure à 5 ppm, voire nulle.

[0080] Le recuit 23 est par exemple réalisé dans une atmosphère neutre,
10 comprenant par exemple au moins un gaz neutre tel que l'azote ou l'argon. L'atmosphère neutre est alors dimensionnée de sorte qu'elle présente alors une concentration d'oxygène inférieure à 10 ppm, voire moins, au moins pendant la durée du recuit 23.

[0081] Le procédé 20, selon le mode de mise en œuvre de la [Fig. 2], peut
15 également comprendre une étape de formation 25 d'une couche isolante 14 et une étape de formation 26 d'une couche active 15 semiconductrice de sorte que l'empilement 10 final forme un substrat SOI, tel qu'illustré par la [Fig. 1].

[0082] La formation 25 de la couche isolante 14, illustrée par la [Fig. 6], est
avantageusement réalisée par transfert à partir d'un substrat donneur 30. Le principe
20 du transfert depuis un substrat donneur 30 est connu sous le nom SmartCut(TM). Lorsque la formation 25 de la couche isolante 14 est réalisée par transfert, la formation 26 de la couche active 15 est avantageusement également réalisée par transfert à partir d'un substrat donneur et si possible à partir du même substrat donneur 30. De manière avantageuse, la formation 25, 26 des deux couches précitées est réalisée
25 simultanément.

[0083] Avant de réaliser la formation 25 de la couche isolante 14, il peut être
nécessaire de préparer une surface 122 de la couche de SiC 12, destinée à accueillir
la couche isolante 14. Dans ce cas, le procédé 20 comprend, avant la formation 25 de
la couche isolante 14, une étape de lissage 24 de ladite surface 122. Le lissage 24,
30 illustré par la [Fig. 5], peut être réalisé par planarisation mécano-chimique ou CMP pour « Chemical Mechanical Polishing » en anglais. Le lissage 24 est réalisé de sorte que la couche de SiC 12 présente une rugosité de surface inférieure ou égale à 5 Å.

La rugosité de surface est aussi appelée rugosité moyenne ou rugosité « RMS » pour « Root Mean Square » en anglais. La rugosité de la surface 122 de la couche de SiC pourra être évaluée au moyen d'une microscope à force atomique, ou « AFM » pour « Atomic Force Microscope » en anglais. La rugosité peut être évaluée sur une portion
5 de la surface 122 d'environ $1\ \mu\text{m}^2$.

[0084] Les formations 25, 26 simultanées des couches isolante et active 14, 15 par transfert peuvent être réalisées à partir d'un même substrat donneur 30, ce dernier comprenant alors une couche semiconductrice 35, par exemple en silicium cristallin ou polycristallin ou en phosphure d'indium cristallin ou en nitrure de gallium cristallin,
10 sur laquelle s'étend une couche isolante 34, par exemple en oxyde de silicium. La couche isolante 34 présente par exemple une épaisseur comprise entre 100 nm et 1000 nm. La couche semiconductrice 35 sous-jacente présente par exemple une épaisseur supérieure à 50 nm, voire supérieure à 500 nm.

[0085] Les formations 25, 26 simultanées peuvent alors comprendre une sous-
15 étape d'implantation d'ions légers (par exemple d'ions hydrogène ou hélium) dans la couche semiconductrice 35 du substrat donneur 30 jusqu'à une profondeur comprise entre 50 nm et 500 nm sous la couche isolante 34. L'implantation est par exemple réalisée à une dose de quelques $10^{16}/\text{cm}^2$ et à une énergie de quelques dizaines de keV.

[0086] Les formations 25, 26 simultanées comprennent ensuite une sous-étape de nettoyage de la surface libre 341 de la couche isolante 34 du substrat donneur 30, afin de permettre un collage direct entre ladite couche isolante 34 dudit substrat donneur 30 et la couche de SiC 12 de l'empilement 10. Le nettoyage de la surface libre 341 de la couche isolante 34 fait avantageusement intervenir des recettes connues des
25 technologies silicium telles que la recette dite « RCA » (pour « Radio Corporation of America » en anglais) ou encore une recette dite CARO, comprenant un mélange de peroxyde d'hydrogène et d'acide sulfurique.

[0087] Il est toutefois avantageux, pour permettre une bonne adhésion de la couche isolante 34 sur la couche de SiC 12, que le nettoyage soit également suivi
30 d'une activation de la surface libre 341 de la couche isolante 34 du substrat donneur 34. Ladite activation est par exemple réalisée au moyen d'un plasma, par exemple d'oxygène ou d'azote.

[0088] Les formations 25, 26 simultanées des couches isolante et active 14, 15 par transfert comprennent une sous-étape de collage du substrat donneur 30 sur l'empilement 10, tel qu'illustré par la [Fig. 6], la couche libre 341 de la couche isolante 34 du substrat donneur 34 étant pressée contre la couche de SiC 12 de l'empilement 10. Le collage est ensuite suivi d'un recuit dit « recuit de séparation », visant à séparer la couche semiconductrice 35 du substrat donneur 30 en deux parties, suivant un plan comprenant les ions légers précédemment implantés. L'empilement 10 comprend ainsi, après recuit de séparation, une couche isolante 14, telle qu'illustrée par la [Fig. 1], s'étend sur la couche de SiC 12 (car collée sur cette dernière). La couche semiconductrice 35 forme la couche active 15 de l'empilement 10.

[0089] Une planarisation de la couche active 15 et/ou un recuit complémentaire de l'empilement 10 peut être réalisé pour préparer la couche active 15 et/ou améliorer l'adhésion des couches de l'empilement 10.

[0090] La [Fig. 7] représente schématiquement un deuxième mode de mise en œuvre du procédé 20. Selon ce mode de mise en œuvre, l'étape de formation 25 de la couche isolante 14 intervient avant l'étape de recuit 23 de l'empilement 10. Cette inversion des étapes permet de simplifier l'étape de recuit 23 en ce que l'atmosphère neutre, précédemment décrite, n'a plus besoin d'avoir une concentration d'oxygène inférieure à 10 ppm. Elle peut être, inférieure à 1% seulement. Le procédé 20 de fabrication est ainsi plus simple à mettre en œuvre et notamment avec des équipements industriels.

[0091] Selon ce mode de mise en œuvre, la couche isolante 14 est formée sur la couche de SiC 12, telle qu'illustrée par la [Fig. 8]. Elle forme une barrière permettant de réduire, voire stopper la diffusion d'espèces provenant de l'atmosphère environnante vers la couche de SiC 12. L'empilement 10 peut alors simplement être recuit 23 dans une atmosphère neutre présentant une concentration d'oxygène inférieure à 1 %.

[0092] La formation 25 de la couche isolante 14 avant recuit est préférentiellement réalisée par dépôt CVD, par exemple d'un précurseur d'orthosilicate de tétraéthyle $\text{Si}(\text{OCH}_2\text{CH}_3)_4$ (aussi appelé « TEOS »). Le dépôt CVD est avantageusement assisté par plasma (dit PECVD) pour produire, à partir du précurseur, une couche de dioxyde de silicium SiO_2 . Ce dépôt peut être réalisé à une température comprise entre 300 °C

et 500 °C, afin de ne pas anticiper le recuit 23 de l'empilement 10. Le dépôt est réalisé de manière à former une couche isolante 14 présentant une épaisseur 121, mesurée perpendiculairement au plan P, comprise entre 100 nm et 1000 nm.

[0093] La formation 25 de la couche isolante 14 est avantageusement réalisée dans le même équipement que celui utilisé pour former la couche de SiC 12. Ceci permet d'éviter que de la vapeur d'eau, provenant de l'atmosphère extérieure (par exemple de la salle blanche), ne se dépose sur la couche de SiC 12 (au risque d'oxyder cette dernière).

[0094] Le procédé 20 peut également comprendre, pour fabriquer un empilement 10 de type substrat SOI, la formation 26 de la couche active 15. À la différence du mode de mise en œuvre de la [Fig. 2], le procédé 20 selon la [Fig. 7] ne forme que la couche active 15 après le recuit 23. La couche active 15 peut être formée par transfert à partir d'un substrat donneur 30 tel qu'illustré par la [Fig. 6]. Le substrat donneur 30 ne comporte toutefois ici que la couche semiconductrice 35 cristalline ou polycristalline. La formation 25 de la couche isolante 14 avant le recuit 23 permet ainsi de simplifier l'étape de formation 26 de la couche active 15 par transfert, en ce qu'il n'y a qu'une seule couche qui soit transférée.

[0095] La formation 26 de la couche active 15 par transfert comprend préférentiellement une implantation d'ions légers, telle que décrite précédemment. Toutefois, la profondeur d'implantation est ajustée afin de transférer, sur l'empilement 10, une couche active 15 présentant une épaisseur comprise entre 50 nm et 500 nm. Le collage du substrat donneur 30 est également préférentiellement préparé tel que décrit précédemment. La surface libre du substrat donneur 30 est notamment également activée au moyen d'un plasma d'oxygène ou d'azote afin d'améliorer le collage.

[0096] La couche isolante 14 de l'empilement 10 peut également comprendre, avant la formation 26 de la couche active 15, un lissage 24 d'une surface 141 de la couche isolante destinée à recevoir la couche active 15. Le lissage 24 est avantageusement similaire au lissage décrit en référence à la [Fig. 5].

[0097] Le procédé 20 peut également comprendre, de manière commune aux modes de réalisation des [Fig. 2] et [Fig. 7], une étape de fourniture 21 de la couche support 11, antérieure à l'étape de formation de la couche de SiC 12. Outre

l'approvisionnement de la couche support 11, l'étape de fourniture 21 peut comprendre la préparation de la couche support 11 de manière à permettre, voire favoriser, lors du recuit 23, la diffusion des atomes de silicium de la couche support 11 vers la couche de SiC 12. La préparation peut comprendre le retrait de contaminants organiques ou métalliques, des dopants ou des particules. Le retrait peut se faire en mettant en œuvre des recettes connues telles qu'une recette humide dite « CARO » (visant à retirer les contaminants organiques) ou des séquences de la recette « RCA », comprenant par exemple un nettoyage dit « HF » (visant à retirer les dopants), un nettoyage dit « SC1 » (visant à retirer les contaminants organiques et les particules) et/ou un nettoyage dit « SC2 » (visant à retirer les contaminants métalliques). Lorsque la couche support 11 comprend un oxyde natif, il est alors avantageux de procéder à son retrait par exemple au moyen d'un plasma, préférentiellement dans la chambre qui accueillera la formation 22 de la couche de SiC 12, voire le recuit 23 de l'empilement 10.

[0098] La [Fig. 9] présente une image obtenue par microscopie électronique en transmission (dite « TEM » pour « Transmission Electron Microscopy » en anglais) en champ clair, d'un empilement semiconducteur 10 selon l'invention. Cet empilement a été obtenu au moyen du procédé selon la présente invention. L'empilement 10 comprend une couche support 11 en silicium monocristallin, une couche de SiC 12 polycristalline et une pluralité de cavités 13 s'étendant dans la couche support 11, depuis l'interface 112 entre la couche support 11 et la couche de SiC 12. La couche support 11 présente un plan [001] à l'interface 112 avec la couche SiC 12 si bien que les cavités présentent des facettes s'étendant selon des plans cristallographiques {111} (représentée par une flèche orientée selon la direction [111], normale aux plans (111)).

[0099] Les différentes orientations des grains de SiC dans la couche de SiC 12 induisent une grande différence de contraste au sein de cette couche. Cette différence de contraste ne doit toutefois pas être interprétée comme la présence de pores, de bulles ou de lacunes. Dans le cas particulier de la [Fig. 9], la couche de SiC présente également différentes de structures cristallines, par exemple une majorité de grains cristallisés suivant le polytype 3C et une minorité de grains dans d'autres polytypes dont 4H et 6H. Cette différence de structure contribue également à l'aspect de la couche de SiC 12 observée en dans la [Fig. 9]. La couche de SiC 12 est non-poreuse. La couche support 11 est également non-poreuse.

[00100] Sur cette image, la hauteur des cavités 13 est comprise entre 10 nm et 40 nm. Cette hauteur est mesurée perpendiculairement au plan P et depuis la couche de SiC 12.

5 [00101] Chaque cavité 13 présente une forme pyramidale et présente une base alignée avec l'interface entre la couche support 11 et la couche de SiC 12. Autrement dit, la base de la pyramide est confondue avec cette interface. Le sommet de la pyramide est situé dans la couche support 11, à des profondeurs variables selon la taille des cavités 13.

10 [00102] Comme on peut le constater sur la [Fig. 9], les cavités 13 sont localisées uniquement à l'interface entre la couche support 11 et la couche de SiC 12.

REVENDICATIONS

[Revendication 1] Procédé (20) de fabrication d'un empilement semiconducteur (10), comprenant, à partir d'une première couche de silicium (11), dite couche support :

- 5 – la formation (22) d'une couche en carbure de silicium (12), s'étendant sur la couche support (11), présentant une épaisseur (121), mesurée depuis la couche support (11), supérieure à 5 nm, une fraction d'atomes de carbone de la couche de carbure de silicium (12), à moins de 20 nm de la couche support (11), étant strictement supérieure à 50 % ; et
- 10 – le recuit (23) de la couche support (11) et de la couche en carbure de silicium (12) jusqu'à former des cavités (13), chaque cavité (13) s'étendant dans la couche support (11) depuis la couche en carbure de silicium (12), une concentration en oxygène au contact de la couche de carbure de silicium (12), lors de l'étape de recuit (23), étant inférieure à 10 ppm.

- 15 [Revendication 2] Procédé (20) selon la revendication précédente, dans lequel le recuit (23) est réalisé pendant une durée comprise entre 15 min et 2 h à une température comprise entre 900 °C et 1100 °C.

- 20 [Revendication 3] Procédé (20) selon l'une des revendications précédentes, dans lequel la couche de carbure de silicium (12) issue de l'étape de formation (22) est amorphe, le recuit (23) des couches étant réalisé de manière à cristalliser la couche de carbure de silicium (12) selon un arrangement polycristallin.

- 25 [Revendication 4] Procédé (20) selon l'une des revendications précédentes, dans lequel la couche support (11) est orientée dans un plan (P) et dans lequel une fraction d'atomes de carbone de la couche de carbure de silicium (12), à moins de 20 nm de la couche support (11), est inférieure ou égale à 70 %.

[Revendication 5] Procédé (20) selon l'une des revendications précédentes, dans lequel l'épaisseur (121) de la couche de carbure de silicium (12) est inférieure à 500 nm.

- 30 [Revendication 6] Procédé (20) selon l'une des revendications précédentes, dans lequel la couche support (11) est orientée dans un plan (P) et dans lequel les cavités

(13) s'étendent sur une distance (133), mesurée perpendiculairement au plan (P) et depuis la couche de carbure de silicium (12), comprise entre 5 nm et 100 nm.

[Revendication 7] Procédé (20) selon l'une des revendications précédentes, comprenant la formation (25) d'une couche isolante (14) s'étendant sur la couche de carbure de silicium (12).

[Revendication 8] Procédé (20) selon la revendication précédente, dans lequel la formation (25) de la couche isolante (14) est réalisée par dépôt, avant ledit recuit (23).

[Revendication 9] Procédé (20) selon l'une des deux revendications précédentes, dans lequel le recuit (23) de la couche support (11), de la couche en carbure de silicium (12) et de la couche isolante (14) est réalisé sous une atmosphère comprenant une concentration en oxygène inférieure à 1 %.

[Revendication 10] Empilement semiconducteur (10) comprenant :

- une première couche en silicium (11), dite couche support ;
- une couche de carbure de silicium (12), s'étendant sur la couche support (11), présentant une épaisseur (121), mesurée depuis la couche support (11), supérieure à 5 nm ; et
- des cavités (13), chaque cavité (13) s'étendant dans la couche support (11) depuis la couche de carbure de silicium (12).

[Revendication 11] Empilement semiconducteur (10) selon la revendication précédente, dans lequel la couche support (11) est orientée dans un plan (P) et dans lequel les cavités (13) s'étendent sur une distance (133), mesurée perpendiculairement au plan (P) et depuis la couche de carbure de silicium (12), comprise entre 5 nm et 100 nm.

[Revendication 12] Empilement semiconducteur (10) selon la revendication précédente, dans lequel lorsque les cavités (13) s'étendent sur une distance (133), mesurée perpendiculairement au plan (P) et depuis la couche de carbure de silicium (12), supérieure à 15 nm, alors chaque cavité (13) présente des facettes, chaque facette étant orientée parallèlement à un plan cristallographique.

[Revendication 13] Empilement semiconducteur (10) selon l'une des revendications 10 à 12, dans lequel chaque cavité (13) présente une forme pyramidale et présente

une base alignée avec l'interface entre la couche support (11) et la couche de carbure de silicium (12).

[Revendication 14] Empilement semiconducteur (10) selon l'une des revendications 10 à 13, dans lequel les cavités (13) sont uniquement situées à l'interface entre la
5 couche support (11) et la couche de carbure de silicium (12).

[Revendication 15] Empilement semiconducteur (10) selon l'une des revendications 10 à 14, dans lequel la couche de carbure de silicium (12) est non-poreuse.