

半导体结构及其制造方法

相关申请的交叉引用

本申请基于申请号为 202111243328.2、申请日为 2021 年 10 月 25 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请实施例涉及半导体领域，特别涉及一种半导体结构及其制造方法。

背景技术

随着动态存储器的集成密度朝着更高的方向发展，在对动态存储器阵列结构中晶体管的排布方式以及如何缩小动态存储器阵列结构中单个功能器件的尺寸进行研究的同时，也需要提高小尺寸的功能器件的电学性能。

利用垂直的全环绕栅极（GAA，Gate-All-Around）晶体管结构作为动态存储器选择晶体管（access transistor）时，其占据的面积可以达到 $4F^2$ （F：在给
定工艺条件下可获得的最小图案尺寸），原则上可以实现更高的密度效率，但是
是由于相邻晶体管之间的间隔较小，在对半导体通道进行工艺处理时，容易对
相邻晶体管间的绝缘层造成影响，降低绝缘层的绝缘效果，从而影响半导体结
构的电学性能。

发明内容

本申请实施例提供一种半导体结构及其制造方法，至少有利于提高半导体结构的电学性能问题。

本申请实施例一方面提供一种半导体结构，包括：基底，所述基底包括间隔排布的位线和半导体通道，所述位线沿第一方向延伸，所述半导体通道位于所述位线的部分顶面，且在垂直于所述位线顶面的方向上，所述半导体通道包括依次排列的第一区、第二区以及第三区；介质层，位于相邻所述位线之间且位于所述半导体通道侧壁；栅极，环绕所述第二区的所述介质层且沿第二方向延伸，所述第一方向与所述第二方向不同；金属半导体化合物层，位于所述半导体通道顶面；扩散阻挡层，至少环绕所述金属半导体化合物层侧壁；绝缘层，位于同一所述位线上的相邻所述半导体通道之间且隔离位于相邻所述介质层上的所述栅极和所述扩散阻挡层。

在一些实施例中，所述金属半导体化合物层中具有掺杂元素，所述掺杂元素为 P 型掺杂元素或者 N 型掺杂元素。

在一些实施例中，所述半导体通道具有所述掺杂元素，且所述掺杂元素在所述金属半导体化合物层中的浓度大于在所述半导体通道中的浓度。

在一些实施例中，所述金属半导体化合物层顶面与所述扩散阻挡层顶面

齐平，在垂直于所述位线顶面的方向上，所述金属半导体化合物层的长度小于等于所述扩散阻挡层的长度。

在一些实施例中，所述半导体结构还包括：电连接层，位于所述金属半导体化合物层顶面和所述扩散阻挡层顶面，且所述绝缘层隔离位于相邻所述半导体通道顶面的相邻所述电连接层。

在一些实施例中，单一所述栅极沿所述第二方向延伸，且环绕相邻所述位线上的相邻所述半导体通道，单一所述扩散阻挡层仅环绕单一所述半导体通道。

在一些实施例中，所述半导体结构还包括：金属硅化物结构，至少位于与所述绝缘层底面正对的所述位线中。

在一些实施例中，沿位于所述绝缘层两侧的所述半导体通道指向所述绝缘层的方向上，所述金属硅化物结构的深度逐渐增大。

在一些实施例中，在垂直于所述半导体通道侧壁的平面中，所述第一区的所述半导体通道的截面面积大于所述第二区的所述半导体通道的截面面积。

在一些实施例中，所述介质层包括：第一介质层，位于相邻所述位线间，且位于相邻所述位线上的所述第一区的所述半导体通道间；第二介质层，位于所述第一区的所述半导体通道侧壁和所述第一区的所述第一介质层侧壁；第三介质层，环绕所述第二区和所述第三区的所述半导体通道侧壁。

在一些实施例中，所述栅极至少位于所述第一介质层的部分顶面和所述第二介质层的部分顶面，所述扩散阻挡层位于所述第三介质层的顶面。

在一些实施例中，所述绝缘层包括：第一绝缘层，位于相邻所述半导体通道的所述介质层之间和所述栅极之间，且沿所述第二方向延伸，所述第一绝缘层的顶面不低于所述金属半导体化合物层顶面；第二绝缘层，位于所述栅极顶面，且位于所述第一绝缘层和所述扩散阻挡层之间。

本申请实施例另一方面还提供一种半导体结构的制造方法，包括：提供基底，所述基底包括间隔排布的位线和初始半导体通道，所述位线沿第一方向延伸，所述初始半导体通道位于所述位线的部分顶面，且在垂直于所述位线顶面的方向上，所述初始半导体通道包括依次排列的第一区、第二区以及初始第三区；形成介质层，所述介质层位于相邻所述位线之间且位于所述初始半导体通道部分侧壁；形成栅极，所述栅极环绕所述第二区的所述介质层且沿第二方向延伸，所述第一方向与所述第二方向不同；形成扩散阻挡层，所述扩散阻挡层环绕所述初始半导体通道剩余侧壁，且所述扩散阻挡层与所述栅极间具有间隔；对所述初始半导体通道顶面进行金属硅化处理，将所述初始第三区的部分所述初始半导体通道转换为金属半导体化合物层，剩余所述初始第三区、所述第二区、所述第三区构成半导体通道；形成绝缘层，所述绝缘层位于同一所述位线上的相邻所述半导体通道之间。

在一些实施例中，在形成所述扩散阻挡层之后，在形成所述金属半导体化合物层之前，还包括：对所述初始半导体通道顶面进行掺杂处理，使所述初始第三区的部分所述初始半导体通道中具有掺杂元素，所述掺杂元素为 P 型掺

杂元素或者 N 型掺杂元素。

在一些实施例中，提供基底的步骤包括：提供初始基底，所述初始基底内具有沿所述第一方向延伸的初始第一介质层；图形化所述初始基底和所述初始第一介质层，以形成间隔排布的所述位线和所述初始半导体通道，以及位于
5 相邻位线间的所述初始第一介质层，且所述初始第一介质层顶面不低于所述初始半导体通道顶面，所述初始半导体通道侧壁、所述初始第一介质层侧壁和所述位线的部分顶面围成沟槽，所述沟槽沿所述第二方向延伸。

在一些实施例中，形成所述介质层、所述栅极、所述阻挡扩散层以及所述绝缘层的步骤包括：在相邻所述位线之间以及相邻所述位线上的所述第一区的所述半导体通道间形成第一介质层，在所述第一区的所述沟槽侧壁形成第二介质层；形成第一绝缘层，所述第一绝缘层位于所述沟槽内且隔离相邻所述第二介质层，所述第一绝缘层顶面不低于所述初始半导体通道顶面；形成第三介质层和第二绝缘层，所述第三介质层位于所述第二区的所述沟槽侧壁和所述初始第三区的所述沟槽部分侧壁，所述第二绝缘层位于所述第一绝缘层和
10 所述第三介质层之间；在所述初始第三区的所述沟槽剩余侧壁形成扩散阻挡层，所述第一介质层、所述第二介质层和所述第三介质构成所述介质层；所述
15 第一绝缘层和所述第二绝缘层构成所述绝缘层。

在一些实施例中，形成所述第一介质层、所述第二介质层和所述第一绝缘层的步骤包括：在所述沟槽侧壁形成初始第二介质层，相邻所述初始第二介质层间具有第一间隔；在所述第一间隔中形成所述第一绝缘层；以所述第一绝缘层为掩膜刻蚀所述初始第一介质层和所述初始第二介质层，以形成所述第一介质层和所述第二介质层。

在一些实施例中，在形成所述第一绝缘层之前，在形成所述初始第二介质层之后，对所述初始第二介质层露出的所述位线的部分顶面进行金属硅化处理，以形成金属半导体化合物结构。
25

在一些实施例中，形成所述第三介质层、所述栅极和所述第二绝缘层的步骤包括：在所述第二区和所述初始第三区的所述初始半导体通道侧壁形成初始第三介质层，所述初始第三介质层和所述第一绝缘层间具有第二间隔；在所述第二区的所述第二间隔中形成所述栅极；在剩余所述第二间隔中形成所述
30 第二绝缘层；以所述第二绝缘层为掩膜刻蚀所述初始第三介质层，以形成所述第三介质层；所述第三介质层、所述第二绝缘层和所述半导体通道围成凹槽，形成填充所述凹槽的所述扩散阻挡层。

在一些实施例中，所述绝缘层顶面高于所述金属半导体化合物层顶面，所述绝缘层、所述金属半导体化合物层和所述扩散阻挡层围成通孔，所述制造方法还包括，形成填充所述通孔的电连接层。
35

本申请实施例提供的技术方案至少具有以下优点：

上述技术方案中，在基底中形成垂直的 GAA 晶体管，且位线埋入基底中并位于半导体通道下方，因而可以构成 3D 堆叠的半导体结构，有利于提高半导体结构的集成密度。而且，在半导体通道远离位线的顶面具有金属半导体化

合物层, 由于金属半导体化合物层相较于未金属化的半导体通道而言, 具有相对更小的电阻率, 因此, 金属半导体化合物层可以作为过渡层, 实现半导体通道顶面与其他导电结构间的欧姆接触, 降低半导体通道顶面与其他导电结构间的接触电阻, 以提高半导体通道的电学性能。此外, 扩散阻挡层至少环绕所述金属半导体化合物层侧壁, 使得金属半导体化合物层和绝缘层之间被扩散阻挡层阻隔, 有利于防止金属半导体化合物层中的金属元素扩散至绝缘层中, 导致绝缘层的绝缘性能下降, 因此, 本申请实施例有利于在通过金属半导体化合物层降低半导体通道顶面与其他导电结构间的接触电阻的同时, 保证绝缘层良好的绝缘性能, 从而提高半导体结构的电学性能。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明, 这些示例性说明并不构成对实施例的限定, 除非有特别申明, 附图中的图不构成比例限制。

图 1 至图 17 为本申请实施例提供的半导体结构的制造方法各步骤对应的结构示意图。

具体实施方式

由背景技术可知, 目前半导体结构的电学性能有待提高。

经分析发现, 为实现半导体通道与其他导电结构之间的欧姆接触, 会采用相关技术手段将金属元素掺杂仅半导体通道的端部, 以降低半导体通道端部的电阻率和实现半导体通道端部与其他导电结构间的欧姆接触。然而, 由于相邻半导体通道之间通过绝缘层进行电绝缘时, 半导体通道中的金属元素会扩散进绝缘层中降低绝缘层的绝缘效果, 从而会增大相邻半导体通道间的寄生电容, 从而会降低半导体结构的电学性能。

本申请实施例提供一种半导体结构及其制造方法, 半导体结构中, 为实现半导体通道与其他导电结构的欧姆接触, 在半导体通道顶面具有作为过渡层的金属半导体化合物层, 实现半导体通道顶面与其他导电结构间的欧姆接触, 降低半导体通道顶面与其他导电结构间的接触电阻。此外, 在金属半导体化合物层和绝缘层间具有扩散阻挡层阻隔, 有利于防止金属半导体化合物层中的金属元素扩散至绝缘层中, 因此, 本申请实施例有利于在通过金属半导体化合物层降低半导体通道顶面与其他导电结构间的接触电阻的同时, 保证绝缘层良好的绝缘性能, 从而提高半导体结构的电学性能。

下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

5 本申请实施例提供一种半导体结构，以下将结合附图对本申请实施例提供的半导体结构进行详细说明。图 1 至图 3 为本申请实施例提供的半导体结构对应的结构示意图。其中，图 1 为本申请实施例提供的半导体结构的俯视示意图，图 2 为图 1 所示半导体结构沿第一截面方向 AA1 的剖面示意图，图 3 为图 1 所示半导体结构沿第二截面方向 BB1 的剖面示意图，图 4 为半导体
10 结构中栅极环绕半导体通道和扩散阻挡层环绕金属半导体化合物层的剖面示意图。

参考图 1 至图 4，半导体结构包括：基底 100，基底 100 包括间隔排布的位线 101 和半导体通道 102，位线 101 沿第一方向 X 延伸，半导体通道 102 位于位线 101 的部分顶面，且在垂直于位线 101 顶面的方向 Z 上，半导体通道
15 102 包括依次排列的第一区 I、第二区 II 以及第三区 III；介质层 103，位于相邻位线 101 之间且位于半导体通道 102 侧壁；栅极 104，环绕第二区 II 的介质层 103 且沿第二方向 Y 延伸，第一方向 X 与第二方向 Y 不同；金属半导体化合物层 105，位于半导体通道 102 顶面；扩散阻挡层 106，至少环绕金属半导体化合物层 105 侧壁；绝缘层 107，位于同一位线 101 上的相邻半导体通道
20 102 之间且隔离位于相邻介质层 103 上的栅极 104 和扩散阻挡层 106。

其中，半导体通道 102、环绕第二区 II 的半导体通道 102 侧壁的介质层 103 以及栅极 104 构成垂直的 GAA 晶体管，基底 100 包括衬底 110，位线 101 位于衬底 110 与 GAA 晶体管之间，因而能够构成 3D 堆叠的半导体结构，有利于提高半导体结构的集成密度。

25 需要说明的是，第一区 I 和第三区 III 均可以作为 GAA 晶体管的源极或者漏极，第二区 II 与 GAA 晶体管的介质层 103 和栅极 104 对应。

在一些实施例中，继续参考图 1，第一方向 X 垂直于第二方向 Y，使得半导体通道 102 呈现 4F2（F：在给定工艺条件下可获得的最小图案尺寸）的排

布方式，有利于提高半导体结构的集成密度。在其他实施例中，第一方向与第二方向相交，两者之间的夹角可以不为 90° 。

需要说明的是，在基底 100 中具有多个间隔排布的位线 101，且每一位线 101 可与至少一个第一区 I 相接触，图 1 中以 4 个相互间隔的位线 101，以及
5 每一位线 101 与 4 个第一区 I 相接触作为示例，实际应用中，可根据实际电学需求，合理设置位线 101 的数量以及与每一位线 101 相接触的第一区 I 的数量。

以下将结合图 1 至图 3 对半导体结构进行更为详细的说明。

在一些实施例中，基底 100 的材料类型可以为元素半导体材料或者晶态
10 无机化合物半导体材料。元素半导体材料可以硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

在一些实施例中，基底 100 包括为位线 101 和半导体通道 102，且基底 100、位线 101 和半导体通道 102 可以具有相同的半导体元素，则半导体通道 102 与位线 101 可以利用同一膜层结构形成，该膜层结构由半导体元素构成，
15 使得半导体通道 102 与位线 101 为一体结构，从而改善半导体通道 102 与位线 101 之间的界面态缺陷，改善半导体结构的电学性能。

其中，半导体元素可以包括硅、碳、锗、砷、镓、铟中的至少一种，后续以位线 101 与半导体通道 102 均包括硅元素进行示例性说明。

在一些实施例中，半导体结构中还可以包括：金属硅化物结构 111，至少
20 位于与绝缘层 107 底面正对的位线 101 中，即金属硅化物结构 111 至少位于与第一绝缘层 117 底面正对的位线 101 中。

金属硅化物结构 111 相较于未金属化的半导体材料而言，具有相对较小的电阻率，因此，相较于半导体通道 102 而言，包含金属硅化物结构 111 的位线 101 的电阻率更小，从而有利于降低位线 101 自身的电阻，且降低位线 101
25 与第一区 I 的半导体通道 102 之间的接触电阻，进一步改善半导体结构的电学性能。此外，位线 101 的电阻率还小于衬底 110 的电阻率。

需要说明的是，在一些实施例中，位于第一区 I 正下方的位线 101 的区域的材料可以为半导体材料，未被第一区 I 覆盖的位线 101 的部分区域的材料

为金属硅化物。可以理解的是，随着器件尺寸的不断缩小或者制造工艺参数的调整，位于第一区 I 正下方的位线 101 的部分区域的材料为半导体材料，位于第一区 I 正下方的位线 101 的其余区域的材料也可以为金属硅化物，此处的“其余区域”的位置位于“部分区域”的外围。

5 例如，参考图 2，位线 101 中的多个金属硅化物结构 111 之间相互连通形成位线 101 的一部分，且金属硅化物结构 111 可以部分位于位线 101 中，部分位于第一区 I 的半导体通道 102 中。在其他实施例中，同一位线中的多个金属硅化物结构之间可以相互间隔。

图 2 中以与椭圆形相似的虚线框所限定的基底 100 的区域为金属硅化物
10 结构 111，在实际应用中，对相邻金属硅化物结构 111 之间相互接触的区域的大小不做限制。在其他实施例中，全部厚度的位线可以为金属硅化物结构 111。

在一些实施例中，继续参考图 2，对于单一金属硅化物结构 111 而言，沿位于绝缘层 107 两侧的半导体通道 102 指向绝缘层 107 的方向上，即沿 C1 和 C2 方向上，金属硅化物结构 111 的深度逐渐增大。

15 以半导体元素为硅为例，金属硅化物结构 111 的材料包括硅化钴、硅化镍、硅化钼、硅化钛、硅化钨、硅化钽或者硅化铂中的至少一种。

在一些实施例中，半导体通道 102 中可以具有掺杂元素，有利于提高半导体通道 102 的导电性，从而有利于降低第一区 I 和第三区 III 之间的导通电压，即降低 GAA 晶体管中源极与漏极之间的导通电压。其中，掺杂元素为 P
20 型掺杂元素或者 N 型掺杂元素，具体地，N 型掺杂元素可以为砷元素、磷元素或者锑元素中的至少一种；P 型掺杂元素可以为硼元素、镓元素或者铟元素中的至少一种。

在一些实施例中，GAA 晶体管可以为无结晶体管，即第一区 I、第二区 II 和第三区 III 中的掺杂元素的类型相同。其中，“无结”指的是无 PN 结，即第
25 一区 I、第二区 II 和第三区 III 中的掺杂元素的掺杂浓度相同，这样的好处包括：一方面，无需对第一区 I 和第三区 III 进行额外的掺杂，从而避免了对第一区 I 和第三区 III 的掺杂工艺难以控制的问题，尤其是随着晶体管尺寸进一步缩小，若额外对第一区 I 和第三区 III 进行掺杂，掺杂浓度更加难以控制；

另一方面，由于器件为无结晶体管，有利于避免采用超陡峭源漏浓度梯度掺杂工艺，在纳米尺度范围内制作超陡峭 PN 结的现象，因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题，还有利于抑制短沟道效应，因而有助于进一步提高半导体结构的集成密度和电学性能。可以理解的是，此处额外的掺杂指的是，为了让第一区 I 和第三区 III 的掺杂元素类型与第二区 II 的掺杂元素类型不同而进行的掺杂。

继续参考图 2 和图 3，在垂直于半导体通道 102 侧壁的平面中，第一区 I 的半导体通道 102 的截面面积大于第二区 II 的半导体通道 102 的截面面积。

其中，第二区 II 的半导体通道 102 的截面面积小于第一区 I 的半导体通道 102 的截面面积，第二区 II 的半导体通道 102 可以作为 GAA 晶体管的沟道区，因而有利于形成截面面积更小的沟道区，有利于提高环绕沟道区侧壁的栅极 104 对沟道区的控制能力，从而更容易控制 GAA 晶体管的导通或者关断。

参考图 2 和图 3，介质层 103 可以包括：第一介质层 113，位于相邻位线 101 间，且位于相邻位线 101 上的第一区 I 的半导体通道 102 间；第二介质层 123，位于第一区 I 的半导体通道 102 侧壁和第一区 I 的第一介质层 113 侧壁；第三介质层 133，环绕第二区 II 和第三区 III 的半导体通道 102 侧壁。

其中，位于相邻位线 101 间的第一介质层 113 用于实现相邻位线 101 间的电绝缘；位于相邻位线 101 上的第一区 I 的半导体通道 102 间的第一介质层 113、第二介质层 123 以及绝缘层 107 共同作用，用于实现沿第一方向 X 间隔和/或沿第二方向 Y 间隔的第一区 I 的半导体通道 102 间的电绝缘；环绕第二区 II 的半导体通道 102 侧壁的第三介质层 133 可以作为后续形成的栅极 104 与第二区 II 的半导体通道 102 间的栅介质层；环绕第三区 III 的半导体通道 102 侧壁的第三介质层 133 和绝缘层 107 共同作用，用于实现沿第一方向 X 间隔和/或沿第二方向 Y 间隔的第三区 III 的半导体通道 102 间的电绝缘。

在一些实施例中，第三介质层 133 还可以位于第二介质层 123 的部分侧壁，有利于进一步保证栅极 104 与半导体通道 102 之间的绝缘。

在一些实施例中，第一介质层 113 的材料和第二介质层 123 的材料相同，

进一步地,第一介质层 113 的材料和第二介质层 123 的材料可以均为氧化硅;
在另一些实施例中,第三介质层 133 的材料、第二介质层 123 的材料与第一
介质层 113 的材料可以均相同;在又一些实施例中,第三介质层 133 的材料
可以与第二介质层 123 的材料和第一介质层 113 的材料不同,只需满足第三
5 介质层 133 的材料、第二介质层 123 的材料与第一介质层 113 的材料均为绝
缘效果良好的材料。

在一些实施例中,参考图 4,单一栅极 104 沿第二方向 Y 延伸,且环绕相
邻位线 101 上的相邻半导体通道 102,单一扩散阻挡层 106 仅环绕单一金属半
导体化合物层 105。在一些实施例中,第三介质层 133 在衬底 110 上的正投影
10 和扩散阻挡层 106 在衬底 110 上的正投影可以重合。

其中,沿第二方向 Y 上,单一栅极 104 可以环绕多个半导体通道 102,且
栅极 104 与这多个半导体通道 102 间均具有第三介质层 133,相邻扩散阻挡层
106 间可以由第二绝缘层 127 间隔。

其中,栅极 104 的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少
15 一种,扩散阻挡层 106 的材料可以为氮化钛。

在一些实施例中,若在垂直于半导体通道 102 侧壁的平面中,第一区 I 的
半导体通道 102 的截面面积大于第二区 II 的半导体通道 102 的截面面积,且
介质层 103 包括第一介质层 113、第二介质层 123 和第三介质层 133,则栅极
104 至少位于第一介质层 113 的部分顶面和第二介质层 123 的部分顶面,扩散
20 阻挡层 106 位于第三介质层 133 的顶面。

其中,扩散阻挡层 106 环绕金属半导体化合物层 105 侧壁,有利于防止
金属半导体化合物层 105 中的金属元素扩散至绝缘层 107 中,以保证绝缘层
107 良好的绝缘性能;此外,扩散阻挡层 106 位于第三介质层 133 的顶面,还
可以避免位于扩散阻挡层 106 顶面的其他导电结构中的相关导电元素扩散至
25 第三介质层 133 中,以保证第三介质层 133 良好的绝缘性能。

在一些实施例中,扩散阻挡层 106 在衬底 110 上的正投影可以覆盖第三
介质层 133 在衬底 110 上的正投影,有利于更全面的阻止位于扩散阻挡层 106
顶面的其他导电结构中的相关导电元素扩散至第三介质层 133 中。

在其他实施例中，若介质层包括第一介质层、第二介质层和第三介质层时，在垂直于半导体通道侧壁的平面中，第一区的半导体通道的截面面积等于第二区的半导体通道的截面面积，则第三介质层和栅极共同覆盖第二介质层的顶面。

5 此外，金属半导体化合物层 105 相较于未金属化的半导体材料而言，具有相对较小的电阻率，因此，相较于半导体通道 102 而言，金属半导体化合物层 105 的电阻率更小，则若金属半导体化合物层 105 顶面具有电连接层 108，有利于以金属半导体化合物层 105 为过渡层使得半导体通道 102 顶面与电连接层 108 间构成欧姆接触，避免电连接层 108 与半导体材料直接接触而形成肖特基势垒接触，欧姆接触有利于降低半导体通道 102 顶面与电连接层 108 之间的接触电阻，从而降低半导体结构工作时的能耗，且改善 RC 延迟效应，以提高半导体结构的电学性能。其中，金属半导体化合物层 105 的材料包括硅化钴、硅化镍、硅化钼、硅化钛、硅化钨、硅化钽或者硅化铂中的至少一种。

15 在一些实施例中，金属半导体化合物层 105 中可以具有掺杂元素，掺杂元素为 P 型掺杂元素或者 N 型掺杂元素。如此，有利于进一步提高金属半导体化合物层 105 自身的导电性。

此外，在金属半导体化合物层 105 中具有掺杂元素的基础上，半导体通道 102 中可以具有与金属半导体化合物层 105 中类型相同的掺杂元素，且掺杂元素在金属半导体化合物层 105 中的浓度大于在半导体通道 102 中的浓度。20 如此，在提高半导体通道 102 自身导电性的同时，有利于进一步降低金属半导体化合物层 105 和半导体通道 102 之间的接触电阻。

25 在一些实施例中，金属半导体化合物层 105 顶面与扩散阻挡层 106 顶面可以齐平，在垂直于位线 101 顶面的方向 Z 上，金属半导体化合物层 105 的长度可以小于等于扩散阻挡层 106 的长度。如此，扩散阻挡层 106 至少可以包含整个金属半导体化合物层 105 的侧壁，增大扩散阻挡层 106 起到防止扩散作用的总面积，以提高防止金属半导体化合物层 105 中金属元素向绝缘层 107 中扩散的效果。此外，扩散阻挡层 106 的长度大于金属半导体化合物层 105 的长度，即扩散阻挡层 106 还环绕部分半导体通道 102 的侧壁，有利于防

止半导体通道 102 中的掺杂元素扩散至绝缘层 107 中。

其中，在垂直于位线 101 顶面的方向 Z 上，金属半导体化合物层 105 长度与扩散阻挡层 106 长度的比值可以为 0.8~1.2。如此，有利于保证扩散阻挡层 106 与栅极 104 之间具有较合适的间距，避免扩散阻挡层 106 与栅极 104 之间产生寄生电容。

在一些实施例中，绝缘层 107 包括：第一绝缘层 117，位于相邻半导体通道 102 的介质层 103 之间和栅极 104 之间，且沿第二方向 Y 延伸，第一绝缘层 117 的顶面不低于金属半导体化合物层 105 顶面；第二绝缘层 127，位于栅极 104 顶面，且位于第一绝缘层 117 和扩散阻挡层 106 之间。

其中，第一绝缘层 117 和第二绝缘层 127 共同作用，用于实现相邻半导体通道 102 之间的电绝缘及相邻栅极 104 之间的电绝缘。此外，位于栅极 104 顶面的第二绝缘层 127 可以实现栅极 104 与其他导电结构之间的电绝缘。

在一些实施例中，半导体结构还可以包括：电连接层 108，位于金属半导体化合物层 105 顶面和扩散阻挡层 106 顶面，且绝缘层 107 隔离位于相邻半导体通道 102 顶面的相邻电连接层 108。

其中，电连接层 108 可以用于实现半导体通道 102 与电容结构（未图示）之间的电连接。

综上所述，由于金属半导体化合物层 105 相较于未金属化的半导体通道 102 而言，具有相对更小的电阻率，因此，有利于通过金属半导体化合物层 105 实现半导体通道 102 顶面与其他导电结构，例如电连接层 108 间的欧姆接触，降低半导体通道 102 顶面与电连接层 108 间的接触电阻，以提高半导体通道 102 的电学性能。此外，金属半导体化合物层 105 和绝缘层 107 之间被扩散阻挡层 106 阻隔，有利于防止金属半导体化合物层 105 中的金属元素扩散至绝缘层 107 中，导致绝缘层 107 的绝缘性能下降，因此，本申请实施例有利于在通过金属半导体化合物层 105 降低半导体通道 102 顶面与电连接层 108 间的接触电阻的同时，保证绝缘层 107 良好的绝缘性能，从而提高半导体结构的电学性能。

本申请另一实施例还提供一种半导体结构的制造方法，可用于形成上述

半导体结构。

图 1 至图 17 为本申请实施例提供的半导体结构的制造方法中各步骤对应的剖面结构示意图，以下将结合附图对本申请实施例提供的半导体结构的制造方法进行详细说明，与上述实施例相同或相应的部分，以下将不做详细赘述。

5 需要说明的是，为了便于描述以及清晰地示意出半导体结构制作方法的步骤，本实施例中的图 1 至图 17 均为半导体结构的局部结构示意图。

其中，图 7 为图 6 所示结构沿第一截面方向 AA1 的剖面示意图和沿第二截面方向 BB1 的剖面示意图，需要说明的是，后续将根据表述需要设置沿第一截面方向 AA1 的剖面示意图、沿第二截面方向 BB1 的剖面示意图中的一者或者两者。

参考图 5 至图 7，提供基底 100，基底 100 包括间隔排布的位线 101 和初始半导体通道 112，位线 101 沿第一方向 X 延伸，初始半导体通道 102 位于位线 101 的部分顶面，且在垂直于位线 101 顶面的方向 Z 上，初始半导体通道 112 包括依次排列的第一区 I、第二区 II 以及初始第三区 IV；形成介质层 15 103，介质层 103 位于相邻位线 101 之间且位于初始半导体通道 112 部分侧壁。

需要说明的是，初始半导体通道 112 的第一区 I、第二区 II 为后续半导体通道的第一区和第二区，初始半导体通道 112 的初始第三区 IV 为后续形成半导体通道的第三区和金属半导体化合物层做准备。可以理解的是，第一区 I 和后续形成的第三区均可以作为后续形成的具有半导体通道的 GAA 晶体管的源极或者漏极，第二区 II 与后续形成的 GAA 晶体管的介质层和栅极对应。

在一些实施例中，提供基底 100 可以包括如下步骤：

参考图 5，提供初始基底 120，初始基底 120 内具有沿第一方向 X 延伸的初始第一介质层 143；参考图 6 至图 7，图形化初始基底 120 和初始第一介质层 143，以形成间隔排布的位线 101 和初始半导体通道 112，以及位于相邻位线 25 101 间的初始第一介质层 143，且初始第一介质层 143 顶面不低于初始半导体通道 112 顶面，初始半导体通道 112 侧壁、初始第一介质层 143 侧壁和位线 101 的部分顶面围成沟槽 109，沟槽 109 沿第二方向 Y 延伸。

其中，初始基底 120 的材料类型可以为元素半导体材料或者晶态无机化

合物半导体材料。元素半导体材料可以硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。初始基底 120 为形成位线 101 和初始半导体通道 112 的基础，且在图形化初始基底 120 和初始第一介质层 143 以形成位线 101 和初始半导体通道 112 的同时，还形成衬底 110。

- 5 其中，图形化初始基底 120 和初始第一介质层 143 的方法包括自对准多重曝光技术（SAQP, Self-Aligned Quadruple Patterning）或者自对准双重成像技术（SADP, Self-aligned Double Patterning）。

在一些实施例中，还可以对初始基底 120 进行掺杂处理以及退火处理，使得初始基底 120 内掺杂有 N 型掺杂元素或 P 型掺杂元素，有利于提高以初
10 始基底 120 为基础形成的初始半导体通道 102 的导电性，从而有利于降低第一区 I 和初始第三区 III 之间的导通电压，即降低后续形成的 GAA 晶体管中源极与漏极之间的导通电压。此外，使得初始基底 120 内掺杂有 N 型掺杂元素或 P 型掺杂元素，有利于提高以初始基底 120 为基础形成的位线 101 的导电性，从而降低第一区 I 与位线 101 之间的接触电阻，从而提高半导体结构的
15 电学性能。

其中，掺杂元素为 P 型掺杂元素或者 N 型掺杂元素，具体地，N 型掺杂元素可以为砷元素、磷元素或者锑元素中的至少一种；P 型掺杂元素可以为硼元素、铟元素或者镓元素中的至少一种。

参考图 8 至图 17，形成栅极 104，栅极 104 环绕第二区 II 的介质层 103
20 且沿第二方向 Y 延伸，第一方向 X 与第二方向 Y 不同；形成扩散阻挡层 106，扩散阻挡层 106 环绕初始半导体通道 112 剩余侧壁，且扩散阻挡层 106 与栅极 104 间具有间隔；对初始半导体通道 112 顶面进行金属硅化处理，将初始第三区 IV 的部分初始半导体通道 112 转换为金属半导体化合物层 105，剩余初始第三区 IV、第二区 II 和第三区 III 构成半导体通道 102；形成绝缘层 107，
25 绝缘层 107 位于同一位线 101 上的相邻半导体通道 102 之间。

在一些实施例中，通过金属硅化处理形成金属半导体化合物层 105 的步骤可以包括：在初始半导体通道 112 顶面形成第一金属层（未图示），第一金属层为金属半导体化合物层 105 提供金属元素。其中，第一金属层的材料包

括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

在一些实施例中，当初始半导体通道 112 侧壁、初始第一介质层 143 侧壁和位线 101 的部分顶面围成沟槽 109 时，形成介质层 103、栅极 104、扩散阻挡层 106 以及绝缘层 107 的可以包括如下步骤：

- 5 参考图 8 至图 10，在相邻位线 101 之间以及相邻位线 101 上的第一区 I 的半导体通道 102 间形成第一介质层 113；在第一区 I 的沟槽 109 侧壁形成第二介质层 123；形成第一绝缘层 117，第一绝缘层 117 位于沟槽 109 内且隔离相邻第二介质层 123，第一绝缘层 117 顶面不低于初始半导体通道 112 顶面。

- 10 其中，第一绝缘层 117 顶面不低于初始半导体通道 112 顶面，有利于后续在第一绝缘层 117、第二区 II 和第三区 III 的半导体通道 102 之间形成第二间隔，则后续可通过自对准的方式在第二间隔中形成尺寸精确的栅极，无需通过刻蚀工艺即可形成高尺寸精度的栅极，有利于简化栅极的形成步骤，且通过调控第二间隔的尺寸，即可获得小尺寸的栅极。

- 15 在一些实施例中，形成第一介质层 113、第二介质层 123 和第一绝缘层 117 的可以包括如下步骤：

- 20 参考图 8，在沟槽 109（参考图 7）侧壁形成初始第二介质层 153，相邻初始第二介质层 153 间具有第一间隔 119。在一些实施例中，可采用以下工艺步骤形成初始第二介质层 153：进行沉积工艺，形成覆盖半导体通道 102 顶面和暴露处的所有侧壁的表面，还形成于初始第一介质层 143 暴露处的顶面和侧壁。其中，初始第二介质层 153 的材料包括氧化硅。

- 25 结合参考图 8 和图 9，在第一间隔 119 中形成第一绝缘层 117。在一些实施例中，可采用以下工艺步骤形成第一绝缘层 117：形成覆盖初始第二介质层 153 顶面以及填充第一间隔 119 的第一绝缘膜；对第一绝缘膜进行化学机械平坦化处理至露出初始第二介质层 153，剩余第一绝缘膜作为第一绝缘层 117。其中，第一绝缘层 117 的材料包括氮化硅。

其中，初始第一介质层 143 的材料和初始第二介质层 153 的材料相同，有利于后续通过同一去除步骤去除部分初始第一介质层 143 和部分初始第二介质层 153，以形成第二间隔。

在一些实施例中，继续参考图 8，在形成第一绝缘层 117 之前，在形成初始第二介质层 153 之后，对初始第二介质层 153 露出的位线 101 的部分顶面进行金属硅化处理，以形成金属硅化物结构 111。

其中，金属硅化物结构 111 相较于未金属化的半导体材料而言，具有相对较小的电阻率，因此，相较于半导体通道 102 而言，包含金属硅化物结构 111 的位线 101 的电阻率更小，从而有利于降低位线 101 自身的电阻，且降低位线 101 与第一区 I 的半导体通道 102 之间的接触电阻，进一步改善半导体结构的电学性能。

在一些实施例中，对初始第二介质层 153 露出的位线 101 的部分顶面进行金属硅化处理的步骤可以包括：在位线 101 露出的顶面形成第二金属层（未图示），第二金属层为金属硅化物结构 111 提供金属元素。其中，第二金属层的材料包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

在其他实施例中，也可以不对位线露出的顶面进行金属硅化处理，直接在位线露出的顶面形成第一绝缘层。

然后，参考图 10，以第一绝缘层 117 为掩膜刻蚀初始第一介质层 143 和初始第二介质层 153，以形成第一介质层 113 和第二介质层 123。

其中，在刻蚀初始第一介质层 143 和初始第二介质层 153 的步骤中，还露出半导体通道 102 顶面，便于后续对半导体通道 102 顶面进行金属硅化处理以形成金属半导体化合物层。

参考图 11 至图 17，形成第三介质层 133 和第二绝缘层 127，第三介质层 133 位于第二区 II 的沟槽 109 侧壁和初始第三区 IV 的沟槽 109 部分侧壁，第二绝缘层 127 位于第一绝缘层 117 和第三介质层 133 之间；在初始第三区 IV 的沟槽 109 剩余侧壁形成扩散阻挡层 106，第一介质层 113、第二介质层 123 和第三介质层 133 构成介质层 103；第一绝缘层 117 和第二绝缘层 127 构成绝缘层 107。

在一些实施例中，形成第三介质层 133、栅极 104 和第二绝缘层 127 的可以包括如下步骤：

参考图 13，在第二区 II 和初始第三区 IV 的初始半导体通道 112 侧壁形

成初始第三介质层 163, 初始第三介质层 163 和第一绝缘层 117 间具有第二间隔 129。在一些实施例中, 可采用以下工艺步骤形成初始第三介质层 163: 对露出的第二区 II 和初始第三区 IV 的初始半导体通道 112 表面进行热氧化处理, 以形成初始第三介质层 163。其中, 初始第三介质层 163 的材料为氧化硅。

- 5 在其他实施例中, 也可以通过沉积工艺形成覆盖第二区和初始第三区的初始半导体通道表面的初始第三介质层。

参考图 12 至图 13, 在第二区 II 的第二间隔 129 (参考图 11) 中形成栅极 104。其中, 形成栅极 104 的步骤可以包括: 参考图 12, 形成初始栅极 114, 初始栅极 114 填充满第二间隔 129 且位于初始第三介质层 163 顶面; 参考图 10 13, 刻蚀去除环绕初始第三区 IV 的半导体通道 102 侧壁和位于初始第三介质层 163 顶面的初始栅极 114, 剩余初始栅极 114 作为栅极 104, 则栅极 104 仅环绕第二区 II 的半导体通道 102 侧壁。

参考图 14, 在剩余第二间隔 129 中形成第二绝缘层 127。在一些实施例中, 可采用以下工艺步骤形成第二绝缘层 127: 进行沉积工艺, 形成填充满剩余第二间隔 129 (参考图 11) 且覆盖初始第三介质层 163 顶面的第二绝缘膜; 15 对第二绝缘膜和第一绝缘层 117 进行化学机械研磨, 至露出初始第三介质层 163, 剩余第二绝缘膜作为第二绝缘层 127。其中, 第二绝缘膜的材料包括氧化硅。

参考图 15, 以第二绝缘层 127 为掩膜刻蚀初始第三介质层 163, 以形成 20 第三介质层 133。

其中, 在形成第三介质层 133 的步骤中, 不仅露出初始半导体通道 112 顶面, 还露出初始第三区 IV 的初始半导体通道 112 靠近顶面的部分侧壁, 为后续形成扩散阻挡层做准备。

结合参考图 15 和图 16, 第三介质层 133、第二绝缘层 127 和初始半导体 25 通道 112 围成凹槽 139, 形成填充满凹槽 139 的扩散阻挡层 106。在一些实施例中, 可采用以下工艺步骤形成扩散阻挡层 106: 形成覆盖初始半导体通道 112 顶面以及填充满凹槽 139 的阻挡膜; 对阻挡膜进行刻蚀至露出初始第三区 IV 的初始半导体通道 112 靠近顶面的部分侧壁, 剩余阻挡膜作为扩散阻挡层 106。

其中，扩散阻挡层 106 的材料包括氮化钛。

其中，扩散阻挡层 106 有利于防止金属半导体化合物层 105 中的金属元素扩散至绝缘层 107 中，以保证绝缘层 107 良好的绝缘性能；此外，扩散阻挡层 106 位于第三介质层 133 的顶面，还可以避免位于扩散阻挡层 106 顶面的其他导电结构中的相关导电元素扩散至第三介质层 133 中，以保证第三介质层 133 良好的绝缘性能。

然后，结合参考图 16 和图 17，对初始半导体通道 112 顶面进行金属硅化处理，将初始第三区 IV 的部分初始半导体通道 112 转换为金属半导体化合物层 105，剩余初始第三区 IV、第二区 II 和第三区 III 构成半导体通道 102。

其中，相较于半导体通道 102 而言，金属半导体化合物层 105 的电阻率更小，则后续在金属半导体化合物层 105 顶面形成电连接层时，有利于以金属半导体化合物层 105 为过渡层使得半导体通道 102 顶面与电连接层间构成欧姆接触，避免电连接层与半导体通道 102 直接接触而形成肖特基势垒接触，欧姆接触有利于降低半导体通道 102 顶面与电连接层之间的接触电阻，从而降低半导体结构工作时的能耗，且改善 RC 延迟效应，以提高半导体结构的电学性能。

在一些实施例中，在形成扩散阻挡层 106 之后，在形成金属半导体化合物层 105 之前，制造方法还可以包括：对初始半导体通道 112 顶面进行掺杂处理，使初始第三区 IV 的部分初始半导体通道 112 中具有掺杂元素，掺杂元素为 P 型掺杂元素或者 N 型掺杂元素。

此外，半导体通道 102 中可以具有与金属半导体化合物层 105 中类型相同的掺杂元素，且掺杂元素在金属半导体化合物层 105 中的浓度大于在半导体通道 102 中的浓度。如此，在提高半导体通道 102 自身导电性的同时，有利于进一步降低金属半导体化合物层 105 和半导体通道 102 之间的接触电阻。

在一些实施例中，结合参考图 17 和图 2 至图 3，绝缘层 107 顶面高于金属半导体化合物层 105 顶面，绝缘层 107、金属半导体化合物层 105 和扩散阻挡层 106 围成通孔 149，制造方法还可以包括：形成填充通孔 149 的电连接层 108。其中，电连接层 108 可以用于实现半导体通道 102 与电容结构（未图

示)之间的电连接。

综上所述,在第一绝缘层 117、第二区 II 和第三区 III 的半导体通道 102 之间形成第二间隔 129,有利于通过自对准的方式在第二间隔 129 中形成尺寸精确的栅极 104,无需通过刻蚀工艺即可形成高尺寸精度的栅极 104,有利于
5 简化栅极 104 的形成步骤,且通过调控第二间隔 129 的尺寸,即可获得小尺寸的栅极 104。此外,在半导体通道 102 顶面形成作为过渡层的金属半导体化合物层 105,实现半导体通道 102 顶面与电连接层 108 间的欧姆接触,降低半导体通道 102 顶面与电连接层 108 间的接触电阻。而且,在金属半导体化合物层 105 和绝缘层 107 间形成扩散阻挡层 106 阻隔,有利于防止金属半导体
10 化合物层 105 中的金属元素扩散至绝缘层 107 中,从而有利于在通过金属半导体化合物层 105 降低半导体通道 102 顶面与电连接层 108 间的接触电阻的同时,保证绝缘层 107 良好的绝缘性能,从而提高半导体结构的电学性能。

本领域的普通技术人员可以理解,上述各实施方式是实现本申请的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离
15 本申请的精神和范围。任何本领域技术人员,在不脱离本申请的精神和范围内,均可作各自更动与修改,因此本申请的保护范围应当以权利要求限定的范围为准。

工业实用性

20 本申请实施例提供了一种半导体结构及其制造方法,半导体结构包括:包括间隔排布的位线和半导体通道的基底,位线沿第一方向延伸,半导体通道位于位线的部分顶面,且在垂直于位线顶面的方向上,半导体通道包括依次排列的第一区、第二区和第三区;介质层,位于相邻位线之间且位于半导体通道侧壁;栅极,环绕第二区的介质层且沿第二方向延伸,第一方向与第二方向不同;
25 金属半导体化合物层,位于半导体通道顶面;扩散阻挡层,至少环绕金属半导体化合物层侧壁;绝缘层,位于同一位线上的相邻半导体通道之间且隔离位于相邻介质层上的栅极和扩散阻挡层。

上述技术方案中,在基底中形成垂直的 GAA 晶体管,且位线埋入基底中

并位于半导体通道下方，因而可以构成 3D 堆叠的半导体结构，有利于提高半导体结构的集成密度。而且，在半导体通道远离位线的顶面具有金属半导体化合物层，由于金属半导体化合物层相较于未金属化的半导体通道而言，具有相对更小的电阻率，因此，金属半导体化合物层可以作为过渡层，实现半导体通道顶面与其他导电结构间的欧姆接触，降低半导体通道顶面与其他导电结构间的接触电阻，以提高半导体通道的电学性能。此外，扩散阻挡层至少环绕所述金属半导体化合物层侧壁，使得金属半导体化合物层和绝缘层之间被扩散阻挡层阻隔，有利于防止金属半导体化合物层中的金属元素扩散至绝缘层中，导致绝缘层的绝缘性能下降，因此，本申请实施例有利于在通过金属半导体化合物层降低半导体通道顶面与其他导电结构间的接触电阻的同时，保证绝缘层良好的绝缘性能，从而提高半导体结构的电学性能。

权利要求书

1、一种半导体结构，包括：

基底，所述基底包括间隔排布的位线和半导体通道，所述位线沿第一方向延伸，所述半导体通道位于所述位线的部分顶面，且在垂直于所述位线顶面的
5 方向上，所述半导体通道包括依次排列的第一区、第二区以及第三区；

介质层，位于相邻所述位线之间且位于所述半导体通道侧壁；

栅极，环绕所述第二区的所述介质层且沿第二方向延伸，所述第一方向与
所述第二方向不同；

金属半导体化合物层，位于所述半导体通道顶面；

10 扩散阻挡层，至少环绕所述金属半导体化合物层侧壁；

绝缘层，位于同一所述位线上的相邻所述半导体通道之间且隔离位于相
邻所述介质层上的所述栅极和所述扩散阻挡层。

2、如权利要求 1 所述的半导体结构，其中，所述金属半导体化合物层中
具有掺杂元素，所述掺杂元素为 P 型掺杂元素或者 N 型掺杂元素。

15 3、如权利要求 2 所述的半导体结构，其中，所述半导体通道具有所述掺
杂元素，且所述掺杂元素在所述金属半导体化合物层中的浓度大于在所述半
导体通道中的浓度。

4、如权利要求 1 所述的半导体结构，其中，所述金属半导体化合物层顶
面与所述扩散阻挡层顶面齐平，在垂直于所述位线顶面的方向上，所述金属半
20 导体化合物层的长度小于等于所述扩散阻挡层的长度。

5、如权利要求 1 所述的半导体结构，其中，还包括：电连接层，位于所
述金属半导体化合物层顶面和所述扩散阻挡层顶面，且所述绝缘层隔离位于
相邻所述半导体通道顶面的相邻所述电连接层。

6、如权利要求 1 所述的半导体结构，其中，单一所述栅极沿所述第二方
25 向延伸，且环绕相邻所述位线上的相邻所述半导体通道，单一所述扩散阻挡层

仅环绕单一所述金属半导体化合物层。

7、如权利要求 1 所述的半导体结构，其中，还包括：金属硅化物结构，至少位于与所述绝缘层底面正对的所述位线中。

8、如权利要求 7 所述的半导体结构，其中，沿位于所述绝缘层两侧的所述半导体通道指向所述绝缘层的方向上，所述金属硅化物结构的深度逐渐增大。

9、如权利要求 1 所述的半导体结构，其中，在垂直于所述半导体通道侧壁的平面中，所述第一区的所述半导体通道的截面面积大于所述第二区的所述半导体通道的截面面积。

10、如权利要求 1 所述的半导体结构，其中，所述介质层包括：

第一介质层，位于相邻所述位线间，且位于相邻所述位线上的所述第一区的所述半导体通道间；

第二介质层，位于所述第一区的所述半导体通道侧壁和所述第一区的所述第一介质层侧壁；

15 第三介质层，环绕所述第二区和所述第三区的所述半导体通道侧壁。

11、如权利要求 10 所述的半导体结构，其中，所述栅极至少位于所述第一介质层的部分顶面和所述第二介质层的部分顶面，所述扩散阻挡层位于所述第三介质层的顶面。

12、如权利要求 1 所述的半导体结构，其中，所述绝缘层包括：

20 第一绝缘层，位于相邻所述半导体通道的所述介质层之间和所述栅极之间，且沿所述第二方向延伸，所述第一绝缘层的顶面不低于所述金属半导体化合物层顶面；

第二绝缘层，位于所述栅极顶面，且位于所述第一绝缘层和所述扩散阻挡层之间。

25 13、一种半导体结构的制造方法，包括：

提供基底，所述基底包括间隔排布的位线和初始半导体通道，所述位线沿

第一方向延伸,所述初始半导体通道位于所述位线的部分顶面,且在垂直于所述位线顶面的方向上,所述初始半导体通道包括依次排列的第一区、第二区以及初始第三区;

形成介质层,所述介质层位于相邻所述位线之间且位于所述初始半导体通道部分侧壁;

形成栅极,所述栅极环绕所述第二区的所述介质层且沿第二方向延伸,所述第一方向与所述第二方向不同;

形成扩散阻挡层,所述扩散阻挡层环绕所述初始半导体通道剩余侧壁,且所述扩散阻挡层与所述栅极间具有间隔;

10 对所述初始半导体通道顶面进行金属硅化处理,将所述初始第三区的部分所述初始半导体通道转换为金属半导体化合物层,剩余所述初始第三区、所述第二区、所述第三区构成半导体通道;

形成绝缘层,所述绝缘层位于同一所述位线上的相邻所述半导体通道之间。

15 14、如权利要求 13 所述的制造方法,其中,在形成所述扩散阻挡层之后,在形成所述金属半导体化合物层之前,还包括:对所述初始半导体通道顶面进行掺杂处理,使所述初始第三区的部分所述初始半导体通道中具有掺杂元素,所述掺杂元素为 P 型掺杂元素或者 N 型掺杂元素。

15、如权利要求 13 所述的制造方法,其中,提供基底的步骤包括:

20 提供初始基底,所述初始基底内具有沿所述第一方向延伸的初始第一介质层;

图形化所述初始基底和所述初始第一介质层,以形成间隔排布的所述位线和所述初始半导体通道,以及位于相邻位线间的所述初始第一介质层,且所述初始第一介质层顶面不低于所述初始半导体通道顶面,所述初始半导体通道侧壁、所述初始第一介质层侧壁和所述位线的部分顶面围成沟槽,所述沟槽沿所述第二方向延伸。

16、如权利要求 15 所述的制造方法，其中，形成所述介质层、所述栅极、所述阻挡扩散层以及所述绝缘层的步骤包括：

在相邻所述位线之间以及相邻所述位线上的所述第一区的所述半导体通道间形成第一介质层；

5 在所述第一区的所述沟槽侧壁形成第二介质层；

形成第一绝缘层，所述第一绝缘层位于所述沟槽内且隔离相邻所述第二介质层，所述第一绝缘层顶面不低于所述初始半导体通道顶面；

形成第三介质层和第二绝缘层，所述第三介质层位于所述第二区的所述沟槽侧壁和所述初始第三区的所述沟槽部分侧壁，所述第二绝缘层位于所述
10 第一绝缘层和所述第三介质层之间；

在所述初始第三区的所述沟槽剩余侧壁形成扩散阻挡层，所述第一介质层、所述第二介质层和所述第三介质层构成所述介质层；所述第一绝缘层和所述第二绝缘层构成所述绝缘层。

17、如权利要求 16 所述的制造方法，形成所述第一介质层、所述第二介质层和所述第一绝缘层的步骤包括：

在所述沟槽侧壁形成初始第二介质层，相邻所述初始第二介质层间具有第一间隔；

在所述第一间隔中形成所述第一绝缘层；

以所述第一绝缘层为掩膜刻蚀所述初始第一介质层和所述初始第二介质层，以形成所述第一介质层和所述第二介质层。
20

18、如权利要求 17 所述的制造方法，其中，在形成所述第一绝缘层之前，在形成所述初始第二介质层之后，对所述初始第二介质层露出的所述位线的部分顶面进行金属硅化处理，以形成金属硅化物结构。

19、如权利要求 16 所述的制造方法，其中，形成所述第三介质层、所述栅极和所述第二绝缘层的步骤包括：

在所述第二区和所述初始第三区的所述初始半导体通道侧壁形成初始第

三介质层，所述初始第三介质层和所述第一绝缘层间具有第二间隔；

在所述第二区的所述第二间隔中形成所述栅极；

在剩余所述第二间隔中形成所述第二绝缘层；

以所述第二绝缘层为掩膜刻蚀所述初始第三介质层，以形成所述第三介

5 质层；

所述第三介质层、所述第二绝缘层和所述初始半导体通道围成凹槽，形成
填充所述凹槽的所述扩散阻挡层。

20、如权利要求 13 所述的制造方法，其中，所述绝缘层顶面高于所述金
属半导体化合物层顶面，所述绝缘层、所述金属半导体化合物层和所述扩散阻
10 挡层围成通孔，所述制造方法还包括：形成填充所述通孔的电连接层。