

数据接收电路、数据接收系统以及存储装置

交叉引用

- 5 [0001] 本申请要求于 2022 年 06 月 23 日递交的名称为“数据接收电路、数据接收系统以及存储装置”、申请号为 202210726636.9 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例涉及半导体技术领域，特别涉及一种数据接收电路、数据接收系统以及存储装置。

背景技术

- 10 [0003] 在存储器应用中，随着信号传输速率越来越快，信道损耗对信号质量的影响越来越大，容易导致码间干扰，此外，存储器中的数据接收电路接收的数据信号与参考信号之间电平值的差异会影响数据接收电路对数据信号的判断，从而影响数据接收电路输出的信号的准确性。

[0004] 目前通常利用均衡电路对信道进行补偿，均衡电路可以选择 CTLE(Continuous Time Linear Equalizer, 连续线性均衡电路)或 DFE(Decision Feedback Equalizer, 判决反馈均衡电路)。然而，目前采用的均衡电路输出的信号的准确性有待提高，均衡电路的接收性能有待提高，且均衡电路的功耗有待降低。

发明内容

- 15 [0005] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置，至少有利于在提高数据接收电路的接收性能的同时，降低数据接收电路的功耗。

- [0006] 根据本公开一些实施例，本公开实施例一方面提供一种数据接收电路，包括：第一放大模块，被配置为，接收数据信号、第一参考信号和第二参考信号，对所述数据信号以及所述第一参考信号进行第一比较，并输出第一信号对作为所述第一比较的结果，对所述数据信号以及所述第二参考信号进行第二比较，并输出第二信号对作为所述第二比较的结果，其中，所述第一参考信号的电平值与所述第二参考信号的电平值不同，所述第一信号对包括第一信号和第二信号，所述第二信号对包括第三信号和第四信号；决策均衡使能模块，被配置为，接收使能信号以及反馈信号，并输出控制信号，其中，所述反馈信号基于先前接收到的数据得到，所述使能信号具有第一电平值期间，所述控制信号的电平值跟随所述反馈信号的电平值变化而变化，所述使能信号具有第二电平值期间，所述控制信号的电平值为固定值，所述第一电平值与所述第二电平值不同；第二放大模块，被配置为，基于所述控制信号选择接收所述第一信号对或者所述第二信号对作为输入信号对，对所述输入信号对的电压差进行放大处理，并输出第一输出信号和第二输出信号作为所述放大处理的结果。
- 20
- 25

- [0007] 在一些实施例中，所述第一放大模块包括：第一比较电路，具有第一节点和第二节点，被配置为，接收所述数据信号以及所述第一参考信号并进行所述第一比较，通过所述第一节点和所述第二节点分别输出所述第一信号和所述第二信号；第二比较电路，具有第三节点和第四节点，被配置为，接收所述数据信号以及所述第二参考信号并进行所述第二比较，通过所述第三节点和所述第四节点分别输出所述第三信号和所述第四信号。
- 30

- [0008] 在一些实施例中，所述第一比较电路包括：第一电流源，被配置为，连接在电源节点与第五节点之间，响应于第一采样时钟信号向所述第五节点提供电流；第一比较单元，连接所述第一节点、所述第二节点以及所述第五节点，被配置为，接收所述数据信号以及所述第一参考信号，当所述第一电流源向所述第五节点提供电流时进行所述第一比较，并输出所述第一信号和所述第二信号；所述第二比较电路包括：第二电流源，被配置为，连接在电源节点与第六节点之间，响应于第二采样时钟信号向所述第六节点提供电流；第二比较单元，连接所述第三节点、所述第四节点以及所述第六节点，被配置为，接收所述数据信号以及所述第二参考信号，当所述第二电流源向所述第六节点提供电流时进行所述第二比较，并输出所述第三信号和所述第四信号。
- 35
- 40

[0009] 在一些实施例中，所述第一电流源包括：第一 PMOS 管，连接在所述电源节点与所述第五节点之

间, 所述第一 PMOS 管的栅极接收所述第一采样时钟信号; 所述第二电流源包括: 第二 PMOS 管, 连接在所述电源节点与所述第六节点之间, 所述第二 PMOS 管的栅极接收所述第二采样时钟信号。

[0010] 在一些实施例中, 所述第一比较单元包括: 第三 PMOS 管, 连接在所述第一节点与所述第五节点之间, 所述第三 PMOS 管的栅极接收所述数据信号; 第四 PMOS 管, 连接在所述第二节点与所述第五节点之间, 所述第四 PMOS 管的栅极接收所述第一参考信号; 所述第二比较单元包括: 第五 PMOS 管, 连接在所述第三节点与所述第六节点之间, 所述第五 PMOS 管的栅极接收所述数据信号; 第六 PMOS 管, 连接在所述第四节点与所述第六节点之间, 所述第六 PMOS 管的栅极接收所述第二参考信号。

[0011] 在一些实施例中, 所述第一放大模块还包括: 第一复位单元, 连接所述第一节点以及所述第二节点, 被配置为, 对所述第一节点和所述第二节点进行复位; 第二复位单元, 连接所述第三节点以及所述第四节点, 被配置为, 对所述第三节点和所述第四节点进行复位。

[0012] 在一些实施例中, 所述第一复位单元包括: 第一 NMOS 管, 连接在所述第一节点与地端之间, 所述第一 NMOS 管的栅极接收所述第一采样时钟信号; 第二 NMOS 管, 连接在所述第二节点与所述地端之间, 所述第二 NMOS 管的栅极接收所述第一采样时钟信号; 所述第二复位单元包括: 第三 NMOS 管, 连接在所述第三节点与所述地端之间, 所述第三 NMOS 管的栅极接收所述第二采样时钟信号; 第四 NMOS 管, 连接在所述第四节点与所述地端之间, 所述第四 NMOS 管的栅极接收所述第二采样时钟信号。

[0013] 在一些实施例中, 所述第二放大模块包括: 第一输入单元, 连接第七节点和第八节点, 被配置为, 响应于所述控制信号导通以接收所述第一信号对并进行第三比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第三比较的结果; 第二输入单元, 连接所述第七节点和所述第八节点, 被配置为, 响应于所述控制信号导通以接收所述第二信号对并进行第四比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第四比较的结果; 其中, 所述第一输入单元与所述第二输入单元基于所述控制信号择一导通; 锁存单元, 连接所述第七节点和所述第八节点, 被配置为, 对所述第七节点的信号以及所述第八节点的信号进行放大并锁存, 并分别通过第一输出节点和第二输出节点输出所述第一输出信号和所述第二输出信号。

[0014] 在一些实施例中, 所述反馈信号包括差分的第一反馈信号和第二反馈信号; 所述控制信号包括差分的第一控制信号 和第二控制信号; 所述第一输入单元响应于所述第一控制信号导通, 所述第二输入单元响应于所述第二控制信号导通; 所述决策均衡使能模块包括: 第一使能单元, 被配置为, 接收所述使能信号以及所述第一反馈信号, 并输出所述第一控制信号, 其中, 所述使能信号具有所述第一电平值期间, 所述第一控制信号的电平值跟随所述第一反馈信号的电平值变化, 所述使能信号具有所述第二电平值期间, 所述第一控制信号的电平值为固定值; 第二使能单元, 被配置为, 接收互补使能信号以及所述第二反馈信号, 并输出所述第二控制信号, 其中, 所述互补使能信号与所述使能信号互为差分信号, 所述互补使能信号具有所述第二电平值期间, 所述第二控制信号的电平值跟随所述第二反馈信号的电平值变化, 所述互补使能信号具有所述第一电平值期间, 所述第二控制信号的电平值为固定值。

[0015] 在一些实施例中, 所述决策均衡使能模块还包括: 第一与非门单元, 所述第一与非门单元接收所述使能信号以及第三采样时钟信号, 并输出所述第二采样时钟信号, 其中, 所述第三采样时钟信号与所述第一采样时钟信号的相位相反。

[0016] 在一些实施例中, 所述第一使能单元为第二与非门单元, 所述第二使能单元为或非门单元; 其中, 所述第一电平值为高电平, 所述第二电平值为低电平; 所述第二与非门单元接收所述第一反馈信号以及所述使能信号, 所述或非门单元接收所述第二反馈信号以及所述互补使能信号。

[0017] 在一些实施例中, 所述第一输入单元包括: 第五 NMOS 管和第六 NMOS 管, 所述第五 NMOS 管的漏极连接所述第七节点, 所述第五 NMOS 管的源极连接所述第六 NMOS 管的漏极, 所述第六 NMOS 管的源极连接地端, 其中, 所述第五 NMOS 管的栅极接收所述第一信号或者所述第一控制信号中的一者, 所述第六 NMOS 管的栅极接收所述第一信号或者所述第一控制信号中的另一者; 第七 NMOS 管和第八 NMOS 管, 所述第七 NMOS 管的漏极连接所述第八节点, 所述第七 NMOS 管的源极连接所述第八 NMOS 管的漏极, 所述第八 NMOS 管的源极连接所述地端, 其中, 所述第七 NMOS 管的栅极接收所述第二信号或者所

述第一控制信号中的一者, 所述第八 NMOS 管的栅极接收所述第二信号或者所述第一控制信号中的另一者; 所述第二输入单元包括: 第九 NMOS 管和第十 NMOS 管, 所述第九 NMOS 管的漏极连接所述第七节点, 所述第九 NMOS 管的源极连接所述第十 NMOS 管的漏极, 所述第十 NMOS 管的源极连接地端; 其中, 所述第九 NMOS 管的栅极接收所述第三信号或者所述第二控制信号中的一者, 所述第十 NMOS 管的栅极接收所述第三信号或者所述第二控制信号中的另一者; 第十一 NMOS 管和第十二 NMOS 管, 所述第十一 NMOS 管的漏极连接所述第八节点, 所述第十一 NMOS 管的源极连接所述第十二 NMOS 管的漏极, 所述第十二 NMOS 管的源极连接所述地端; 其中, 所述第十一 NMOS 管的栅极接收所述第四信号或者所述第二控制信号中的一者, 所述第十二 NMOS 管的栅极接收所述第四信号或者所述第二控制信号中的另一者。

[0018] 在一些实施例中, 所述锁存单元包括: 第十三 NMOS 管以及第七 PMOS 管, 所述第十三 NMOS 管的栅极以及所述第七 PMOS 管的栅极均连接所述第二输出节点, 所述第十三 NMOS 管的源极连接所述第七节点, 所述第十三 NMOS 管的漏极以及所述第七 PMOS 管的漏极均连接所述第一输出节点, 所述第七 PMOS 管的源极连接电源节点; 第十四 NMOS 管以及第八 PMOS 管, 所述第十四 NMOS 管的栅极以及所述第八 PMOS 管的栅极均连接所述第一输出节点, 所述第十四 NMOS 管的源极连接所述第八节点, 所述第十四 NMOS 管的漏极以及所述第八 PMOS 管的漏极均连接所述第二输出节点, 所述第八 PMOS 管的源极连接所述电源节点。

[0019] 在一些实施例中, 所述第二放大模块还包括: 第三复位单元, 连接在电源节点与所述锁存单元的输出端之间, 被配置为, 对所述锁存单元的输出端进行复位。

[0020] 在一些实施例中, 所述第三复位单元包括: 第九 PMOS 管, 连接在所述第一输出节点与电源节点之间, 所述第九 PMOS 管的栅极接收第四采样时钟信号; 第十 PMOS 管, 连接在所述第二输出节点与所述电源节点之间, 所述第十 PMOS 管的栅极接收所述第四采样时钟信号。

[0021] 根据本公开一些实施例, 本公开实施例另一方面还提供一种数据接收系统, 包括: 多个级联的数据传输电路, 每一所述数据传输电路包括如前述任一项所述的数据接收电路以及与所述数据接收电路连接的锁存电路; 上一级所述数据传输电路的输出信号作为下一级所述数据传输电路的所述反馈信号; 最后一级所述数据传输电路的输出信号作为第一级所述数据传输电路的所述反馈信号。

[0022] 在一些实施例中, 所述数据接收电路响应于采样时钟信号接收数据; 且所述数据接收系统包括 4 个级联的所述数据传输电路, 相邻级的所述数据接收电路的所述采样时钟信号的相位差为 90° 。

[0023] 在一些实施例中, 当前级的所述数据接收电路的所述决策均衡使能模块与前一级的所述数据接收电路的所述第二放大模块的输出端连接, 前一级的所述数据接收电路的所述第二放大模块输出的所述第一输出信号和所述第二输出信号作为后一级所述数据接收电路的所述反馈信号。

[0024] 在一些实施例中, 当前级的所述数据接收电路的所述决策均衡使能模块与前一级的所述锁存电路的输出端连接, 前一级的所述锁存电路输出的信号作为后一级所述数据接收电路的所述反馈信号。

[0025] 根据本公开一些实施例, 本公开实施例又一方面还提供一种存储装置, 包括: 多个数据端口; 多个如前述任一项所述的数据接收系统, 每一所述数据接收系统与一所述数据端口相对应。

[0026] 本公开实施例提供的技术方案至少具有以下优点:

[0027] 一方面, 在使能信号具有第一电平值期间, 控制信号的电平值跟随反馈信号的电平值变化而变化, 可以理解的是, 此时基于先前接收的反馈信号的不同, 第二放大模块可以基于不同的控制信号选择性接收第一信号对或第二信号对中的一者, 以降低接收的数据信号的码间干扰对数据接收电路的影响。另一方面, 在使能信号具有第二电平值期间, 控制信号的电平值为固定值, 可以理解的是, 此时无论先前接收的反馈信号的电平值如何变化, 第二放大模块基于电平值为固定值的控制信号仅固定接收第一信号对或第二信号对中的一者, 即用于输出第一信号对或第二信号对中的另一者的电路可以处于非工作状态, 有利于降低数据接收电路的功耗。

[0028] 如此, 可以利用决策均衡使能模块对先前接收到的反馈信号进行处理, 得到可以控制第二放大模块的控制信号, 以选择是否考虑数据接收电路接收的数据的码间干扰对数据接收电路的影响。例如, 在需

- 要降低码间干扰对数据接收电路的影响的情况下，利用决策均衡使能模块输出控制信号，该控制信号可以控制第二放大模块选择性接收的第一信号对或第二信号对中电平值差异较大的一者，以保证第二放大模块接收的是信号电平值差异较大的一对差分信号；在无需考虑码间干扰对数据接收电路的影响的情况下，利用决策均衡使能模块输出控制信号，该控制信号可以控制第二放大模块选择性接收的第一信号对或第二信号对中的固定一者，以实现在提高数据接收电路的接收性能的同时，降低数据接收电路的功耗的效果。

附图说明

- [0029] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0030] 图 1 为本公开一实施例提供的数据接收电路的一种功能框图；
- [0031] 图 2 为本公开另一实施例提供的数据接收系统的功能框图；
- [0032] 图 3 至图 5 为本公开一实施例提供的数据接收电路的另外三种功能框图；
- [0033] 图 6 为本公开一实施例提供的数据接收电路中第一放大模块和部分决策均衡使能模块的一种电路结构示意图；
- [0034] 图 7 为本公开一实施例提供的数据接收电路中第二放大模块和部分决策均衡使能模块的一种电路结构示意图。

具体实施方式

- [0035] 本公开实施提供一种数据接收电路、数据接收系统以及存储装置，数据接收电路中，可以利用决策均衡使能模块对先前接收到的反馈信号进行处理，得到可以控制第二放大模块的控制信号，以选择是否考虑数据接收电路接收的数据的码间干扰对数据接收电路的影响。例如，在需要降低码间干扰对数据接收电路的影响时，利用决策均衡使能模块输出控制信号，该控制信号可以控制第二放大模块选择性接收的第一信号对或第二信号对中电平值差异较大的一者，以保证第二放大模块接收的是信号电平值差异较大的一对差分信号；；在无需考虑码间干扰对数据接收电路的影响时，利用决策均衡使能模块输出控制信号，该控制信号可以控制第二放大模块选择性接收的第一信号对或第二信号对中的固定一者，以实现在提高数据接收电路的接收性能的同时，降低数据接收电路的功耗的效果。
- [0036] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。
- [0037] 本公开一实施例提供一种数据接收电路，以下将结合附图对本公开一实施例提供的数据接收电路进行详细说明。图 1 和图 3 至图 5 为本公开一实施例提供的数据接收电路的四种功能框图；图 6 为本公开一实施例提供的数据接收电路中第一放大模块和部分决策均衡使能模块的一种电路结构示意图；图 7 为本公开一实施例提供的数据接收电路中第二放大模块和部分决策均衡使能模块的一种电路结构示意图。
- [0038] 参考图 1 和图 3，数据接收电路 100 包括：第一放大模块 101，被配置为，接收数据信号 DQ、第一参考信号 VR+ 和第二参考信号 VR-，对数据信号 DQ 以及第一参考信号 VR+ 进行第一比较，并输出第一信号对作为第一比较的结果，对数据信号 DQ 以及第二参考信号 VR- 进行第二比较，并输出第二信号对作为第二比较的结果；其中，第一参考信号 VR+ 的电平值与第二参考信号 VR- 的电平值不同，第一信号对包括第一信号 Sn+ 和第二信号 Sp+，第二信号对包括第三信号 Sn- 和第四信号 Sp-；决策均衡使能模块 103，被配置为，接收使能信号 EnDfe 以及反馈信号 fb，并输出控制信号 fb control，其中，反馈信号 fb 基于先前接收到的数据得到，使能信号 EnDfe 具有第一电平值期间，控制信号 fb control 的电平值跟随反馈信号 fb 的电平值变化而变化，使能信号 EnDfe 具有第二电平值期间，控制信号 fb control 的电平值为固定值，

第一电平值与第二电平值不同；第二放大模块 102，被配置为，基于控制信号 fb control 选择接收所述第一信号对或者所述第二信号对作为输入信号对，对输入信号对的电压差进行放大处理，并输出第一输出信号 Vout 和第二输出信号 VoutN 作为所述放大处理的结果。

5 [0039] 可以理解的是，在使能信号 EnDfe 具有第一电平值期间，控制信号 fb control 的电平值跟随反馈信号 fb 的电平值变化而变化，此时基于先前接收的反馈信号 fb 的不同，第二放大模块 102 可以基于不同的控制信号 fb control 选择性接收第一信号对或第二信号对中电平值差异较大的一者，以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号，以降低接收的数据信号的码间干扰对数据接收电路 100 的影响。

10 [0040] 需要说明的是，第一参考信号 VR+ 的电平值与第二参考信号 VR- 的电平值不同，则针对不同电平值的数据信号 DQ，可以满足数据信号 DQ 与第一参考信号 VR+ 或第二参考信号 VR- 中的一者的电平值差异较大，有利于第一放大模块 101 对其电平值差异进行放大，使得第一放大模块 101 输出的第一信号对和第二信号对中的至少一者中的信号的电平值差异较大，则在数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时，有利于后续第二放大模块 102 基于控制信号 fb control 接收第一信号对和第二信号对中电平值差异较大的一对信号。可以理解的是，数据接收电路 100 利用第一参考信号 VR+ 和第二参考信号 VR- 15 可以提高数据接收电路 100 对接收到的数据信号 DQ 的调整能力，即在数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时，使得第二放大模块 102 基于控制信号 fb control 接收第一放大模块 101 中对数据信号 DQ 处理更优的一对信号，对数据信号 DQ 处理更优的一对信号对即为第一信号对和第二信号对中电平值差异较大的一对信号，从而实现降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的。

20 [0041] 此外，第二放大模块 102 基于控制信号 fb control 选择接收第一信号对和第二信号对中电平值差异较大的一者，有利于保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号，从而有利于提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。因此，通过第一放大模块 101、第二放大模块 102 以及决策均衡使能模块 103 的配合有利于提高数据接收电路 100 的接收性能。

25 [0042] 另一方面，在使能信号 EnDfe 具有第二电平值期间，控制信号 fb control 的电平值为固定值，可以理解的是，此时无论先前接收的反馈信号 fb 的电平值如何变化，第二放大模块 102 基于电平值为固定值的控制信号 fb control 仅固定接收第一信号对或第二信号对中的一者，即用于输出第一信号对或第二信号对中的另一者的电路可以处于非工作状态，从而有利于降低数据接收电路的功耗。

30 [0043] 基于上述分析可知，可以利用决策均衡使能模块 103 对先前接收到的反馈信号 fb 进行处理，得到可以控制第二放大模块 102 的控制信号 fb control，以选择是否考虑数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响，以实现在提高数据接收电路 100 的接收性能的同时，降低数据接收电路 100 的功耗的效果。

[0044] 关于数据接收电路 100 如何降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响，以下结合一个具体的例子对其进行详细说明。

35 [0045] 在一些实施例中，第一参考信号 VR+ 的电平值低于第二参考信号 VR- 的电平值，若数据信号 DQ 为低电平，且数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时，第二放大模块 102 基于控制信号 fb control 接收的是第二信号对，此时数据信号 DQ 与第二参考信号 VR- 之间的电平值差异大于数据信号 DQ 与第一参考信号 VR+ 之间的电平值差异，即第二信号对中信号的电平值差异大于第一信号对中信号的电平值差异，因而第二放大模块 102 接收第二信号对有利于输出符合要求的第一输出信号 Vout 和第二输出信号 VoutN，即保证第一输出信号 Vout 和第二输出信号 VoutN 的准确性，从而有利于降低接收的数据信号 40 DQ 的码间干扰对数据接收电路 100 的影响。

[0046] 此外，若数据信号 DQ 为高电平，且数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时，第二放大模块 102 基于控制信号 fb control 接收的是第一信号对，此时数据信号 DQ 与第一参考信号 VR+ 之间的电平值差异大于数据信号 DQ 与第二参考信号 VR- 之间的电平值差异，即第一信号对中信号的电平值差异大于第二信号对中信号的电平值差异，因而第二放大模块 102 接收第一信号对有利于输出符合要求

的第一输出信号 Vout 和第二输出信号 VoutN, 即保证第一输出信号 Vout 和第二输出信号 VoutN 的准确性, 从而有利于降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

[0047] 可见, 在使能信号 EnDfe 具有第一电平期间, 控制信号 fb control 的电平值跟随反馈信号 fb 的电平值变化而变化的情形下, 通过第一放大模块 101 和第二放大模块 102 的配合, 在数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时, 可以使得第二放大模块 102 基于控制信号 fb control 选择性接收第一放大模块 101 中对数据信号 DQ 处理更优的一对信号对, 以提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性, 从而降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

[0048] 在一些实施例中, 参考图 3 至图 5, 第一放大模块 101 包括: 第一比较电路 111, 具有第一节点 net1 和第二节点 net2, 被配置为, 接收数据信号 DQ 以及第一参考信号 VR+ 并进行第一比较, 通过第一节点 net1 和第二节点 net2 分别输出第一信号 Sn+ 和第二信号 Sp+; 第二比较电路 121, 具有第三节点 net3 和第四节点 net4, 被配置为, 接收数据信号 DQ 以及第二参考信号 VR- 并进行第二比较, 通过第三节点 net3 和第四节点 net4 分别输出第三信号 Sn- 和第四信号 Sp-。

[0049] 可以理解的是, 第一信号 Sn+ 和第二信号 Sp+ 受数据信号 DQ 与第一参考信号 VR+ 的影响, 第三信号 Sn- 和第四信号 Sp- 受数据信号 DQ 与第二参考信号 VR- 的影响。因而, 后续当第二放大模块 102 基于控制信号 fb control 接收第一信号对以输出第一输出信号 Vout 以及第二输出信号 VoutN 时, 第一输出信号 Vout 以及第二输出信号 VoutN 受第一信号 Sn+ 和第二信号 Sp+ 的影响; 当第二放大模块 102 基于控制信号 fb control 接收第二信号对以输出第一输出信号 Vout 以及第二输出信号 VoutN 时, 第一输出信号 Vout 以及第二输出信号 VoutN 受第三信号 Sn- 和第四信号 Sp- 的影响。

[0050] 可见, 在需要降低码间干扰对数据接收电路 100 的影响时, 无论第一放大模块 101 接收的数据信号 DQ 是高电平还是低电平, 第一信号 Sn+ 和第二信号 Sp+ 之间的电平值差异与第三信号 Sn- 和第四信号 Sp- 之间的电平值差异中的一者会更大, 第二放大模块 102 可以基于控制信号 fb control 可以选择性选择第一信号对和第二信号对中电压差更大的一者, 以进一步调整受该信号对影响的第一输出信号 Vout 以及第二输出信号 VoutN。

[0051] 在一些实施例中, 参考图 3 至图 5, 第一比较电路包括: 第一比较电路 111 可以包括: 第一电流源 1111, 被配置为, 连接在电源节点 Vcc (参考图 6) 与第五节点 net5 之间, 响应于第一采样时钟信号 clk1 向第五节点 net5 提供电流; 第一比较单元 1112, 连接第一节点 net1、第二节点 net2 以及第五节点 net5, 被配置为, 接收数据信号 DQ 以及第一参考信号 VR+, 当第一电流源 1111 向第五节点 net5 提供电流时进行第一比较, 并输出第一信号 Sn+ 和第二信号 Sp+; 第二比较电路 121 可以包括: 第二电流源 1211, 被配置为, 连接在电源节点 Vcc 与第六节点 net6 之间, 响应于第二采样时钟信号 clk2 向第六节点 net6 提供电流; 第二比较单元 1212, 连接第三节点 net3、第四节点 net4 以及第六节点 net6, 被配置为, 接收数据信号 DQ 以及第二参考信号 VR-, 当第二电流源 1211 向第六节点 net6 提供电流时进行第二比较, 并输出第三信号 Sn- 和第四信号 Sp-。

[0052] 可以理解的是, 第一比较单元 1112 可以基于数据信号 DQ 和第一参考信号 VR+ 之间的电压差, 控制提供给第一节点 net1 处的电流与提供给第二节点 net2 处的电流的差异, 以输出第一信号 Sn+ 和第二信号 Sp+; 第二比较单元 1212 可以基于数据信号 DQ 和第二参考信号 VR- 之间的电压差, 控制提供给第三节点 net3 处的电流与提供给第四节点 net4 处的电流的差异, 以输出第三信号 Sn- 和第四信号 Sp-。

[0053] 在一些实施例中, 第一电流源 1111 的电路结构与第二电流源 1211 的电路结构相同; 第一比较单元 1112 的电路结构与第二比较单元 1212 的电路结构相同。如此, 有利于使得第一比较电路 111 输出的第一信号对与第二比较电路 121 输出的第二信号对的差异主要受第一参考信号 VR+ 和第二参考信号 VR- 的影响, 进一步有利于数据接收电路 100 基于第一参考信号 VR+ 和第二参考信号 VR- 降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响, 以进一步提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。

[0054] 在一些实施例中, 参考图 6, 第一电流源 1111 可以包括: 第一 PMOS 管 MP1, 连接在电源节点

Vcc 与第五节点 net5 之间, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 clk1; 第二电流源 1211 包括: 第二 PMOS 管 MP2, 连接在电源节点 Vcc 与第六节点 net6 之间, 第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 clk2。在第一采样时钟信号 clk1 为低电平时, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 clk1 以导通, 向第五节点 net5 提供电流, 使得第一比较单元 1112 处于工作状态, 对接收的数据信号 DQ 和第一参考信号 VR+ 进行第一比较; 在第二采样时钟信号 clk2 为低电平时, 第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 clk2 以导通, 向第六节点 net6 提供电流, 使得第二比较单元 1212 处于工作状态, 对接收的数据信号 DQ 和第二参考信号 VR- 进行第二比较。

[0055] 需要说明的是, 在需要降低码间干扰对数据接收电路的影响时, 第一采样时钟信号 clk1 和第二采样时钟信号 clk2 可以为同一时钟信号, 也可以为相位相同但振幅不同的不同时钟信号, 使得第一 PMOS 管 MP1 和第二 PMOS 管 MP2 同时导通, 以使得第一比较单元 1112 和第二比较单元 1212 均处于工作状态, 后续第二放大模块 102 可以基于变化的控制信号 fb control 选择性接收第一信号对或第二信号对中的一者, 以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。此外, 在无需考虑码间干扰对数据接收电路 100 的影响时, 第一采样时钟信号 clk1 和第二采样时钟信号 clk2 中的一者为固定高电平, 另一者为时钟信号, 即需要第一 PMOS 管 MP1 和第二 PMOS 管 MP2 中的一者始终关断, 另一者响应于时钟信号导通, 以使得第一比较单元 1112 和第二比较单元 1212 中的一者处于工作状态即可, 以降低数据接收电路 100 的功耗。

[0056] 在一些实施例中, 继续参考图 6, 第一比较单元 1112 可以包括: 第三 PMOS 管 MP3, 连接在第一节点 net1 与第五节点 net5 之间, 第三 PMOS 管 MP3 的栅极接收数据信号 DQ; 第四 PMOS 管 MP4, 连接在第二节点 net2 与第五节点 net5 之间, 第四 PMOS 管 MP4 的栅极接收第一参考信号 VR+; 第二比较单元 1212 可以包括: 第五 PMOS 管 MP5, 连接在第三节点 net3 与第六节点 net6 之间, 第五 PMOS 管 MP5 的栅极接收数据信号 DQ; 第六 PMOS 管 MP6, 连接在第四节点 net4 与第六节点 net6 之间, 第六 PMOS 管 MP6 的栅极接收第二参考信号 VR-。

[0057] 需要说明的是, 对于第一比较单元 1112 而言, 数据信号 DQ 和第一参考信号 VR+ 的电平值变化不同步, 使得接收数据信号 DQ 的第三 PMOS 管 MP3 的导通时刻不同于接收第一参考信号 VR+ 的第四 PMOS 管 MP4 的导通时刻, 且同一时刻下, 第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度。可以理解的是, 基于第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度, 第三 PMOS 管 MP3 与第四 PMOS 管 MP4 对第五节点 net5 处的电流的分流能力也不同, 使得第一节点 net1 处的电压与第二节点 net2 处的电压不同, 有利于输出第一信号 Sn+ 和第二信号 Sp+ 为第一信号对。

[0058] 对于第二比较单元 1212 而言, 数据信号 DQ 和第二参考信号 VR- 的电平值变化不同步, 使得接收数据信号 DQ 的第五 PMOS 管 MP5 的导通时刻不同于接收第二参考信号 VR- 的第六 PMOS 管 MP6 的导通时刻, 且同一时刻下, 第五 PMOS 管 MP5 的导通程度不同于第六 PMOS 管 MP6 的导通程度。可以理解的是, 基于第五 PMOS 管 MP5 的导通程度不同于第六 PMOS 管 MP6 的导通程度, 第五 PMOS 管 MP5 与第六 PMOS 管 MP6 对第六节点 net6 处的电流的分流能力也不同, 使得第三节点 net3 处的电压与第四节点 net4 处的电压不同, 有利于输出第三信号 Sn- 和第四信号 Sp- 为第二信号对。

[0059] 在一个例子中, 数据信号 DQ 的电平值低于第一参考信号 VR+ 的电平值时, 第三 PMOS 管 MP3 的导通程度大于第四 PMOS 管 MP4 的导通程度, 使得第五节点 net5 处的电流更多的流入第三 PMOS 管 MP3 所在的通路, 使得第一节点 net1 处的电流大于第二节点 net2 处的电流, 从而进一步使得第一节点 net1 输出的第一信号 Sn+ 的电平值高, 第二节点 net2 输出的第二信号 Sp+ 的电平值低; 数据信号 DQ 的电平值低于第二参考信号 VR- 的电平值时, 第五 PMOS 管 MP5 的导通程度大于第六 PMOS 管 MP6 的导通程度, 使得第六节点 net6 处的电流更多的流入第五 PMOS 管 MP5 所在的通路, 使得第三节点 net3 处的电流大于第四节点 net4 处的电流, 从而进一步使得第三节点 net3 输出的第三信号 Sn- 的电平值高, 第四节点 net4 输出的第四信号 Sp- 的电平值低。

[0060] 同理, 数据信号 DQ 的电平值高于第一参考信号 VR+ 的电平值时, 第三 PMOS 管 MP3 的导通程度小于第四 PMOS 管 MP4 的导通程度, 第一节点 net1 输出的第一信号 Sn+ 的电平值低, 第二节点 net2 输出的第二信号 Sp+ 的电平值高; 数据信号 DQ 的电平值高于第二参考信号 VR- 的电平值时, 第五 PMOS 管

MP5 的导通程度小于第六 PMOS 管 MP6 的导通程度,第三节点 net3 输出的第三信号 Sn 的电平值低,第四节点 net4 输出的第四信号 Sp 的电平值高。

[0061] 在一些实施例中,参考图 3 和图 5,第一放大模块 101 还可以包括:第一复位单元 131,连接第一节点 net1 以及第二节点 net2,被配置为,对第一节点 net1 和第二节点 net2 进行复位;第二复位单元 141,连接第三节点 net3 以及第四节点 net4,被配置为,对第三节点 net3 和第四节点 net4 进行复位。如此,在数据接收电路 100 完成一次数据信号 DQ、第一参考信号 VR+ 和第二参考信号 VR- 的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后,可以通过第一复位单元 131 将第一节点 net1 和第二节点 net2 处的电平值恢复为初始值,并通过第二复位单元 141 将第三节点 net3 和第四节点 net4 处的电平值恢复为初始值,以便于后续数据接收电路 100 进行下一次数据接收以及处理。

[0062] 在一些实施例中,继续参考图 6,第一复位单元 131 包括:第一 NMOS 管 MN1,连接在第一节点 net1 与地端之间,第一 NMOS 管 MN1 的栅极接收第一采样时钟信号 clk1;第二 NMOS 管 MN2,连接在第二节点 net2 与地端之间,第二 NMOS 管 MN2 的栅极接收第一采样时钟信号 clk1;第二复位单元 141 可以包括:第三 NMOS 管 MN3,连接在第三节点 net3 与地端之间,第三 NMOS 管 MN3 的栅极接收第二采样时钟信号 clk2;第四 NMOS 管 MN4,连接在第四节点 net4 与地端之间,第四 NMOS 管 MN4 的栅极接收第二采样时钟信号 clk2。

[0063] 在一个例子中,在需要降低码间干扰对数据接收电路的影响时,若第一采样时钟信号 clk1 和第二采样时钟信号 clk2 均为低电平,第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通,此时第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均关断,以保证数据接收电路 100 的正常工作,同时,第一 NMOS 管 MN1 和第二 NMOS 管 MN2 可以作为第一比较单元 1112 的负载,以增加第一比较单元 1112 的放大增益,第三 NMOS 管 MN3 和第四 NMOS 管 MN4 可以作为第二比较单元 1212 的负载,以增加第二比较单元 1212 的放大增益;若第一采样时钟信号 clk1 和第二采样时钟信号 clk2 均为高电平,第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均关断,第一比较单元 1112 和第二比较单元 1212 中均没有电流通过,此时第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均导通,以下拉第一节点 net1 处的电压、第二节点 net2 处的电压、第三节点 net3 处的电压以及第四节点 net4 处的电压,实现对第一节点 net1、第二节点 net2、第三节点 net3 以及第四节点 net4 的复位。

[0064] 此外,在无需考虑码间干扰对数据接收电路 100 的影响时,若第一采样时钟信号 clk1 为低电平,第二采样时钟信号 clk2 为高电平,第一 PMOS 管 MP1 导通,第二 PMOS 管 MP2 断开,此时第一 NMOS 管 MN1 和第二 NMOS 管 MN2 均关断,以保证第一比较电路 111 的正常工作,同时,第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均导通,以下拉第三节点 net3 处的电压以及第四节点 net4 处的电压,实现对第三节点 net3 以及第四节点 net4 的复位,以降低数据接收电路 100 的功耗;或者,若第一采样时钟信号 clk1 为高电平,第二采样时钟信号 clk2 为低电平时,第一 PMOS 管 MP1 断开,第二 PMOS 管 MP2 导通,此时第一 NMOS 管 MN1 和第二 NMOS 管 MN2 均导通,以下拉第一节点 net1 处的电压以及第二节点 net2 处的电压,实现对第一节点 net1 以及第二节点 net2 的复位,以降低数据接收电路 100 的功耗,同时,第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均断开,以保证第二比较电路 121 的正常工作。

[0065] 在一些实施例中,参考图 7,第二放大模块 102 可以包括:第一输入单元 112,连接第七节点 net7 和第八节点 net8,被配置为,响应于控制信号 fb control 导通以接收第一信号对并对第一信号对进行第三比较,并分别向第七节点 net7 和第八节点 net8 提供信号作为第三比较的结果;第二输入单元 122,连接第七节点 net7 和第八节点 net8,被配置为,响应于控制信号 fb control 导通以接收第二信号对并进行第四比较,并分别向第七节点 net7 和第八节点 net8 提供信号作为第四比较的结果;其中,第一输入单元 112 与第二输入单元 122 基于控制信号 fb control 择一导通;锁存单元 132,连接第七节点 net7 和第八节点 net8,被配置为,对第七节点 net7 的信号以及第八节点 net8 的信号进行放大并锁存,并分别通过第一输出节点 net9 和第二输出节点 net10 输出第一输出信号 Vout 和第二输出信号 VoutN。

[0066] 其中,锁存单元 132 用于根据第七节点 net7 的信号以及第八节点 net8 的信号向第一输出节点 net9 输出高电平信号、向第二输出节点 net10 输出低电平信号,或者向第一输出节点 net9 输出低电平信号、向

第二输出节点 net10 输出高电平信号。

[0067] 在一些实施例中,参考图 4 和图 5,反馈信号 fb 可以包括差分的第一反馈信号 fbp 和第二反馈信号 fbn;控制信号 fb control 包括差分的第一控制信号 fbp control 和第二控制信号 fbn control;第一输入单元 112 响应于第一控制信号 fbp control 导通,第二输入单元 122 响应于第二控制信号 fbn control 导通;决策均衡使能模块 103 可以包括:第一使能单元 113,被配置为,接收使能信号 EnDfe 以及第一反馈信号 fbp,并输出第一控制信号 fbp control,其中,使能信号 EnDfe 具有第一电平值期间,第一控制信号 fbp control 的电平值跟随第一反馈信号 fbp 的电平值变化,使能信号 EnDfe 具有第二电平值期间,第一控制信号 fbp control 的电平值为固定值;第二使能单元 123,被配置为,接收互补使能信号 EnDfeN 以及第二反馈信号 fbn,并输出第二控制信号 fbn control,其中,互补使能信号 EnDfeN 与使能信号 EnDfe 互为差分信号,互补使能信号 EnDfeN 具有第二电平值期间,第二控制信号 fbn control 的电平值跟随第二反馈信号 fbn 的电平值变化,互补使能信号 EnDfeN 具有第一电平值期间,第二控制信号 fbn control 的电平值为固定值。

[0068] 在一个例子中,第一控制信号 fbp control 为高电平,第二控制信号 fbn control 为低电平时,第一输入单元 112 响应于第一控制信号 fbp control 导通,此时第二输入单元 122 响应于第二控制信号 fbn control 断开,即第一输出信号 Vout 和第二输出信号 VoutN 是基于第一输入单元 112 接收的第一信号 Sn+ 和第二信号 Sp+ 得到的;在另一个例子中,第一控制信号 fbp control 为低电平,第二控制信号 fbn control 为高电平时,第一输入单元 112 响应于第一控制信号 fbp control 断开,此时第二输入单元 122 响应于第二控制信号 fbn control 导通,即第一输出信号 Vout 和第二输出信号 VoutN 是基于第二输入单元 122 接收的第二信号 Sn- 和第四信号 Sp- 得到的。

[0069] 需要说明的是,在一个例子中,使能信号 EnDfe 和互补使能信号 EnDfeN 的第一电平值期间指的是:使得第一使能单元 113 判断使能信号 EnDfe 为逻辑电平 1,以及使得第二使能信号 123 判断互补使能信号 EnDfeN 为逻辑电平 1 的电平值范围,即高电平;使能信号 EnDfe 和互补使能信号 EnDfeN 的第二电平值期间指的是:使得第一使能单元 113 判断使能信号 EnDfe 为逻辑电平 0,以及使得第二使能信号 123 判断互补使能信号 EnDfeN 为逻辑电平 0 的电平值范围,即低电平。

[0070] 可以理解的是,当使能信号 EnDfe 为逻辑电平 1,互补使能信号 EnDfeN 为逻辑电平 0 时,第一控制信号 fbp control 的电平值跟随第一反馈信号 fbp 的电平值变化,且第二控制信号 fbn control 的电平值跟随第二反馈信号 fbn 的电平值变化,此时可以使得第一比较单元 1112 和第二比较单元 1212 均处于工作状态,后续第二放大模块 102 可以基于变化的控制信号 fb control 选择性接收第一信号对或第二信号对中电平值差异较大的一者,以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号,以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响;当使能信号 EnDfe 为逻辑电平 0,互补使能信号 EnDfeN 为逻辑电平 1 时,第一控制信号 fbp control 的电平值为固定值,且第二控制信号 fbn control 的电平值为固定值,此时可以使得第一 PMOS 管 MP1 和第二 PMOS 管 MP2 中的一者导通,以使得第一比较单元 1112 和第二比较单元 1212 中的一者处于工作状态,使得第二放大模块 102 固定接收第一信号对或第二信号对中的一者,以降低数据接收电路 100 的功耗。

[0071] 需要说明的是,决策均衡使能模块 103 可以基于接收的使能信号 EnDfe 给自身提供互补使能信号 EnDfeN,在实际应用中,互补使能信号 EnDfeN 也可由其他模块提供给决策均衡使能模块 103。

[0072] 在一些实施例中,参考图 5,决策均衡使能模块 103 还可以包括:第一与非门单元 113,第一与非门单元 113 接收使能信号 EnDfe 以及第三采样时钟信号 clk3,并输出第二采样时钟信号 clk2,其中,第三采样时钟信号 clk3 与第一采样时钟信号 clk1 的相位相反。

[0073] 在一个例子中,在需要降低码间干扰对数据接收电路的影响时,控制使能信号 EnDfe 为逻辑电平 1,互补使能信号 EnDfeN 为逻辑电平 0,当第一采样时钟信号 clk1 为低电平,第三采样时钟信号 clk3 为高电平时,第一与非门单元 113 输出的第二采样时钟信号 clk2 为低电平,则第一 PMOS 管 MP1 响应于此时的第一采样时钟信号 clk1 导通,第二 PMOS 管 MP2 响应于此时的第二采样时钟信号 clk2 导通,此时第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均关断。

[0074] 在无需考虑码间干扰对数据接收电路 100 的影响时,控制使能信号 EnDfe 为逻辑电平 0,互补使

能信号 EnDfeN 为逻辑电平 1, 则第一与非门单元 113 输出的第二采样时钟信号 clk2 为高电平, 则第一 PMOS 管 MP11 响应于此时的第一采样时钟信号 clk1 导通, 第二 PMOS 管 MP2 响应于此时的第二采样时钟信号 clk2 断开, 此时第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均导通, 以下拉第三节点 net3 处的电压以及第四节点 net4 处的电压, 以降低数据接收电路 100 的功耗。

5 [0075] 在一些实施例中, 参考图 7, 第一使能单元 113 可以为第二与非门单元 143, 第二使能单元 123 可以为或非门单元 153; 其中, 第一电平值为高电平, 第二电平值为低电平; 第二与非门单元 143 接收第一反馈信号 fbp 以及使能信号 EnDfe, 或非门单元 153 接收第二反馈信号 fbn 以及互补使能信号 EnDfeN。

[0076] 在一个例子中, 在需要降低码间干扰对数据接收电路的影响时, 使能信号 EnDfe 为逻辑电平 1, 互补使能信号 EnDfeN 为逻辑电平 0, 若第一反馈信号 fbp 为高电平, 第二反馈信号 fbn 为低电平, 则第二
10 与非门单元 143 输出的第一控制信号 fbp control 为低电平, 或非门单元 153 输出的第二控制信号 fbn control 为高电平; 若第一反馈信号 fbp 为低电平, 第二反馈信号 fbn 为高电平, 则第二与非门单元 143 输出的第一控制信号 fbp control 为高电平, 或非门单元 153 输出的第二控制信号 fbn control 为低电平。如此, 实现使能信号 EnDfe 具有第一电平值期间, 第一控制信号 fbp control 的电平值跟随第一反馈信号 fbp 的电平值变化, 且互补使能信号 EnDfeN 具有第二电平值期间, 第二控制信号 fbn control 的电平值跟随第二反馈信号 fbn 的电平值变化。
15

[0077] 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为逻辑电平 0, 互补使能信号 EnDfeN 为逻辑电平 1, 此时无论第一反馈信号 fbp 为高电平还是低电平, 第二反馈信号 fbn 为低电平还是高电平, 第二与非门单元 143 输出的第一控制信号 fbp control 均为高电平, 或非门单元 153 输出的第二控制信号 fbn control 均为低电平。如此, 实现互补使能信号 EnDfeN 具有第二电平值期间, 第一控制信号
20 fbp control 的电平值为固定值, 互补使能信号 EnDfeN 具有第一电平值期间, 第二控制信号 fbn control 的电平值为固定值。

[0078] 需要说明的是, 在实际应用中, 第一使能单元可以为或非门单元, 第二使能单元可以为第二与非门单元; 其中, 第一电平值为低电平, 第二电平值为高电平; 或非门单元接收第一反馈信号以及使能信号, 第二与非门单元接收第二反馈信号以及互补使能信号, 此时, 在需要降低码间干扰对数据接收电路的影响
25 时, 使能信号 EnDfe 为逻辑电平 0, 互补使能信号 EnDfeN 为逻辑电平 1。

[0079] 在一些实施例中, 继续参考图 7, 第一输入单元 112 可以包括: 第五 NMOS 管 MN5 和第六 NMOS 管 MN6, 第五 NMOS 管 MN5 的漏极连接第七节点 net7, 第五 NMOS 管 MN5 的源极连接第六 NMOS 管 MN6 的漏极, 第六 NMOS 管 MN6 的源极连接地端, 其中, 第五 NMOS 管 MN5 的栅极接收第一信号 Sn+ 或者第一控制信号 fbp control 中的一者, 第六 NMOS 管 MN6 的栅极接收第一信号 Sn+ 或者第一控制信号
30 fbp control 中的另一者; 第七 NMOS 管 MN7 和第八 NMOS 管 MN8, 第七 NMOS 管 MN7 的漏极连接第八节点 net8, 第七 NMOS 管 MN7 的源极连接第八 NMOS 管 MN8 的漏极, 第八 NMOS 管 MN8 的源极连接所述地端, 其中, 第七 NMOS 管 MN7 的栅极接收第二信号 Sp+ 或者第一控制信号 fbp control 中的一者, 第八 NMOS 管 MN8 的栅极接收第二信号 Sp+ 或者第一控制信号 fbp control 中的另一者。

[0080] 第二输入单元 122 可以包括: 第九 NMOS 管 MN9 和第十 NMOS 管 MN10, 第九 NMOS 管 MN9 的漏极连接第七节点 net7, 第九 NMOS 管 MN9 的源极连接第十 NMOS 管 MN10 的漏极, 第十 NMOS 管 MN10 的源极连接地端; 其中, 第九 NMOS 管 MN9 的栅极接收第三信号 Sn- 或者第二控制信号 fbn control 中的一者, 第十 NMOS 管 MN10 的栅极接收第三信号 Sn- 或者第二控制信号 fbn control 中的另一者; 第十一 NMOS 管 MN11 和第十二 NMOS 管 MN12, 第十一 NMOS 管 MN11 的漏极连接第八节点 net8, 第十一 NMOS 管 MN11 的源极连接第十二 NMOS 管 MN12 的漏极, 第十二 NMOS 管 MN12 的源极连接地端; 其中, 第十一 NMOS 管 MN11 的栅极接收第四信号 Sp- 或者第二控制信号 fbn control 中的一者, 第十二 NMOS
40 管 MN12 的栅极接收第四信号 Sp- 或者第二控制信号 fbn control 中的另一者。

[0081] 需要说明的是, 图 7 中以第五 NMOS 管 MN5 的栅极接收第一控制信号 fbp control, 第六 NMOS 管 MN6 的栅极接收第一信号 Sn+, 第七 NMOS 管 MN7 的栅极接收第一控制信号 fbp control, 第八 NMOS 管 MN8 的栅极接收第二信号 Sp+ 为示例, 在实际应用中, 也可以是第五 NMOS 管 MN5 的栅极接收第一

信号 Sn+, 第六 NMOS 管 MN6 的栅极接收第一控制信号 fbp control, 第七 NMOS 管 MN7 的栅极接收第二信号 Sp+, 第八 NMOS 管 MN8 的栅极接收第一控制信号 fbp control。此外, 图 7 中以第九 NMOS 管 MN9 的栅极接收第二控制信号 fbn control, 第十 NMOS 管 MN10 的栅极接收第三信号 Sn-, 第十一 NMOS 管 MN11 的栅极接收第二控制信号 fbn control, 第十二 NMOS 管 MN12 的栅极接收第四信号 Sp- 为例, 在实际应用中, 也可以是第九 NMOS 管 MN9 的栅极接收第三信号 Sn-, 第十 NMOS 管 MN10 的栅极接收第二控制信号 fbn control, 第十一 NMOS 管 MN11 的栅极接收第四信号 Sp-, 第十二 NMOS 管 MN12 的栅极接收第二控制信号 fbn control。

[0082] 在一个例子中, 数据信号 DQ 的电平值高于第一参考信号 VR+的电平值时, 第一信号 Sn+的电平值低, 第二信号 Sp+的电平值高, 若此时第一输入单元 112 响应于第一控制信号 fbp control 导通, 第六 NMOS 管 MN6 的栅极接收第一信号 Sn+, 第八 NMOS 管 MN8 的栅极接收第二信号 Sp+, 则第八 NMOS 管 MN8 的导通程度大于第六 NMOS 管 MN6 的导通程度, 使得第八节点 net8 处的电压小于第七节点 net7 处的电压, 从而使得第十四 NMOS 管 MN14 的导通程度大于第十三 NMOS 管 MN13 的导通程度, 第二输出节点 net10 处的电压小于第一输出节点 net9 处的电压, 则第八 PMOS 管 MP8 的导通程度小于第七 PMOS 管 MP7 的导通程度, 锁存单元 132 形成正反馈放大, 进一步使得第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为低电平。同理, 数据信号 DQ 的电平值低于第一参考信号 VR+的电平值时, 第一信号 Sn+的电平值高, 第二信号 Sp+的电平值低, 若此时第一输入单元 112 响应于第一控制信号 fbp control 导通, 第一输出节点 net9 输出的第一输出信号 Vout 为低电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为高电平。

[0083] 在一个例子中, 数据信号 DQ 的电平值高于第二参考信号 VR-的电平值时, 第三信号 Sn-的电平值低, 第四信号 Sp-的电平值高, 若此时第二输入单元 122 响应于第二控制信号 fbn control 导通, 第十 NMOS 管 MN10 的栅极接收第三信号 Sn-, 第十二 NMOS 管 MN12 的栅极接收第四信号 Sp-, 则第十二 NMOS 管 MN12 的导通程度大于第十 NMOS 管 MN10 的导通程度, 使得第八节点 net8 处的电压小于第七节点 net7 处的电压, 从而使得第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为低电平。同理, 数据信号 DQ 的电平值低于第二参考信号 VR-的电平值时, 第三信号 Sn-的电平值高, 第四信号 Sp-的电平值低, 若此时第二输入单元 122 响应于第二控制信号 fbn control 导通, 第一输出节点 net9 输出的第一输出信号 Vout 为低电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为高电平。

[0084] 需要说明的是, 多个数据接收电路 100 级联时, 反馈信号 fb 基于先前接收到的数据得到指的是: 上一级的数据接收电路 100 输出的第一输出信号 Vout 和第二输出信号 VoutN 作为下一级的数据接收电路 100 的反馈信号 fb, 下一级的数据接收电路 100 中的决策均衡使能模块 103 基于反馈信号 fb 和使能信号 EnDfe 输出控制信号 fbp control, 以控制下一级的数据接收电路 100 中的第二放大模块 102; 最后一级数据接收电路 100 输出的第一输出信号 Vout 和第二输出信号 VoutN 作为第一级数据接收电路 100 的反馈信号 fb, 第一级数据接收电路 100 中的决策均衡使能模块 103 基于反馈信号 fb 和使能信号 EnDfe 输出控制信号 fbp control, 以控制第一级数据接收电路 100 中的第二放大模块 102。

[0085] 具体的, 上一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为下一级数据接收电路 100 的第一反馈信号 fbp, 上一级的数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为下一级数据接收电路 100 的第二反馈信号 fbn, 下一级的数据接收电路 100 中的决策均衡使能模块 103 基于第一反馈信号 fbp 和使能信号 EnDfe 输出第一控制信号 fbp control, 下一级的数据接收电路 100 中的决策均衡使能模块 103 基于第二反馈信号 fbn 和互补使能信号 EnDfeN 输出第二控制信号 fbn control; 最后一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为第一级数据接收电路 100 的第一反馈信号 fbp, 最后一级数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为第一级数据接收电路 100 的第二反馈信号 fbn, 第一级数据接收电路 100 中的决策均衡使能模块 103 基于第一反馈信号 fbp 和使能信号 EnDfe 输出第一控制信号 fbp control, 第一级数据接收电路 100 中的决策均衡使能模块 103 基于第二反馈信号 fbn 和互补使能信号 EnDfeN 输出第二控制信号 fbn control。

[0086] 可以理解的是, 若前一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 为高

电平,第二输出节点 net10 输出的第二输出信号 VoutN 为低电平,则下一级数据接收电路 100 接收的第一反馈信号 fbp 为高电平,第二反馈信号 fbn 为低电平。

- [0087] 在需要降低码间干扰对数据接收电路的影响时,使能信号 EnDfe 为逻辑电平 1,互补使能信号 EnDfeN 为逻辑电平 0,则第二与非门单元 143 输出的第一控制信号 fbp control 为低电平,或非门单元 153 输出的第二控制信号 fbn control 为高电平,下一级数据接收电路 100 中的第一输入单元 112 响应于第一控制信号 fbp control 断开,第二输入单元 122 响应于第二控制信号 fbn control 导通。

[0088] 若前一级数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 为低电平,第二输出节点 net10 输出的第二输出信号 VoutN 为高电平,则下一级数据接收电路 100 接收的第一反馈信号 fbp 为低电平,第二反馈信号 fbn 为高电平。

- [0089] 在需要降低码间干扰对数据接收电路的影响时,使能信号 EnDfe 为逻辑电平 1,互补使能信号 EnDfeN 为逻辑电平 0,则第二与非门单元 143 输出的第一控制信号 fbp control 为高电平,或非门单元 153 输出的第二控制信号 fbn control 为低电平,下一级数据接收电路 100 中的第一输入单元 112 响应于第一控制信号 fbp control 导通,第二输入单元 122 响应于第二控制信号 fbn control 断开。

- [0090] 在一些实施例中,参考图 7,锁存单元 132 可以包括:第十三 NMOS 管 MN13 以及第七 PMOS 管 MP7,第十三 NMOS 管 MN13 的栅极以及第七 PMOS 管 MP7 的栅极均连接第一输出节点 net9,所述第十三 NMOS 管 MN13 的源极连接第七节点 net7,第十三 NMOS 管 MN13 的漏极以及第七 PMOS 管 MP7 的漏极均连接第二输出节点 net10,第七 PMOS 管 MP7 的源极连接电源节点 Vcc;第十四 NMOS 管 MN14 以及第八 PMOS 管 MP8,第十四 NMOS 管 MN14 的栅极以及第八 PMOS 管 MP8 的栅极均连接第二输出节点 net10,第十四 NMOS 管 MN14 的源极连接第八节点 net8,第十四 NMOS 管 MN14 的漏极以及第八 PMOS 管 MP8 的漏极均连接第一输出节点 net9,第八 PMOS 管 MP8 的源极连接电源节点 Vcc。

- [0091] 在一些实施例中,继续参考图 7,第二放大模块 102 还可以包括:第三复位单元 142,连接在电源节点 Vcc 与锁存单元 132 的输出端之间,被配置为,对锁存单元 132 的输出端进行复位。如此,在数据接收电路 100 完成一次数据信号 DQ、第一参考信号 VR+ 和第二参考信号 VR- 的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后,可以通过第三复位单元 142 将第一输出节点 net9 和第二输出节点 net10 处的电平值恢复为初始值,以便于后续数据接收电路 100 进行下一次数据接收以及处理。

[0092] 在一些实施例中,继续参考图 7,第三复位单元 142 可以包括:第九 PMOS 管 MP9,连接在第一输出节点 net9 与电源节点 Vcc 之间,第九 PMOS 管 MP9 的栅极接收第四采样时钟信号 clk4;第十 PMOS 管 MP10,连接在第二输出节点 net10 与电源节点 Vcc 之间,第十 PMOS 管 MP10 的栅极接收第四采样时钟信号 clk4。

- [0093] 需要说明的是,第四采样时钟信号 clk4 与第三采样时钟信号 clk3 可以为同一时钟信号,也可以为相位相同但振幅不同的不同时钟信号,且第三采样时钟信号 clk3 与第一采样时钟信号 clk1 的相位相反。

- [0094] 在一个例子中,结合参考图 6 和图 7,在需要降低码间干扰对数据接收电路的影响时,使能信号 EnDfe 为逻辑电平 1,互补使能信号 EnDfeN 为逻辑电平 0,若第一采样时钟信号 clk1 为低电平,第三采样时钟信号 clk3 和第四采样时钟信号 clk4 均为高电平,使得第二采样时钟信号 clk2 为低电平,则第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通,第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4、第九 PMOS 管 MP9 和第十 PMOS 管 MP10 均关断;若第一采样时钟信号 clk1 为高电平,第三采样时钟信号 clk3 和第四采样时钟信号 clk4 均为低电平,使得第二采样时钟信号 clk2 为高电平,则第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均关断,此时第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均导通,第九 PMOS 管 MP9 和第十 PMOS 管 MP10 也导通,以上拉第一输出节点 net9 处的电压以及第二输出节点 net10 处的电压,实现对第一输出节点 net9 以及第二输出节点 net10 的复位。

[0095] 在无需考虑码间干扰对数据接收电路 100 的影响时,使能信号 EnDfe 为逻辑电平 0,互补使能信号 EnDfeN 为逻辑电平 1,此时无论第三采样时钟信号 clk3 为高电平还是低电平,第二采样时钟信号 clk2 始终为高电平,则第二 PMOS 管 MP2 始终关断,第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均导通,

以降低第二比较电路 121 中的电流,从而降低数据接收电路 100 的功耗。

[0096] 以下结合图 7 和表 1 对本公开一实施例提高的数据接收电路 100 的具体工作原理进行详细说明。

[0097] 在一个例子中,多个数据接收电路 100 级联时,上一级的数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为下一级数据接收电路 100 的第一反馈信号 fbp,上一级的数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为下一级数据接收电路 100 的第二反馈信号 fbn,下一级的数据接收电路 100 中的决策均衡使能模块 103 基于第一反馈信号 fbp 和使能信号 EnDfe 输出第一控制信号 fbp control,下一级的数据接收电路 100 中的决策均衡使能模块 103 基于第二反馈信号 fbn 和互补使能信号 EnDfeN 输出第二控制信号 fbn control。

[0098] 以下以接收的第一参考信号 VR+的电平值小于第二参考信号 VR-的电平值为示例进行说明。在一个例子中,第一参考信号 VR+的电平值可以为 0.3V,第二参考信号 VR-的电平值可以为 0.7V,数据信号 DQ 为逻辑电平 1 时表征数据信号 DQ 的电平值大于第二参考信号 VR-的电平值,数据信号 DQ 为逻辑电平 0 时表征数据信号 DQ 的电平值小于第一参考信号 VR+的电平值。

[0099] 需要说明的是,表 1 中用 1 表示高电平,0 表示低电平。

[00100] 在需要降低码间干扰对数据接收电路的影响时,使能信号 EnDfe 为逻辑电平 1,互补使能信号 EnDfeN 为逻辑电平 0。

[00101] 参考表 1,若上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 1,上一级数据接收电路 100 输出的第一输出信号 Vout,即下一级数据接收电路 100 的第一反馈信号 fbp 为高电平,上一级数据接收电路 100 输出的第二输出信号 VoutN,即下一级数据接收电路 100 的第二反馈信号 Fbn 为低电平,则第二与非门单元 143 输出的第一控制信号 fbp control 为低电平,或非门单元 153 输出的第二控制信号 fbn control 为高电平,此时,第五 NMOS 管 MN5 的栅极和第七 NMOS 管 MN7 的栅极接收第一控制信号 fbp control 以断开,第九 NMOS 管 MN9 的栅极和第十一 NMOS 管 MN11 的栅极接收第二控制信号 fbn control 以导通,第二输入单元 122 用于对第三信号 Sn-和第四信号 Sp-进行比较以向第七节点 net7 和第八节点 net8 提供信号,第一输入单元 112 中没有电流流过。

[00102] 当上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 1 时,下一级数据接收电路 100 接收的数据信号 DQ2 分别为以下两种情形:

[00103] 情形一:参考表 1,下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 0 时,与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较大,存在较大的码间干扰,此时,下一级数据接收电路 100 中的第二输入单元 122 导通,即下一级数据接收电路 100 中的第二放大模块 102 接收的是第三信号 Sn-和第四信号 Sp-。下一级数据接收电路 100 中,数据信号 DQ2 为逻辑电平 0,数据信号 DQ2 与第二参考信号 VR-之间的电压差大于数据信号 DQ2 与第一参考信号 VR+之间的电压差,则经过第二比较电路 121 处理得到的第二信号对中信号的电平值差异更大,此时第二放大模块 102 接收第二信号对更有利于输出准确性更高的第一输出信号 Vout 和第二输出信号 VoutN,以达到降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的。

[00104] 情形二:参考表 1,下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 1 时,与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较小,存在较小或者不存在码间干扰,此时,下一级数据接收电路 100 中的第二输入单元 122 导通,下一级数据接收电路 100 中的第二比较电路 121 输出的第二信号对被第二放大模块 102 接收。

[00105] 参考表 1,若上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 0,上一级数据接收电路 100 输出的第一输出信号 Vout,即下一级数据接收电路 100 的第一反馈信号 fbp 为低电平,上一级数据接收电路 100 输出的第二输出信号 VoutN,即下一级数据接收电路 100 的第二反馈信号 Fbn 为高电平,则第二与非门单元 143 输出的第一控制信号 fbp control 为高电平,或非门单元 153 输出的第二控制信号 fbn control 为低电平,此时,第五 NMOS 管 MN5 的栅极和第七 NMOS 管 MN7 的栅极接收第一控制信号 fbp control 以导通,第九 NMOS 管 MN9 的栅极和第十一 NMOS 管 MN11 的栅极接收第二控制信号 fbn control

以断开,第一输入单元 112 用于对第一信号 Sn+和第二信号 Sp+进行比较以向第七节点 net7 和第八节点 net8 提供信号,第二输入单元 122 中没有电流流过。

[00106] 当上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 0 时,下一级数据接收电路 100 接收的数据信号 DQ2 分别为以下两种情形:

5 [00107] 情形三:参考表 1,下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 0 时,与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较小,存在较小或者不存在码间干扰,此时,下一级数据接收电路 100 中的第一输入单元 112 导通,下一级数据接收电路 100 中的第一比较电路 111 输出的第一信号对被第二放大模块 102 接收。

[00108] 情形四:参考表 1,下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 1 时,与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较大,存在较大的码间干扰,此时,下一级数据接收电路 100 中的第一输入单元 112 导通,即下一级数据接收电路 100 中的第二放大模块 102 接收的是第一信号 Sn+和第二信号 Sp+。此时,下一级数据接收电路 100 中,数据信号 DQ2 为逻辑电平 1,数据信号 DQ2 与第一参考信号 VR+之间的电压差大于数据信号 DQ2 与第二参考信号 VR-之间的电压差,则经过第一比较电路 111 处理得到的第一信号对中信号的电平值差异更大,此时第二放大模块 102 接收第一信号对更有利于输出准确性更高的第一输出信号 Vout 和第二输出信号 VoutN,以达到降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的。

表 1

上一级数据 传输电路接 收的数据信 号 DQ1	下一级数据 传输电路接 收的数据信 号 DQ2	上一级数据 传输电路接 收的第一反 馈信号 fbp	上一级数据 传输电路接 收的第二反 馈信号 fbn	下一级数据 传输电路接 收的第一控 制信号 fbp control	下一级数据 传输电路接 收的第二控 制信号 fbn control	下一级数据 传输电路中 第二放大模 块接收的信 号对
1	0	1	0	0	1	Sn-、Sp-
1	1	1	0	0	1	Sn-、Sp-
0	0	0	1	1	0	Sn+、Sp+
0	1	0	1	1	0	Sn+、Sp+

[00109] 需要说明的是,上述关于高电平以及低电平的描述中,高电平可以为大于或等于电源电压的电平值,低电平可以为小于或等于接地电压的电平值。而且,高电平和低电平是相对而言的,高电平和低电平所包含的具体电平值范围可以根据具体器件确定,例如,对于 NMOS 管而言,高电平指的是能够使该 NMOS 管导通的栅极电压的电平值范围,低电平指的是能够使该 NMOS 管关断的栅极电压的电平值范围;对于 PMOS 管而言,低电平指的是能够使该 PMOS 管导通的栅极电压的电平值范围,高电平指的是能够使该 PMOS 管关断的栅极电压的电平值范围。

[00110] 综上所述,可以利用决策均衡使能模块 103 对先前接收到的反馈信号 fb 进行处理,得到可以控制第二放大模块 102 的控制信号 fb control,以选择是否考虑数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响。例如,在需要降低码间干扰对数据接收系统的影响时,利用决策均衡使能模块 103 输出控制信号 fb control,该控制信号 fb control 可以控制第二放大模块 102 选择性接收的第一信号对或第二信号对中电平值差异较大的一者,以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号;在无需考虑码间干扰对数据接收系统的影响时,利用决策均衡使能模块 103 输出控制信号 fb control,该控制信号 fb control 可以控制第二放大模块 102 固定接收的第一信号对或第二信号对中的一者,以实现在提高数据接收电路 100 的接收性能的同时,降低数据接收电路 100 的功耗的效果。

[00111] 本公开另一实施例还提供一种数据接收系统,以下将结合附图对本公开另一实施例提供的数据接收系统进行详细说明。图 2 为本公开另一实施例提供的数据接收系统的功能框图。

[00112] 参考图 2, 数据接收系统包括: 多个级联的数据传输电路 120, 每一数据传输电路 120 包括如本公开一实施例的数据接收电路 100 以及与数据接收电路 100 连接的锁存电路 110; 上一级数据传输电路 120 的输出信号作为下一级数据传输电路 120 的反馈信号 fb; 最后一级数据传输电路 120 的输出信号作为第一级数据传输电路 120 的反馈信号 fb。

- 5 [00113] 其中, 锁存电路 110 与数据接收电路 100 一一对应设置, 锁存电路 110 用于将与该锁存电路 110 对应的数据接收电路 100 输出的信号锁存并输出。

[00114] 在一些实施例中, 数据接收电路 100 响应于采样时钟信号接收数据; 且数据接收系统包括 4 个级联的数据接收电路 100, 相邻级的数据接收电路 100 的采样时钟信号 clkN 的相位差为 90° 。如此采样时钟信号 clkN 的周期为数据端口接收的数据信号 DQ 的周期的 2 倍, 有利于时钟布线并节省功耗。

- 10 [00115] 需要说明的是, 图 2 中以数据接收系统包括 4 个级联的数据接收电路 100, 相邻级的数据接收电路 100 的采样时钟信号的相位差为 90° 为示例, 在实际应用中, 对数据接收系统中包括的级联的数据接收电路 100 的数量不做限制, 相邻级的数据接收电路 100 的采样时钟信号的相位差可以基于级联的数据接收电路 100 的数量来合理设置。

- [00116] 在一些实施例中, 当前级的数据接收电路 100 的决策均衡使能模块 103 (参考图 1) 与前一级的数据接收电路 100 的第二放大模块 102 的输出端连接, 前一级的数据接收电路 100 的第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 作为后一级数据接收电路 100 的反馈信号 fb。如此, 数据接收电路 100 的输出直接传输给下一级数据传输电路 120, 无需经过锁存电路 110, 有利于降低数据的传输延迟。
- 15

- [00117] 在另一些实施例中, 当前级的数据接收电路 100 的决策均衡使能模块 103 与前一级的锁存电路 110 的输出端连接, 前一级的锁存电路 110 输出的信号作为后一级数据接收电路 100 的反馈信号 fb。
- 20

- [00118] 综上所述, 本公开另一实施例提供的数据接收系统可以利用决策均衡使能模块 103 对先前接收到的反馈信号 fb 进行处理, 得到可以控制第二放大模块 102 的控制信号 fb control, 以选择是否考虑数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响。从而, 在需要降低码间干扰对数据接收电路 100 的影响, 利用决策均衡使能模块 103 输出控制信号 fb control, 该控制信号 fb control 可以控制第二放大模块 102 选择性接收的第一信号对或第二信号对中电平值差异较大的一者, 以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号, 以提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性, 因而有利于提高数据接收系统的接收性能; 在无需考虑码间干扰对数据接收电路 100 的影响, 利用决策均衡使能模块 103 输出控制信号 fb control, 该控制信号 fb control 可以控制第二放大模块 102 固定接收的第一信号对或第二信号对中的一者, 以降低数据接收系统的功耗。
- 25

- [00119] 本公开又一实施例还提供一种存储装置, 包括: 多个数据端口; 多个如本公开另一实施例提供的数据接收系统, 每一数据接收系统与一数据端口相对应。如此, 在需要降低码间干扰对存储装置的影响时, 存储装置中的每一个数据端口均可以通过数据接收系统对接收的数据信号 DQ 进行灵活调整, 以及提高对第一输出信号 Vout 以及第二输出信号 VoutN 的调整能力, 从而提高存储装置的接收性能; 在无需考虑码间干扰对存储装置的影响时, 利用决策均衡使能模块 103 输出可以控制第二放大模块 102 选择性接收的第一信号对或第二信号对中固定一者的控制信号 fb control, 以降低存储装置的功耗。
- 30
- 35

[00120] 在一些实施例中, 存储装置可以为 DDR 存储器, 例如为 DDR4 存储器、DDR5 存储器、DDR6 存储器、LPDDR4 存储器、LPDDR5 存储器或者 LPDDR6 存储器。

- [00121] 本领域的普通技术人员可以理解, 上述各实施方式是实现本公开的具体实施例, 而在实际应用中, 可以在形式上和细节上对其作各种改变, 而不偏离本公开实施例的精神和范围。任何本领域技术人员, 在不脱离本公开实施例的精神和范围内, 均可作各自更动与修改, 因此本公开实施例的保护范围应当以权利要求限定的范围为准。
- 40

权 利 要 求 书

1. 一种数据接收电路, 包括:

第一放大模块, 被配置为, 接收数据信号、第一参考信号和第二参考信号, 对所述数据信号以及所述第一参考信号进行第一比较, 并输出第一信号对作为所述第一比较的结果, 对所述数据信号以及所述第二参考信号进行第二比较, 并输出第二信号对作为所述第二比较的结果, 其中, 所述第一参考信号的电平值与所述第二参考信号的电平值不同, 所述第一信号对包括第一信号和第二信号, 所述第二信号对包括第三信号和第四信号;

决策均衡使能模块, 被配置为, 接收使能信号以及反馈信号, 并输出控制信号, 其中, 所述反馈信号基于先前接收到的数据得到, 所述使能信号具有第一电平值期间, 所述控制信号的电平值跟随所述反馈信号的电平值变化而变化, 所述使能信号具有第二电平值期间, 所述控制信号的电平值为固定值, 所述第一电平值与所述第二电平值不同;

第二放大模块, 被配置为, 基于所述控制信号选择接收所述第一信号对或者所述第二信号对作为输入信号对, 对所述输入信号对的电压差进行放大处理, 并输出第一输出信号和第二输出信号作为所述放大处理的结果。
2. 如权利要求 1 所述的数据接收电路, 其中, 所述第一放大模块包括:

第一比较电路, 具有第一节点和第二节点, 被配置为, 接收所述数据信号以及所述第一参考信号并进行所述第一比较, 通过所述第一节点和所述第二节点分别输出所述第一信号和所述第二信号;

第二比较电路, 具有第三节点和第四节点, 被配置为, 接收所述数据信号以及所述第二参考信号并进行所述第二比较, 通过所述第三节点和所述第四节点分别输出所述第三信号和所述第四信号。
3. 如权利要求 2 所述的数据接收电路, 其中, 所述第一比较电路包括:

第一电流源, 被配置为, 连接在电源节点与第五节点之间, 响应于第一采样时钟信号向所述第五节点提供电流;

第一比较单元, 连接所述第一节点、所述第二节点以及所述第五节点, 被配置为, 接收所述数据信号以及所述第一参考信号, 当所述第一电流源向所述第五节点提供电流时进行所述第一比较, 并输出所述第一信号和所述第二信号;

所述第二比较电路包括:

第二电流源, 被配置为, 连接在电源节点与第六节点之间, 响应于第二采样时钟信号向所述第六节点提供电流;

第二比较单元, 连接所述第三节点、所述第四节点以及所述第六节点, 被配置为, 接收所述数据信号以及所述第二参考信号, 当所述第二电流源向所述第六节点提供电流时进行所述第二比较, 并输出所述第三信号和所述第四信号。
4. 如权利要求 3 所述的数据接收电路, 其中, 所述第一电流源包括:

第一 PMOS 管, 连接在所述电源节点与所述第五节点之间, 所述第一 PMOS 管的栅极接收所述第一采样时钟信号;

所述第二电流源包括:

第二 PMOS 管, 连接在所述电源节点与所述第六节点之间, 所述第二 PMOS 管的栅极接收所述第二采样时钟信号。
5. 如权利要求 3 所述的数据接收电路, 其中, 所述第一比较单元包括:

第三 PMOS 管, 连接在所述第一节点与所述第五节点之间, 所述第三 PMOS 管的栅极接收所述数据信

号;

第四 PMOS 管, 连接在所述第二节点与所述第五节点之间, 所述第四 PMOS 管的栅极接收所述第一参考信号;

所述第二比较单元包括:

- 5 第五 PMOS 管, 连接在所述第三节点与所述第六节点之间, 所述第五 PMOS 管的栅极接收所述数据信号;

第六 PMOS 管, 连接在所述第四节点与所述第六节点之间, 所述第六 PMOS 管的栅极接收所述第二参考信号。

6. 如权利要求 3 所述的数据接收电路, 其中, 所述第一放大模块还包括:

- 10 第一复位单元, 连接所述第一节点以及所述第二节点, 被配置为, 对所述第一节点和所述第二节点进行复位;

第二复位单元, 连接所述第三节点以及所述第四节点, 被配置为, 对所述第三节点和所述第四节点进行复位。

7. 如权利要求 6 所述的数据接收电路, 其中, 所述第一复位单元包括:

- 15 第一 NMOS 管, 连接在所述第一节点与地端之间, 所述第一 NMOS 管的栅极接收所述第一采样时钟信号;

第二 NMOS 管, 连接在所述第二节点与所述地端之间, 所述第二 NMOS 管的栅极接收所述第一采样时钟信号;

所述第二复位单元包括:

- 20 第三 NMOS 管, 连接在所述第三节点与所述地端之间, 所述第三 NMOS 管的栅极接收所述第二采样时钟信号;

第四 NMOS 管, 连接在所述第四节点与所述地端之间, 所述第四 NMOS 管的栅极接收所述第二采样时钟信号。

8. 如权利要求 1 所述的数据接收电路, 其中, 所述第二放大模块包括:

- 25 第一输入单元, 连接第七节点和第八节点, 被配置为, 响应于所述控制信号导通以接收所述第一信号对并进行第三比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第三比较的结果;

第二输入单元, 连接所述第七节点和所述第八节点, 被配置为, 响应于所述控制信号导通以接收所述第二信号对并进行第四比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第四比较的结果;

- 30 其中, 所述第一输入单元与所述第二输入单元基于所述控制信号择一导通;

锁存单元, 连接所述第七节点和所述第八节点, 被配置为, 对所述第七节点的信号以及所述第八节点的信号进行放大并锁存, 并分别通过第一输出节点和第二输出节点输出所述第一输出信号和所述第二输出信号。

9. 如权利要求 8 所述的数据接收电路, 其中, 所述反馈信号包括差分的第一反馈信号和第二反馈信号;
35 所述控制信号包括差分的第一控制信号和第二控制信号; 所述第一输入单元响应于所述第一控制信号导通, 所述第二输入单元响应于所述第二控制信号导通; 所述决策均衡使能模块包括:

第一使能单元, 被配置为, 接收所述使能信号以及所述第一反馈信号, 并输出所述第一控制信号, 其中, 所述使能信号具有所述第一电平值期间, 所述第一控制信号的电平值跟随所述第一反馈信号的电平值变化, 所述使能信号具有所述第二电平值期间, 所述第一控制信号的电平值为固定值;

第二使能单元,被配置为,接收互补使能信号以及所述第二反馈信号,并输出所述第二控制信号,其中,所述互补使能信号与所述使能信号互为差分信号,所述互补使能信号具有所述第二电平值期间,所述第二控制信号的电平值跟随所述第二反馈信号的电平值变化,所述互补使能信号具有所述第一电平值期间,所述第二控制信号的电平值为固定值。

- 5 10. 如权利要求 9 所述的数据接收电路,其中,所述决策均衡使能模块还包括:第一与非门单元,所述第一与非门单元接收所述使能信号以及第三采样时钟信号,并输出第二采样时钟信号,其中,所述第三采样时钟信号与第一采样时钟信号的相位相反。
11. 如权利要求 9 所述的数据接收电路,其特征在于,所述第一使能单元为第二与非门单元,所述第二使能单元为或非门单元;其中,所述第一电平值为高电平,所述第二电平值为低电平;所述第二与非门单元接收所述第一反馈信号以及所述使能信号,所述或非门单元接收所述第二反馈信号以及所述互补使能信号。
- 10 12. 如权利要求 9 所述的数据接收电路,其中,所述第一输入单元包括:
- 第五 NMOS 管和第六 NMOS 管,所述第五 NMOS 管的漏极连接所述第七节点,所述第五 NMOS 管的源极连接所述第六 NMOS 管的漏极,所述第六 NMOS 管的源极连接地端,其中,所述第五 NMOS 管的栅极接收所述第一信号或者所述第一控制信号中的一者,所述第六 NMOS 管的栅极接收所述第一信号或者所述第一控制信号中的另一者;
- 15 第七 NMOS 管和第八 NMOS 管,所述第七 NMOS 管的漏极连接所述第八节点,所述第七 NMOS 管的源极连接所述第八 NMOS 管的漏极,所述第八 NMOS 管的源极连接所述地端,其中,所述第七 NMOS 管的栅极接收所述第二信号或者所述第一控制信号中的一者,所述第八 NMOS 管的栅极接收所述第二信号或者所述第一控制信号中的另一者;
- 20 所述第二输入单元包括:
- 第九 NMOS 管和第十 NMOS 管,所述第九 NMOS 管的漏极连接所述第七节点,所述第九 NMOS 管的源极连接所述第十 NMOS 管的漏极,所述第十 NMOS 管的源极连接地端;
- 25 其中,所述第九 NMOS 管的栅极接收所述第三信号或者所述第二控制信号中的一者,所述第十 NMOS 管的栅极接收所述第三信号或者所述第二控制信号中的另一者;
- 第十一 NMOS 管和第十二 NMOS 管,所述第十一 NMOS 管的漏极连接所述第八节点,所述第十一 NMOS 管的源极连接所述第十二 NMOS 管的漏极,所述第十二 NMOS 管的源极连接所述地端;
- 其中,所述第十一 NMOS 管的栅极接收所述第四信号或者所述第二控制信号中的一者,所述第十二 NMOS 管的栅极接收所述第四信号或者所述第二控制信号中的另一者。
- 30 13. 如权利要求 8 所述的数据接收电路,其中,所述锁存单元包括:
- 第十三 NMOS 管以及第七 PMOS 管,所述第十三 NMOS 管的栅极以及所述第七 PMOS 管的栅极均连接所述第二输出节点,所述第十三 NMOS 管的源极连接所述第七节点,所述第十三 NMOS 管的漏极以及所述第七 PMOS 管的漏极均连接所述第一输出节点,所述第七 PMOS 管的源极连接电源节点;
- 第十四 NMOS 管以及第八 PMOS 管,所述第十四 NMOS 管的栅极以及所述第八 PMOS 管的栅极均连接所述第一输出节点,所述第十四 NMOS 管的源极连接所述第八节点,所述第十四 NMOS 管的漏极以及所述第八 PMOS 管的漏极均连接所述第二输出节点,所述第八 PMOS 管的源极连接所述电源节点。
- 35 14. 如权利要求 8 所述的数据接收电路,其中,所述第二放大模块还包括:
- 第三复位单元,连接在电源节点与所述锁存单元的输出端之间,被配置为,对所述锁存单元的输出端进行复位。
- 40 15. 如权利要求 14 所述的数据接收电路,其中,所述第三复位单元包括:

第九 PMOS 管，连接在所述第一输出节点与电源节点之间，所述第九 PMOS 管的栅极接收第四采样时钟信号；

第十 PMOS 管，连接在所述第二输出节点与所述电源节点之间，所述第十 PMOS 管的栅极接收所述第四采样时钟信号。

- 5
16. 一种数据接收系统，包括：
多个级联的数据传输电路，每一所述数据传输电路包括如权利要求 1-15 任一项所述的数据接收电路以及与所述数据接收电路连接的锁存电路；
上一级所述数据传输电路的输出信号作为下一级所述数据传输电路的所述反馈信号；
最后一级所述数据传输电路的输出信号作为第一级所述数据传输电路的所述反馈信号。
- 10
17. 如权利要求 16 所述的数据接收系统，其中，所述数据接收电路响应于采样时钟信号接收数据；且所述数据接收系统包括 4 个级联的所述数据传输电路，相邻级的所述数据接收电路的所述采样时钟信号的相位差为 90° 。
- 15
18. 如权利要求 16 所述的数据接收系统，其中，当前级的所述数据接收电路的所述决策均衡使能模块与前一级的所述数据接收电路的所述第二放大模块的输出端连接，前一级的所述数据接收电路的所述第二放大模块输出的所述第一输出信号和所述第二输出信号作为后一级所述数据接收电路的所述反馈信号。
- 20
19. 如权利要求 16 所述的数据接收系统，其中，当前级的所述数据接收电路的所述决策均衡使能模块与前一级的所述锁存电路的输出端连接，前一级的所述锁存电路输出的信号作为后一级所述数据接收电路的所述反馈信号。
- 20
20. 一种存储装置，包括：
多个数据端口；
多个如权利要求 16 至 19 任一项所述的数据接收系统，每一所述数据接收系统与一所述数据端口相对应。