(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2025 年 7 月 31 日 (31.07.2025)

WIPO | PCT

(10) 国际公布号
WO 2025/157002 A1

(51) 国际专利分类号:
H01L 21/3065 (2006.01) *H01J 37/32* (2006.01)
H01L 21/67 (2006.01)

(21) 国际申请号: PCT/CN2025/071184

(22) 国际申请日: 2025 年 1 月 8 日 (08.01.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202410116211.5 2024年1月26日 (26.01.2024) CN

(71) 申请人: 北京北方华创微电子装备有限公司 (**BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.**) [CN/CN]; 中国北京市大兴区北京经济技术开发区文昌大道8号 100176 (CN)。

(72) 发明人:杨光(**YANG, Guang**); 中国北京市大兴区北京经济技术开发区文昌大道8号 100176 (CN)。李佳阳(**LI, Jiayang**); 中国北京市大兴区北京经济技术开发区文昌大道8号 100176 (CN)。马一鸣(**MA, Yiming**); 中国北京市大兴区北京经济技术开发区文昌大道8号 100176 (CN)。蒋中伟(**JIANG, Zhongwei**); 中国北京市大兴区北京经济技术开发区文昌大道8号 100176 (CN)。王京(**WANG, Jing**); 中国北京市大兴区北京经济技术开发区文昌大道8号 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (**TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS**); 中国北京市东城区东长安街1号东方广场东方经贸城西一办公楼5层1, 6-12室 100738 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** METHOD FOR FORMING SEMICONDUCTOR STRUCTURE, PLASMA GENERATION APPARATUS, AND SEMICONDUCTOR PROCESS DEVICE

(54) 发明名称: 形成半导体结构的方法、等离子体发生装置及半导体工艺设备

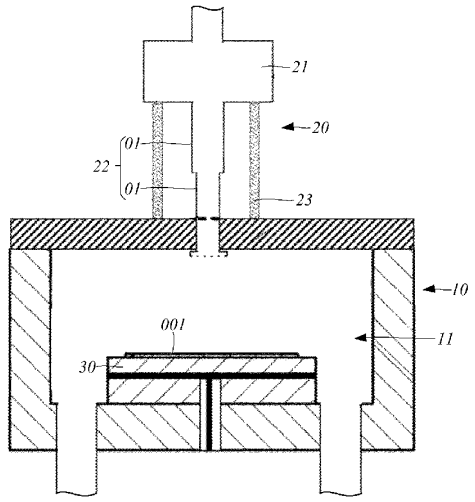

图 6

(57) **Abstract:** The present application belongs to the technical field of semiconductors, and discloses a method for forming a semiconductor structure, a plasma generation apparatus, and a semiconductor process device. The disclosed method comprises: executing a first etching process on a semiconductor laminated structure, so as to form multiple fin-shaped structures spaced apart from each other, the semiconductor laminated structure comprising at least one first semiconductor layer and at least one second semiconductor layer which are alternately stacked, and when the first etching process is executed, a plasma generation cavity and a reaction cavity being spaced by a first distance; and executing a second etching process on the fin-shaped structures, so as to selectively etch at least a portion of one of the first semiconductor layer and the second semiconductor layer, wherein when the second etching process is executed, the plasma generation cavity and the reaction cavity are spaced apart by a second distance, the second distance being greater than the first distance. The described solution can solve the problem of low etching productivity caused by the need to change chambers in semiconductor process devices for different types of etching processes.

WO 2025/157002 A1

[见续页]

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开一种形成半导体结构的方法、等离子体发生装置及半导体工艺设备，属于半导体技术领域，所公开的方法包括：对半导体叠层结构执行第一刻蚀工艺，以形成多个相互间隔的鳍形结构；其中，半导体叠层结构包括交替堆叠的至少一个第一半导体层和至少一个第二半导体层，在执行第一刻蚀工艺时，使等离子体发生腔与反应腔室之间间隔第一间距；对鳍形结构执行第二刻蚀工艺，以选择性地刻蚀第一半导体层与第二半导体层中的一者的至少部分，在执行第二刻蚀工艺时，使等离子体发生腔与反应腔室之间间隔第二间距，第二间距大于第一间距。上述方案能解决半导体工艺设备在进行不同类型刻蚀工艺过程中由于需要换腔而导致刻蚀产能较低的问题。