

存储器及其制造方法、电子设备

5 技术领域

本公开实施例涉及半导体技术领域,尤其涉及一种存储器及其制造方法、电子设备。

背景技术

动态随机存取存储器(Dynamic Random Access Memory, DRAM)是一种半导体存储器。和静态存储器相比, DRAM 存储器具有结构较为简单、制造成本较低、存储密度较
10 高的优点,随着技术的发展, DRAM 存储器的应用日益广泛。

当前的 DRAM 通常包括多个存储器库(memory bank),每个存储器库包括多个存储阵列,每个存储阵列共用同一公共电极,不同的存储阵列对应的公共电极彼此分立,以在相邻的存储阵列之间设置其余功能器件(通常包括无源器件,例如去耦电容器等);然而,这样的设置也限制了存储器芯片尺寸的减小。

15

发明内容

根据本公开实施例的第一方面,提供一种存储器,包括:

第一半导体结构,包括阵列排布且彼此间隔的多个存储阵列,其中,所述多个存储阵列中的每个存储阵列包括阵列排布的多个存储单元,所述多个存储单元中的每个存储单元包括
20 沿第一方向延伸的垂直晶体管和耦合至所述垂直晶体管的电容器,所述电容器包括彼此相对的第一电极和第二电极,所述第一电极与所述垂直晶体管耦合:

第二半导体结构,包括外围电路,与所述第一半导体结构键合,其中,所述第二半导体结构设置于所述垂直晶体管在所述第一方向上远离所述电容器的一侧;

其中,所述第一半导体结构还包括公共电极和公共电极接触插塞,所述公共电极与所述
25 多个存储阵列中的所述电容器的所述第二电极电连接,所述公共电极接触插塞与所述垂直晶体管设置于所述公共电极在所述第一方向上的同一侧,所述公共电极通过所述公共电极接触插塞耦合至所述外围电路。

在一些实施例中，所述公共电极包括与所述多个存储阵列一一对应的多个第一板状部以及连接所述多个第一板状部的第二板状部，所述第二板状部设置于相邻的所述存储阵列之间且比所述多个第一板状部更靠近所述第二半导体结构。

5 在一些实施例中，所述公共电极接触插塞沿所述第一方向的正投影位于所述第二板状部沿所述第一方向的正投影内。

在一些实施例中，所述多个第一板状部与所述第二板状部一体成型。

在一些实施例中，所述公共电极接触插塞沿所述第一方向的正投影位于相邻四个所述存储阵列沿所述第一方向的正投影的相邻四个顶角限定的区域中。

10 在一些实施例中，所述电容器还包括设置于所述第一电极和所述第二电极之间的电容介质层，所述多个存储阵列中的所述电容介质层一体成型，所述公共电极接触插塞贯穿所述电容介质层与所述公共电极耦合。

在一些实施例中，所述电容器还包括设置于所述第一电极和所述第二电极之间的电容介质层，所述每个存储阵列中的所述电容介质层一体成型，所述多个存储阵列中的所述电容介质层彼此分立。

15 在一些实施例中，所述每个存储阵列中的所述第二电极一体成型，所述多个存储阵列中的所述第二电极一体成型或彼此分立。

在一些实施例中，所述多个存储阵列中的所述第二电极与所述公共电极一体成型。

20 在一些实施例中，所述每个存储阵列还包括沿第二方向延伸的多条字线和沿第三方向延伸的多条位线；在所述每个存储阵列中，所述多条字线中的每条字线耦合至沿所述第二方向排布的一行所述垂直晶体管，所述多条位线中的每条位线耦合至沿所述第三方向排布的一列所述垂直晶体管；所述第二方向垂直于所述第一方向，所述第三方向垂直于所述第一方向，所述第三方向与所述第二方向相交。

在一些实施例中，相邻的所述存储阵列中的所述字线彼此间隔排布，相邻的所述存储阵列中的所述位线彼此间隔排布。

25 在一些实施例中，所述第一半导体结构还包括：与所述每个存储阵列中的所述多条字线一一对应耦合的多个第一接触插塞，所述多个第一接触插塞中的每个第一接触插塞设置于对应的所述字线的靠近所述第二半导体结构的一侧；与所述每个存储阵列中的所述多条位线一一对应耦合的多个第二接触插塞，所述多个第二接触插塞中的每个第二接触插塞设置于对应的所述位线的靠近所述第二半导体结构的一侧。

在一些实施例中，所述第一半导体结构还包括第一互连层，所述第一互连层设置于所述多个存储阵列在所述第一方向上靠近所述第二半导体结构的一侧；所述第二半导体结构还包括第二互连层，所述第二互连层设置于所述外围电路在所述第一方向上靠近所述第一半导体结构的一侧；所述存储器还包括设置于所述第一互连层和所述第二互连层之间的键合界面。

5 在一些实施例中，所述第二半导体结构还包括第三互连层，所述第三互连层设置于所述外围电路的远离所述第一半导体结构的一侧，所述第三互连层用于将所述外围电路与外部电路耦合。

根据本公开实施例的第二方面，提供一种半导体结构的制备方法，包括：

提供第一半导体结构，其中，所述第一半导体结构包括阵列排布且彼此间隔的多个
10 存储阵列，所述多个存储阵列中的每个存储阵列包括阵列排布的多个存储单元，所述多个存储单元中的每个存储单元包括沿第一方向延伸的垂直晶体管和耦合至所述垂直晶体管的电容器，所述电容器包括彼此相对的第一电极和第二电极，所述第一电极与所述垂直晶体管耦合，所述第一半导体结构还包括公共电极和公共电极接触插塞，所述公共电极与所述多个存储阵列中的所述电容器的所述第二电极电连接，所述公共电极接触插
15 塞与所述垂直晶体管设置于所述公共电极在所述第一方向上的同一侧；

提供第二半导体结构，其中，所述第二半导体结构包括外围电路；

将所述第一半导体结构与所述第二半导体结构键合，以使得所述公共电极通过所述公共电极接触插塞耦合至所述外围电路，其中，所述第二半导体结构设置于所述垂直晶体管在所述第一方向上远离所述电容器的一侧。

20 根据本公开实施例的第三方面，提供一种电子设备，包括：

处理器；以及

本公开任一实施例提供的存储器，所述存储器与所述处理器耦合。

在本公开的实施例中，多个存储阵列共用同一公共电极，相应地，其余功能器件（例如，去耦电容器等）可以设置在多个存储阵列的外围，从而可以缩小相邻存储阵列之间的
25 间隔，整体而言可以减小第一半导体结构的尺寸，进而有利于减小存储器的芯片尺寸。

附图说明

图1为本公开一些实施例提供的一种存储器的截面结构示意图；

- 图 2 为本公开一些实施例提供的一种存储器中的多个存储阵列的排布示意图；
- 图 3a 为本公开一些实施例提供的存储器沿图 2 中的 A1A2 线所截取的截面结构示意图；
- 图 3b 为本公开一些实施例提供的存储器沿图 2 中的 B1B2 线所截取的截面结构示意图；
- 图 4 为本公开一些实施例提供的一种互连线的平面结构示意图；
- 5 图 5a 为本公开另一些实施例提供的存储器沿图 2 中的 A1A2 线所截取的部分截面结构示意图；
- 图 5b 为本公开另一些实施例提供的存储器沿图 2 中的 B1B2 线所截取的部分截面结构示意图；
- 图 6a 为本公开又一些实施例提供的存储器沿图 2 中的 A1A2 线所截取的部分截面结构
- 10 示意图；
- 图 6b 为本公开又一些实施例提供的存储器沿图 2 中的 B1B2 线所截取的部分截面结构示意图；
- 图 7 为本公开一些实施例提供的一种存储器的制造方法的流程示意图；
- 图 8 为本公开一些实施例提供的一种电子设备的结构示意图框图。

15

具体实施方式

下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

20

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

25

在本公开实施例中，术语“第一”、“第二”、“第三”等是用于区别类似的对象，而不必

用于描述特定的顺序或先后次序。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。

在本公开实施例中，术语“耦合”是指两个（或多个）导电结构彼此可操作地连接，根据实际需要，可以包括但不限于以下情形：1）两个导电结构直接电连接；2）两个导电结构间接电连接（通过其他导电结构）；3）虽然两个导电结构之间不进行电连接（例如二者之间设置绝缘层），但是两个导电结构之一可以响应于电信号控制两个导电结构之另一的电学性能，例如，栅极（或字线）与有源区（或沟道区）耦合。

需要说明的是，本公开实施例所记载的技术方案以及技术特征之间，在不冲突的情况下，可以任意组合。

本公开至少一些实施例提供一种存储器。该存储器包括第一半导体结构以及与第一半导体结构耦合的第二半导体结构。第一半导体结构包括阵列排布且彼此间隔的多个存储阵列，该多个存储阵列中的每个存储阵列包括阵列排布的多个存储单元，该多个存储单元中的每个存储单元包括沿第一方向延伸的垂直晶体管和耦合至垂直晶体管的电容器，电容器包括彼此相对的第一电极和第二电极，第一电极与垂直晶体管耦合；第二半导体结构包括外围电路，第二半导体结构设置于垂直晶体管在第一方向上远离电容器的一侧；第一半导体结构还包括公共电极和公共电极接触插塞，公共电极与该多个存储阵列中的电容器的第二电极电连接，公共电极接触插塞与垂直晶体管设置于公共电极在第一方向上的同一侧，公共电极通过公共电极接触插塞耦合至外围电路。在本公开的实施例中，多个存储阵列共用同一公共电极，相应地，其余功能器件（例如，去耦电容器等）可以设置在多个存储阵列的外围，从而可以缩小相邻存储阵列之间的间隔，整体而言可以减小第一半导体结构的尺寸，进而有利于减小存储器的芯片尺寸。

图1为本公开一些实施例提供的一种存储器的截面结构示意图；图2为本公开一些实施例提供的一种存储器中的多个存储阵列的排布示意图；图3a为本公开一些实施例提供的存储器沿图2中的A1A2线所截取的截面结构示意图；图3b为本公开一些实施例提供的存储器沿图2中的B1B2线所截取的截面结构示意图。

例如，如图1、图2、图3a和图3b所示，存储器10可以包括第一半导体结构100和第

二半导体结构 200。第一半导体结构 100 可以包括阵列排布且彼此间隔的多个存储阵列 105，第二半导体结构 200 可以包括外围电路 205，第一半导体结构 100 和第二半导体结构 200 可以通过键合界面 300 彼此键合，从而使得多个存储阵列 105 分别耦合至外围电路 205。

例如，如图 2、图 3a 和图 3b 所示，每个存储阵列 105 可以包括阵列排布的多个存储单元，每个存储单元包括沿第一方向 Z 延伸的垂直晶体管 110 和耦合至垂直晶体管 110 的电容
5 器 120。第二半导体结构 200 可以设置于垂直晶体管 110 在第一方向 Z 上远离电容器 120 的一侧。

需要说明的是，附图中的存储阵列的个数是示例性的，本公开的实施例对此不做限制。例如，在一些示例中，存储器 10 可以包括 $m \times n$ 个存储阵列 105，其中，m 表示行
10 方向（例如，下文中的第二方向 X）上的存储阵列 105 的个数，n 表示列方向（例如，下文中的第三方向 Y）上的存储阵列 105 的个数，例如 m、n 均为大于或等于 2 的正整数。图 2 示出了 m 和 n 均为 2 的情形。

例如，在一些示例中，如图 2、图 3a 和图 3b 所示，垂直晶体管 110 包括沿第一方向 Z
延伸的有源柱 111、覆盖有源柱 111 侧壁的栅极 112 以及位于有源柱 111 和栅极 112 之间的
15 栅介质层 113。例如，有源柱 111 的材料可以包括任意合适的半导体材料，如硅、锗、砷化镓、氧化物半导体材料等；例如，氧化物半导体材料可以包括但不限于铟镓锌氧化物 (IGZO)、
铟镓氧化物 (IGO)、铟锌氧化物 (IZO) 等。例如，栅极 112 的材料可以包括任意合适的导电材料，如氮化钛 (TiN)、氮化钽 (TaN)、钨、金属硅化物、掺杂多晶硅或其任意组合，等等。例如，栅介质层 113 的材料可以包括任意合适的电介质材料，如氧化硅、氮化硅、高 K
20 电介质材料或其任意组合，等等；例如，高 K 电介质材料可以包括但不限于氧化铪 (HfO₂)、
氧化锆 (ZrO₂) 等。需要说明的是，附图中的垂直晶体管 110 是示例性的，本公开的实施例对垂直晶体管 110 的结构不做限制。例如，垂直晶体管 110 可以是全环绕栅极 (gate-all-around, GAA) 晶体管（如附图所示），也可以是单侧栅极晶体管、双侧（例如，对侧）栅极晶体管
或三侧栅极晶体管等。

例如，如图 3a 和图 3b 所示，电容器 120 包括彼此相对的第一电极 121 和第二电极 122
以及设置于第一电极 121 和第二电极 122 之间的电容介质层 123。例如，第一电极 121 和第
25 二电极 122 的材料均包括任意合适的导电材料，如氮化钛 (TiN)、氮化钽 (TaN)、钨、金属
硅化物、掺杂多晶硅或其任意组合，等等。例如，电容介质层 123 的材料包括任意合适的电
介质材料，如氧化硅、氮化硅、高 K 电介质材料或其任意组合，等等；例如，电容介质层
30 123 的材料还可以包括具有铁电性或反铁电性的电介质材料，如铁电相的铪氧化物、铁电相

的铪锆氧化物等；也就是说，电容器 120 可以为铁电电容器。

例如，在一些示例中，如图 3a 和图 3b 所示，第一电极 121 可以通过接触焊盘 115 与垂直晶体管 110 耦合。例如，第一电极 121 与垂直晶体管 110 的第一源漏极耦合。例如，接触焊盘 115 的材料可以包括任意合适的导电材料，如氮化钛 (TiN)、氮化钽 (TaN)、钨、金属硅化物、掺杂多晶硅或其任意组合，等等。例如，接触焊盘 115 的形状和结构可以根据需要进行设置，以配合存储阵列 105 中的多个电容器 120 的排布方式(如四方排布或六方密排等)。需要说明的是，在另一些示例中，可以省略接触焊盘 115，即第一电极 121 可以直接与垂直晶体管 110 耦合。

例如，如图 2、图 3a 和图 3b 所示，第一半导体结构 100 还包括公共电极 124 和公共电极接触插塞 150。公共电极 100 与多个存储阵列 105 中的电容器 120 的第二电极 122 电连接，也即，多个存储阵列 105 共用同一公共电极 100。公共电极接触插塞 150 与垂直晶体管 105 设置于公共电极 124 在第一方向 Z 上的同一侧。公共电极 124 通过公共电极接触插塞 150 耦合至外围电路 205 (例如，外围电路 205 的地端)。

需要说明的是，在相关技术的存储器中，每个存储阵列共用同一公共电极，不同的存储阵列对应的公共电极彼此分立，以在相邻的存储阵列之间设置其余功能器件(通常包括无源器件，例如去耦电容器等)；然而，这样的设置限制了存储器芯片尺寸的减小。在本公开的实施例中，多个存储阵列 105 共用同一公共电极 100，其余功能器件(例如，去耦电容器等)可以设置在多个存储阵列 105 的外围，从而可以缩小相邻存储阵列 105 之间的间隔，整体而言可以减小第一半导体结构 100 的尺寸，进而有利于减小存储器 10 的芯片尺寸。

例如，公共电极 124 的材料可以包括任意合适的导电材料，如氮化钛 (TiN)、氮化钽 (TaN)、钨、掺杂多晶硅、硅锗 (SiGe) 或其任意组合，等等。例如，公共电极接触插塞 150 的材料可以包括任意合适的导电材料，如氮化钛 (TiN)、氮化钽 (TaN)、钨、钴、金属硅化物或其任意组合，等等。

例如，在一些示例中，如图 3a 和图 3b 所示，每个存储阵列 105 中的第二电极 122 一体成型，每个存储阵列 105 中的电容介质层 123 一体成型；进一步地，多个存储阵列 105 中的第二电极 122 一体成型，多个存储阵列 105 中的电容介质层 123 一体成型，从而可以简化第一半导体结构 100 的制造工艺。也就是说，第二电极 122 和电容介质层 123 可以均为多个存储阵列 105 所共用。在此情况下，如图 3a 和 3b 所示，公共电极接触插塞 150 的一端贯穿上述共用的电容介质层 123，以与上述共用的第二电极 122 接触连接，从而实现公共电极接触

插塞 150 与公共电极 124 之间的电连接。可以理解的是，在图 3a 和图 3b 所示的实施例的基础上，公共电极接触插塞 150 的一端可以进一步贯穿共用的第二电极 122，以直接与公共电极 124 接触连接。还可以理解的是，在一些示例中，多个存储阵列 105 中的第二电极 122 可以彼此分立，从而，公共电极接触插塞 150 的一端可以贯穿上述共用的电容介质层 123 后直接
5 与公共电极 124 接触连接。

例如，在一些示例中，如图 3a 和图 3b 所示，公共电极 124 可以包括与多个存储阵列 105 一一对应的多个第一板状部 124a 以及连接多个第一板状部 124a 的第二板状部 124b；第二板状部 124b 设置于相邻的存储阵列 105 之间，且第二板状部 124b 比多个第一板状部 124a 更靠近第二半导体结构 200。例如，第二板状部 124b 沿第一方向 Z 的正投影可以呈网格状。需要说明的是，在本公开中，沿某一方向的正投影是指在垂直于该方向的一虚拟平面内的正投影。
10 影。

例如，在一些示例中，如图 3a 和图 3b 所示，公共电极 124 还可以包括沿第一方向 Z 延伸的延伸部 124c，延伸部 124c 设置于第一电极 121 的侧壁上且与对应的第一板状部 124a 连接，第一板状部 124a 通过延伸部 124c 与第二板状部 124b 连接。

例如，在一些示例中，如图 3a 和图 3b 所示，公共电极 124 中形成有凹陷 124R，第一板状部 124a 位于凹陷 124R 的开口的一侧，第二板状部 124b 位于凹陷 124R 的底部，部分延伸部 124c 位于凹陷 124R 的侧壁。例如，在一些示例中，第一半导体结构还可以包括设置于公共电极 124 的远离第二半导体结构 200 的一侧且填充凹陷 124R 的平坦化层(图中未示出)。
15

例如，在一些示例中，如图 3a 和图 3b 所示，多个第一板状部 124a、第二板状部 124b 以及延伸部 124c 可以一体成型。例如，在一些示例中，如图 2、图 3a 和图 3b 所示，公共电极沿第一方向 Z 的正投影的形状可以为封闭图形(例如，其内无空洞和/或缝隙)。
20

例如，在一些示例中，如图 3a 和图 3b 所示，公共电极接触插塞 150 沿第一方向 Z 的正投影可以位于第二板状部 124b 沿第一方向的正投影内。也即，公共电极接触插塞 150 耦合至第二板状部 124b，以实现与公共电极 124 的耦合，从而有利于缩短公共电极接触插塞 150 的传输路径，减小公共电极接触插塞 150 的传输电阻。例如，在一些示例中，第一半导体结构 100 可以包括多个公共电极接触插塞 150，其中至少一个公共电极接触插塞 150 沿第一方向 Z 的正投影位于第二板状部 124b 沿第一方向的正投影内。
25

例如，如图 2、图 3a 和图 3b 所示，每个存储阵列 105 还可以包括沿第二方向 X 延伸的多条字线 130 和沿第三方向 Y 延伸的多条位线 140。在每个存储阵列 105 中，每条字线 130 耦合至沿第二方向 X 排布的一行垂直晶体管 110，例如，字线 130 与垂直晶体
30

管 110 的栅极耦合，或者，垂直晶体管 110 的栅极是字线 130 的一部分；每条位线 140 耦合至沿第三方向 Y 排布的一列垂直晶体管 110，例如，位线 140 与垂直晶体管的第二源漏极耦合。例如，第二方向 X 垂直于第一方向 Z，第三方向 Y 垂直于第一方向 Z。例如，第三方向 Y 与第二方向 X 相交；例如，第三方向 Y 可以垂直于第二方向 X。需要说明的是，在本公开中，行和列的定义是相对的，二者可以互换。

例如，字线 130 的材料可以包括任意合适的导电材料，如氮化钛(TiN)、氮化钽(TaN)、钨、金属硅化物、掺杂多晶硅或其任意组合，等等。例如，位线 140 的材料可以包括任意合适的导电材料，如氮化钛(TiN)、氮化钽(TaN)、钨、金属硅化物、掺杂多晶硅或其任意组合，等等。

例如，如图 2、图 3a 和图 3b 所示，在每个存储阵列 105 中，多条字线 130 可以沿第三方向 Y 间隔排布，多条位线 140 可以沿第二方向 X 间隔排布；相邻的存储阵列 105 中的字线 130 可以彼此间隔排布，相邻的存储阵列 105 中的位线 140 可以彼此间隔排布。也就是说，相邻的存储阵列 105 中位于同一直线（例如，沿第二方向 X 延伸的直线）上的两条字线 130 各自可以被独立控制，相邻的存储阵列 105 中位于同一直线（例如，沿第三方向 Y 延伸的直线）上的两条位线 140 各自可以被独立控制。

例如，在一些示例中，如图 3a 和图 3b 所示，位线 140 可以通过位线接触插塞 116 与垂直晶体管耦合。例如，位线接触插塞 116 的材料可以包括任意合适的导电材料，如氮化钛(TiN)、氮化钽(TaN)、钨、金属硅化物、掺杂多晶硅或其任意组合，等等。

例如，如图 2、图 3a 和图 3b 所示，第一半导体结构还可以包括与每个存储阵列 105 中的多条字线 130 一一对应耦合的多个第一接触插塞 160 以及与每个存储阵列 105 中的多条位线 140 一一对应耦合的多个第二接触插塞 170。每个第一接触插塞 160 设置于对应的字线 130 的靠近第二半导体结构 200 的一侧，每个第二接触插塞 170 设置于对应的位线 140 的靠近第二半导体结构 200 的一侧。

例如，在一些示例中，如图 2、图 3a 和图 3b 所示，在每个存储阵列 105 中的，奇数序号的字线 130 的第一端（例如，图 2 中的左端）与对应的第一接触插塞 160 耦合，偶数序号的字线 130 的第二端（例如，图 2 中的右端）与对应的第一接触插塞 160 耦合；奇数序号的位线 140 的第一端（例如，图 2 中的下端）与对应的第二接触插塞 170 耦合，偶数序号的位线 140 的第二端（例如，图 2 中的上端）与对应的第二接触插塞 170 耦合。从而，在制造过程中，可以增大第一接触插塞 160 和第二接触插塞 170 的工艺窗口。

例如，在一些示例中，第一接触插塞 160、第二接触插塞 170 和公共电极接触插塞

150 可以是同步形成的，也即，三者可以具有基本相同的结构和材料构成。

例如，在一些示例中，如图 2、图 3a 和图 3b 所示，公共电极接触插塞 150 沿第一方向 Z 的正投影位于相邻四个存储阵列 105 沿第一方向 Z 的正投影的相邻四个顶角限定的区域中。从而，公共电极接触插塞 150 可以设置为具有较大的横截面积，有助于减小公共电极接触插塞 150 的传输电阻。

例如，在一些示例中，如图 2、图 3a 和图 3b 所示，公共电极接触插塞 150 沿第一方向 Z 的正投影的面积可以大于第一接触插塞 160 沿第一方向 Z 的正投影的面积，还可以大于第二接触插塞 170 沿第一方向 Z 的正投影的面积。

例如，在一些示例中，如图 3a 和图 3b 所示，第一半导体结构 100 还可以包括第一互连层 180，第一互连层 180 设置于多个存储阵列 105 在第一方向 Z 上靠近第二半导体结构 200 的一侧；第二半导体结构 200 还可以包括第二互连层 220，第二互连层 220 设置于外围电路 205 在第一方向 Z 上靠近第一半导体结构的一侧；存储器 10 还可以包括设置于第一互连层 180 和第二互连层 220 之间的键合界面 300。例如，第一互连层 180 和第二互连层 220 通过键合界面 300 进行键合，以实现第一半导体结构 100 和第二半导体结构 200 之间的键合。例如，可以采用混合键合 (hybrid bonding) 技术实现上述键合。

例如，在一些示例中，如图 3a 和图 3b 所示，第一互连层 180 可以包括多个层级的第一互连线 181、设置于相邻层级的第一互连线 181 之间的第一互连过孔 (Via) 182 以及多个第一键合焊盘 183；类似地，第二互连层 220 可以包括多个层级的第二互连线 221、设置于相邻层级的第二互连线 221 之间的第二互连过孔 (Via) 222 以及多个第二键合焊盘 223；其中，多个第一键合焊盘 183 和多个第二键合焊盘 223 通过键合界面 300 相互键合。例如，公共电极接触插塞 150、第一接触插塞 160、第二接触插塞 170 三者中的每一个均通过第一互连线 181、第一互连过孔 182、第一键合焊盘 183、第二键合焊盘 223、第二互连过孔 222、第二互连线 221 与外围电路 205 耦合。

例如，在一些示例中，如图 3a 和图 3b 所示，第二半导体结构 200 可以包括半导体衬底 201，外围电路 205 可以包括至少部分设置于半导体衬底 201 中的多个晶体管 210，用于实现字线驱动器 (如，子字线驱动器, Sub-Word line Driver) 和感测放大器 (Sense Amplifier, SA) 等控制电路的结构和功能。例如，如图 3a 和图 3b 所示，晶体管 210 可以包括位于衬底中的有源区 211、设置于有源区 211 上的栅极 212 以及位于有源区 211 和栅极 212 之间栅介质层 213，半导体衬底 201 中可以设置有定义各有源区 211 的沟槽隔离结构 207。例如，半导体衬底 201 的材料可以包括任意合适的半导体材料，如硅、锗、砷化镓、氧化物半导体材

料等。例如，栅极 212 的材料可以包括任意合适的导电材料，如氮化钛(TiN)、氮化钽(TaN)、钨、金属硅化物、掺杂多晶硅或其任意组合，等等。例如，栅介质层 213 的材料可以包括任意合适的电介质材料，如氧化硅、氮化硅、高 K 电介质材料或其任意组合，等等。需要说明的是，附图中的晶体管 210 是示例性的，本公开的实施例对晶体管 210 的结构不做限制。例如，晶体管 210 可以是平面晶体管（如附图所示），也可以是鳍式晶体管（FinFET）等。

例如，在一些示例中，如图 3a 和图 3b 所示，第二半导体结构还可以包括设置于外围电路 205 和第二互连层 220 之间的多个第三接触插塞 230，用于实现外围电路 205 和第二互连层 220 之间的耦合。

例如，在一些示例中，如图 3a 和图 3b 所示，第二半导体结构 200 还可以包括第三互连层 280，第三互连层 280 设置于外围电路 205 的远离第一半导体结构 100 的一侧，第三互连层 280 用于将外围电路 205 与外部电路耦合。例如，如图 3a 和图 3b 所示，外围电路 205 和第二互连层 220 设置于半导体衬底 201 的第一面（如正面），第三互连层 280 设置于半导体衬底 201 的第二面（如背面）。

例如，在一些示例中，如图 3a 和图 3b 所示，第三互连层 280 可以包括多个层级的第三互连线 281、设置于相邻层级的第三互连线 281 之间的第三互连过孔（Via）282 以及多个引出焊盘 283。

例如，在一些示例中，如图 3a 和图 3b 所示，第二半导体结构还可以包括贯穿半导体衬底 201 的多个第四接触插塞 250，用于实现第二互连层 220 和第三互连层 280 之间的耦合。可以理解的是，第四接触插塞 250 和半导体衬底 201 之间可以设置有隔离层（图中未示出），以实现第四接触插塞 250 和半导体衬底 201 之间的电绝缘。

例如，在一些示例中，如图 3a 和图 3b 所示，外围电路 205 通过第三接触插塞 230、第二互连层 220（例如，其中的第二互连线 221，或者，其中的第二互连线 221 和第二互连过孔 222）、第四接触插塞 250、第三互连层 280（例如，其中的第三互连线 281、第三互连过孔 282 和引出焊盘 283）与外部电路耦合。

图 4 为本公开一些实施例提供的一种互连线的平面结构示意图。例如，如图 4 所示，第一互连线 181 分别与位于其两侧的第一接触插塞 160（或第二接触插塞 170）和第一互连过孔 182 耦接，且第一互连线 181 的宽度在与第一接触插塞 160（或第二接触插塞 170）和第一互连过孔 182 的耦接处具有局部极大值，从而有利于增大接触面积，减小接触电阻。如图 4 所示，第一互连线 181 沿第三方向 E1 延伸，第一互连线 181 的宽度是指第一互连线 181 在与第三方向 E1 垂直的第三方向 E2 上的尺寸；上述局部极大值是指：第一互连线 181 在某

一区段处的宽度大于其在该区段附近的其他区段（可以不是其余全部区段，例如可以是该区段两侧的部分区段）处的宽度。例如，第三方向 E1 和第四方向 E2 均平行于第二方向 X 和第三方向 Y 定义的平面，第三方向 E1 可以平行于第二方向 X 或第三方向 Y，也可以与二者均相交。需要说明的是，虽然图 4 以第一互连线 181、第一接触插塞 160（或第二接触插塞 170）和第一互连过孔 182 为例进行说明，但是其余互连线及其两侧的接触插塞/互连过孔也可以参考图 4 进行设置。

在本公开中，互连层（如第一互连层 180、第二互连层 220、第三互连层 280）可以包括一个或多个层间介质层，互连线（如第一互连线 181、第二互连线 221、第三互连线 281）、互连过孔（如第一互连过孔 182、第二互连过孔 222、第三互连过孔 282）、焊盘（如第一键合焊盘 183、第二键合焊盘 223、引出焊盘 283）等均可以形成于该一个或多个层间介质层中。例如，互连线、互连过孔的材料可以包括任意合适的导电材料，如氮化钛（TiN）、氮化钽（TaN）、钨、铝、钴、铜、金属硅化物、掺杂多晶硅或其任意组合，等等。例如，焊盘的材料可以包括任意合适的导电材料，包括但不限于铜。层间介质层的材料可以包括但不限于氧化硅、氮化硅、氮氧化硅、低 K 电介质材料或其任何组合，等等。

需要说明的是，本公开的附图中的电容器 120 的结构是示例性的，本公开的实施例对电容器 120 的结构不做限制，只要第一电极 121、第二电极 122 和电容介质层 123 的设置能够形成电容器 120 即可。例如，第一电极 121 可以是柱状（如附图所示），也可以是板状或 U 型，还可以是其他任意合适的形状；第二电极 122 共形覆盖第一电极 121 的侧壁和/或顶面，电容介质层 123 位于第一电极 121 和第二电极 122 之间。例如，在一些示例中，第一半导体结构 100 中，可以设置一个或多个用于支撑第一电极的支撑层，支撑层呈网格状，电容介质层 123 和第二电极 122 可以部分覆盖支撑层。

图 5a 为本公开另一些实施例提供的存储器沿图 2 中的 A1A2 线所截取的部分截面结构示意图，图 5b 为本公开另一些实施例提供的存储器沿图 2 中的 B1B2 线所截取的部分截面结构示意图。需要说明的是，与图 3a 和图 3b 相比，为了简洁，图 5a 和图 5b 中仅示出了存储器中的部分结构，图 5a 和图 5b 中未示出的结构可以参考图 3a 和图 3b 中的对应结构。

图 5a 和图 5b 所示的实施例中的存储器与图 3a 和图 3b 所示的实施例中的存储器的主要区别在于：对于图 5a 和图 5b 所示的实施例中的存储器，每个存储阵列 105 中的第二电极 122 一体成型，每个存储阵列 105 中的电容介质层 123 一体成型；进一步地，多个存储阵列 105 中的第二电极 122 一体成型，但是多个存储阵列 105 中的电容介质层 123 彼此分立。在此情

况下，如图 5a 和图 5b 所示，公共电极接触插塞 150 的一端可以直接与共用的第二电极 122 接触连接，而无需贯穿电容介质层 123。可以理解的是，在图 5a 和图 5b 所示的实施例的基础上，公共电极接触插塞 150 的一端可以贯穿共用的第二电极 122，以直接与公共电极 124 接触连接。还可以理解的是，在一些示例中，多个存储阵列 105 中的第二电极 122 可以彼此
5 分立，从而，公共电极接触插塞 150 的一端可以直接与公共电极 124 接触连接。

图 5a 和图 5b 所示的实施例中的存储器的其余结构的特征可以参考靠前述图 3a 和图 3b 的相关描述，在此不再重复赘述。

图 6a 为本公开又一些实施例提供的存储器沿图 2 中的 A1A2 线所截取的部分截面结构示意图，图 6b 为本公开又一些实施例提供的存储器沿图 2 中的 B1B2 线所截取的部分截面
10 结构示意图。需要说明的是，类似于图 5a 和图 5b，为了简洁，图 6a 和图 6b 中仅示出了存储器中的部分结构，图 6a 和图 6b 中未示出的结构可以参考图 3a 和图 3b 中的对应结构。

图 6a 和图 6b 所示的实施例中的存储器与图 5a 和图 5b 所示的实施例中的存储器的主要区别在于：在图 6a 和图 6b 所示的实施例中的存储器中，第二电极 122 和公共电极 124 一体成型，从而可以简化工艺步骤。也就是说，第二电极 122 和公共电极 124 形成为一个整体结
15 构，二者不做严格区分或者都被认为是该整体结构的一部分。例如，在一些示例中，也可以将图 3a 和图 3b 所示的实施例中的第二电极 122 和公共电极 124 视为一个整体结构，即该整体结构可以是多层结构，而并非必须是单层结构。

图 6a 和图 6b 所示的实施例中的存储器的其余结构的特征可以参考靠前述图 3a 和图 3b 的相关描述，在此不再重复赘述。

20 例如，在一些实施例中，存储器 10 可以包括多个存储器库（memory bank），每个存储库包括多个存储阵列（即多个存储阵列 105），每个存储器库中的多个存储阵列共用同一公共电极（即公共电极 124），即每个存储器库对应一个公共电极；不同的存储器库对应的公共电极彼此分立。例如，在相邻的存储库之间可以设置无源器件；例如，无源器件包括但不限于去耦电容器等。

25 例如，存储器 10 可以为动态随机存取存储器（DRAM）或铁电随机存取存储器（Fe-RAM），但不限于此。

需要说明的是，为了清楚和简洁，附图中省略了第一半导体结构和第二半导体结构中的大部分绝缘层和/或介质层等，例如省略了上文所述的填充层和支撑层等。

本公开至少一些实施例还提供一种存储器的制造方法，该制造方法可用于制造前述实施

例中的存储器。图7为本公开一些实施例提供的一种存储器的制造方法的流程示意图。例如，如图7所示，该制造方法可以包括以下步骤S100至S300。

5 S100：提供第一半导体结构，其中，第一半导体结构包括阵列排布且彼此间隔的多个存储阵列，该多个存储阵列中的每个存储阵列包括阵列排布的多个存储单元，该多个存储单元中的每个存储单元包括沿第一方向延伸的垂直晶体管和耦合至垂直晶体管的电容器，电容器包括彼此相对的第一电极和第二电极，第一电极与垂直晶体管耦合，第一半导体结构还包括公共电极和公共电极接触插塞，公共电极与所述多个存储阵列中的电容器的第二电极电连接，公共电极接触插塞与垂直晶体管设置于公共电极在第一方向上的同一侧。

10 例如，在一些示例中，以图2、图3a和图3b中所示的第一半导体结构100为例，提供第一半导体结构可以包括：在一衬底的第一面（如正面）上形成垂直晶体管110、字线130、接触焊盘115、电容器120以及公共电极124；从该衬底的第二面（如背面）减薄或去除该衬底，并形成位线140、公共电极接触插塞150、第一接触插塞160、第二接触插塞170、第一互连层180。

15 S200：提供第二半导体结构，其中，第二半导体结构包括外围电路。

例如，在一些示例中，以图2、图3a和图3b中所示的第二半导体结构200为例，提供第二半导体结构可以包括：在一半导体衬底201的第一面（如正面）上形成外围电路205（如图中的晶体管210所示）、第三接触插塞230以及第二互连层220；从半导体衬底201的第二面（如背面）减薄该半导体衬底201，并形成第四接触插塞250、第三互连层280。

20 S300：将第一半导体结构与第二半导体结构键合，以使得公共电极通过公共电极接触插塞耦合至外围电路，其中，第二半导体结构设置于垂直晶体管在第一方向上远离电容器的一侧。

25 例如，可以采用混合键合（hybrid bonding）技术将第一半导体结构与第二半导体结构键合。

例如，在一些示例中，以图2、图3a和图3b所示的存储器10为例，将第一半导体结构100与第二半导体结构200键合可以包括：将第一互连层180和第二互连层220键合，以实现第一半导体结构100和第二半导体结构200之间的键合，其中，键合界面300位于第一互连层180和第二互连层220之间。

需要说明的是，上述制造方法的一个或多个步骤可以包括多个子步骤，根据实际需要，这些子步骤可以顺序执行或并行执行；另外，根据实际需要，不同步骤中的各子步骤可以顺序执行、并行执行或交替执行。

例如，在一些实施例中，可以先提供第一半导体结构；然后，提供初始第二半导体结构，即在一半导体衬底 201 的第一面（如正面）上形成外围电路 205（如图中的晶体管 210 所示）、第三接触插塞 230 以及第二互连层 220；再将第一半导体结构与初始第二半导体结构键合；最后，从初始第二半导体结构的半导体衬底 201 的第二面（如背面）减薄该半导体衬底 201，并形成第四接触插塞 250、第三互连层 280。

本公开的实施例提供的制造方法的更多细节及技术效果可以参考上述存储器的实施例中的相关描述，在此不再重复赘述。

本公开至少一些实施例还提供一种电子设备。图 8 为本公开一些实施例提供的一种电子设备的结构示意图。如图 8 所示，该电子设备 1 包括处理器 20 和前述实施例中的存储器 10，存储器 10 与处理器 20 耦合。

例如，处理器 20 可以包括但不限于中央处理器（CPU）、图形处理器（GPU）等。存储器 10 可以被配置为存储待处理器 20 处理的数据和/或由处理器处理过的数据。

例如，电子设备 1 包括但不限于手机、平板电脑、智能手环、可穿戴电子设备、虚拟现实设备、增强现实设备、车载设备、服务器、工作站等。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

权 利 要 求 书

1.一种存储器(10),包括:

第一半导体结构(100),包括阵列排布且彼此间隔的多个存储阵列(105),其中,
所述多个存储阵列中的每个存储阵列包括阵列排布的多个存储单元,所述多个存储单元
5 中的每个存储单元包括沿第一方向(Z)延伸的垂直晶体管(110)和耦合至所述垂直晶
体管的电容器(120),所述电容器包括彼此相对的第一电极(121)和第二电极(122),
所述第一电极与所述垂直晶体管耦合:

第二半导体结构(200),包括外围电路(205),与所述第一半导体结构键合,其中,
所述第二半导体结构设置于所述垂直晶体管在所述第一方向上远离所述电容器的一侧;

10 其中,所述第一半导体结构还包括公共电极(124)和公共电极接触插塞(150),
所述公共电极与所述多个存储阵列中的所述电容器的所述第二电极电连接,所述公共电
极接触插塞与所述垂直晶体管设置于所述公共电极在所述第一方向上的同一侧,所述公
共电极通过所述公共电极接触插塞耦合至所述外围电路。

2.根据权利要求1所述的存储器,其中,所述公共电极包括与所述多个存储阵列一
15 一对应的多个第一板状部(124a)以及连接所述多个第一板状部的第二板状部(124b),
所述第二板状部设置于相邻的所述存储阵列之间且比所述多个第一板状部更靠近所述
第二半导体结构。

3.根据权利要求2所述的存储器,其中,所述公共电极接触插塞沿所述第一方向的
正投影位于所述第二板状部沿所述第一方向的正投影内。

20 4.根据权利要求2或3所述的存储器,其中,所述公共电极还包括沿所述第一方向
延伸的延伸部(124c),所述延伸部设置于所述第一电极的侧壁上且与对应的所述第一
板状部连接,所述第一板状部通过所述延伸部与所述第二板状部连接。

5.根据权利要求2或3所述的存储器,其中,所述多个第一板状部与所述第二板状
部一体成型。

25 6.根据权利要求1-5任一项所述的存储器,其中,所述公共电极接触插塞沿所述第
一方向的正投影位于相邻四个所述存储阵列沿所述第一方向的正投影的相邻四个顶角
限定的区域中。

7.根据权利要求1-6任一项所述的存储器,其中,所述电容器还包括设置于所述第
一电极和所述第二电极之间的电容介质层(123),所述多个存储阵列中的所述电容介质

层一体成型，所述公共电极接触插塞贯穿所述电容介质层与所述公共电极耦合。

8.根据权利要求 1-6 任一项所述的存储器，其中，所述电容器还包括设置于所述第一电极和所述第二电极之间的电容介质层，所述每个存储阵列中的所述电容介质层一体成型，所述多个存储阵列中的所述电容介质层彼此分立。

5 9.根据权利要求 1-8 任一项所述的存储器，其中，所述每个存储阵列中的所述第二电极一体成型，所述多个存储阵列中的所述第二电极一体成型或彼此分立。

10.根据权利要求 1-8 任一项所述的存储器，其中，所述多个存储阵列中的所述第二电极与所述公共电极一体成型。

11.根据权利要求 1-10 任一项所述的存储器，其中，所述每个存储阵列还包括沿第
10 二方向（X）延伸的多条字线（130）和沿第三方向（Y）延伸的多条位线（140），

在所述每个存储阵列中，所述多条字线中的每条字线耦合至沿所述第二方向排布的一行所述垂直晶体管，所述多条位线中的每条位线耦合至沿所述第三方向排布的一列所述垂直晶体管，

所述第二方向垂直于所述第一方向，所述第三方向垂直于所述第一方向，所述第三
15 方向与所述第二方向相交。

12.根据权利要求 11 所述的存储器，其中，相邻的所述存储阵列中的所述字线彼此间隔排布，相邻的所述存储阵列中的所述位线彼此间隔排布。

13.根据权利要求 11 或 12 所述的存储器，其中，所述第一半导体结构还包括：

与所述每个存储阵列中的所述多条字线一一对应耦合的多个第一接触插塞（160），
20 所述多个第一接触插塞中的每个第一接触插塞设置于对应的所述字线的靠近所述第二半导体结构的一侧；

与所述每个存储阵列中的所述多条位线一一对应耦合的多个第二接触插塞（170），所述多个第二接触插塞中的每个第二接触插塞设置于对应的所述位线的靠近所述第二半导体结构的一侧。

25 14.根据权利要求 1-13 任一项所述的存储器，其中，所述第一半导体结构还包括第一互连层（180），所述第一互连层设置于所述多个存储阵列在所述第一方向上靠近所述第二半导体结构的一侧；

所述第二半导体结构还包括第二互连层（220），所述第二互连层设置于所述外围电

路在所述第一方向上靠近所述第一半导体结构的一侧；

所述存储器还包括设置于所述第一互连层和所述第二互连层之间的键合界面(300)。

- 15.根据权利要求 1-14 任一项所述的存储器，其中，所述第二半导体结构还包括第三互连层(280)，所述第三互连层设置于所述外围电路的远离所述第一半导体结构的一侧，所述第三互连层用于将所述外围电路与外部电路耦合。

16.一种电子设备(1)，包括：

处理器(20)；以及

根据权利要求 1-13 任一项所述的存储器(10)，所述存储器与所述处理器耦合。

17.一种存储器的制造方法，包括：

- 10 提供第一半导体结构，其中，所述第一半导体结构包括阵列排布且彼此间隔的多个存储阵列，所述多个存储阵列中的每个存储阵列包括阵列排布的多个存储单元，所述多个存储单元中的每个存储单元包括沿第一方向延伸的垂直晶体管和耦合至所述垂直晶体管的电容器，所述电容器包括彼此相对的第一电极和第二电极，所述第一电极与所述垂直晶体管耦合，所述第一半导体结构还包括公共电极和公共电极接触插塞，所述公共
15 电极与所述多个存储阵列中的所述电容器的所述第二电极电连接，所述公共电极接触插塞与所述垂直晶体管设置于所述公共电极在所述第一方向上的同一侧；

提供第二半导体结构，其中，所述第二半导体结构包括外围电路；

- 将所述第一半导体结构与所述第二半导体结构键合，以使得所述公共电极通过所述公共电极接触插塞耦合至所述外围电路，其中，所述第二半导体结构设置于所述垂直晶
20 体管在所述第一方向上远离所述电容器的一侧。