

明 細 書

発明の名称：

半導体パッケージ、半導体パッケージ中間体、再配線層チップ、再配線層チップ中間体、半導体パッケージの製造方法及び半導体パッケージ中間体の製造方法

技術分野

[0001] 本開示の実施形態は、半導体パッケージ、半導体パッケージ中間体、再配線層チップ、再配線層チップ中間体、半導体パッケージの製造方法及び半導体パッケージ中間体の製造方法に関する。

背景技術

[0002] CPUやメモリなど、機能の異なる複数の半導体素子を1つの基板上に高密度で実装するパッケージング技術が注目されている。複数の半導体素子を電氣的に接続する基板は、インターポーザとも称される。例えば特許文献1、2は、貫通電極を含むインターポーザと、インターポーザに搭載された半導体素子と、を備える半導体パッケージを開示している。

[0003] 近年、半導体素子のさらなる高密度化を実現する技術として、FOWLP (Fan Out Wafer Level Package) が注目されている。FOWLPの一例を説明する。まず、8インチなどのウェハの形状を有する基板上に配線層を形成する。続いて、基板上に半導体素子を実装する。続いて、配線層及び半導体素子を封止するモールド樹脂層を基板上に形成する。半導体素子を他の配線基板などに接続する際には、配線層、半導体素子及びモールド樹脂層を含む構造体を基板から剥離する。FOWLPによれば、半導体素子よりも外側の領域にまで配線層を形成できる。

先行技術文献

特許文献

[0004] 特許文献1：特許第6014907号公報

特許文献2：特許第6159820号公報

発明の概要

発明が解決しようとする課題

[0005] F O W L P よりも高い生産性を実現できる技術として、F O P L P (Fan Out Panel Level Package) が知られている。F O P L P においては、ウェハよりも大型のパネルの形状の基板が用いられる。例えば、第4世代のガラス、第6世代のガラス、第8世代のガラス、第10世代のガラスなどが、基板として用いられる。しかしながら、大型の基板上に配線層を形成するためには、大型の露光装置の新規導入が必要となり得る。その結果、設備コストが大きくなり得る。

[0006] 本開示の実施形態は、このような課題を効果的に解決し得る半導体パッケージ、半導体パッケージ中間体、再配線層チップ、再配線層チップ中間体、半導体パッケージの製造方法及び半導体パッケージ中間体の製造方法を提供することを目的とする。

課題を解決するための手段

[0007] 本開示の一実施形態は、以下の[1]～[21]に関連する。

[1] 半導体パッケージであって、

インターポーザと、

前記インターポーザと隣り合う再配線層チップと、

前記インターポーザ及び前記再配線層チップに重なる半導体素子と、を備え、

前記再配線層チップは、前記半導体素子が重なる面を含む再配線要素と、前記再配線要素における前記半導体素子が重なる面の反対側に位置する面に取り付けられ、樹脂を含む第1モールド樹脂層とを含み、

前記再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記半導体素子が重なる面に少なくとも一部が位置する第1導電部を含み、

前記インターポーザは、前記インターポーザにおける前記半導体素子が重なる面に位置する第2導電部を含む第2再配線層を含み、

前記半導体素子は、前記第 1 導電部及び前記第 2 導電部に電氣的に接続する、半導体パッケージ。

[0008] [2] 前記インターポーザ及び前記再配線層チップを介して前記半導体素子と向き合う位置に配置され、前記インターポーザ及び前記再配線層チップを支持する支持キャリアをさらに備え、

前記支持キャリアは、前記インターポーザ及び前記再配線層チップから剥離可能である、[1] に記載の半導体パッケージ。

[0009] [3] 前記インターポーザ及び前記再配線層チップを覆い且つ前記インターポーザ及び前記再配線層チップに取り付けられ、前記半導体素子を保持する第 2 モールド樹脂層をさらに備える、[1] 又は [2] に記載の半導体パッケージ。

[0010] [4] 前記第 1 モールド樹脂層の線膨張率は、前記絶縁層の線膨張率よりも小さい、[1] 乃至 [3] のいずれかに記載の半導体パッケージ。

[0011] [5] 前記第 1 モールド樹脂層のヤング率は、前記絶縁層のヤング率よりも大きい、[1] 乃至 [4] のいずれかに記載の半導体パッケージ。

[0012] [6] 前記第 1 モールド樹脂層の曲げ剛性は、前記絶縁層の曲げ剛性よりも大きい、[1] 乃至 [5] のいずれかに記載の半導体パッケージ。

[0013] [7] 前記第 1 モールド樹脂層の厚さは、前記絶縁層の厚さよりも大きい、[1] 乃至 [6] のいずれかに記載の半導体パッケージ。

[0014] [8] 前記第 1 モールド樹脂層は、前記樹脂に分散された粒状のフィラーを含む、[1] 乃至 [7] のいずれかに記載の半導体パッケージ。

[0015] [9] 前記フィラーの熱伝導率は、前記樹脂の熱伝導率よりも大きい、[8] に記載の半導体パッケージ。

[0016] [10] 前記フィラーは、無機材料で形成される、[8] 又は [9] に記載の半導体パッケージ。

[0017] [11] 前記フィラーの色は、黒である、半導体パッケージ。

[0018] [12] 前記再配線層チップは、前記第 1 モールド樹脂層に形成された貫通孔に位置する貫通電極をさらに含む、[1] 乃至 [11] のいずれかに記

載の半導体パッケージ。

[0019] [13] 前記第1導電部は第1配線を含み、前記第2導電部は第2配線を含み、前記第1配線の線幅は、前記第2配線の線幅よりも小さい、[1]乃至[12]のいずれかに記載の半導体パッケージ。

[0020] [14] 前記第1導電部は第1配線を含み、前記第1配線の線幅は、10 μm 以下である、[1]乃至[13]のいずれかに記載の半導体パッケージ。

[0021] [15] 前記第1モールド樹脂層が含む前記樹脂は、エポキシ樹脂、ポリイミド、アクリル、ビスマレイミド、ポリベンゾオキサゾール、及びベンゾシクロブテンのうちの少なくともいずれかである、[1]乃至[14]のいずれかに記載の半導体パッケージ。

[0022] [16] インターポーザと、
前記インターポーザと隣り合う再配線層チップと、
前記インターポーザ及び前記再配線層チップを支持する支持キャリア基板と、を備え、
前記再配線層チップは、再配線要素と、前記再配線要素に取り付けられ、樹脂を含むモールド樹脂層とを含み、前記再配線層チップは、前記モールド樹脂層が前記支持キャリア基板に接する状態で前記支持キャリア基板に取り付けられ、

前記支持キャリア基板は、前記インターポーザ及び前記再配線層チップから剥離可能であり、

前記再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記モールド樹脂層が取り付けられる面の反対側に位置する面に少なくとも一部が位置する第1導電部を含み、前記インターポーザは、前記支持キャリア基板に向く面の反対側に位置する面に位置する第2導電部を含む第2再配線層を含む、半導体パッケージ中間体。

[0023] [17] 絶縁性を有する絶縁層及び前記絶縁層に覆われる再配線層を含み

、第1面及び前記第1面の反対側に位置する第2面を含み、前記再配線層が前記第1面に少なくとも一部が位置する導電部を含む再配線要素と、

前記第2面に取り付けられ、樹脂を含むモールド樹脂層と、を備える、再配線層チップ。

[0024] [18] 前記モールド樹脂層における前記第2面に取り付けられる面の反対側に位置する面に取り付けられる接着層をさらに備え、前記接着層は、感熱接着性又は感光接着性又は感圧接着性を有する、[17]に記載の再配線層チップ。

[0025] [19] 絶縁性を有する絶縁層及び前記絶縁層に覆われる複数の再配線層を含み、第1面及び前記第1面の反対側に位置する第2面を含み、各前記再配線層が前記第1面に少なくとも一部が位置する導電部を含む再配線要素部分と、

前記第2面に取り付けられ、樹脂を含むモールド樹脂層部分と、前記第1面に接合するチップキャリア基板と、を備える、再配線層チップ中間体。

[0026] [20] インターポーザと隣り合うように再配線層チップを配置する工程と、

前記インターポーザ及び前記再配線層チップに重なるように半導体素子を搭載する工程と、を備え、

前記再配線層チップは、前記半導体素子が重なる面を含む再配線要素と、前記再配線要素における前記半導体素子が重なる面の反対側に位置する面に取り付けられ、樹脂を含む第1モールド樹脂層とを含み、

前記再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記半導体素子が重なる面に少なくとも一部が位置する第1導電部を含み、前記インターポーザは、前記インターポーザにおける前記半導体素子が重なる面に位置する第2導電部を含む第2再配線層を含み、

前記搭載する工程で、前記半導体素子を、前記第1導電部及び前記第2導電部に電氣的に接続する、半導体パッケージの製造方法。

- [0027] [21] 支持キャリア基板を準備する工程と、
前記支持キャリア基板上にインターポーザを形成する工程と、
前記インターポーザと隣り合うように再配線層チップを前記支持キャリア基板に取り付ける工程と、を備え、
前記再配線層チップは、再配線要素と、前記再配線要素に取り付けられ、樹脂を含むモールド樹脂層とを含み、前記再配線層チップは、前記モールド樹脂層が前記支持キャリア基板に接する状態で前記支持キャリア基板に取り付けられ、
前記支持キャリア基板は、前記インターポーザ及び前記再配線層チップから剥離可能であり、
前記再配線要素は、絶縁性を含む絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記モールド樹脂層が取り付けられる面の反対側に位置する面に少なくとも一部が位置する第1導電部を含み、前記インターポーザは、前記支持キャリア基板に向く面の反対側に位置する面に位置する第2導電部を含む第2再配線層を含む、半導体パッケージ中間体の製造方法。

発明の効果

- [0028] 本開示の実施形態によれば、大型の半導体パッケージを低コストで提供できる。

図面の簡単な説明

- [0029] [図1]一実施の形態による半導体パッケージを示す平面図である。
[図2]図1の半導体パッケージのA-A線に沿った断面図である。
[図3]図2の半導体パッケージを構成する再配線層チップを拡大して示す断面図である。
[図4]図3の再配線層チップのB-B線に沿った断面図である。
[図5]図1の半導体パッケージの一部として組み込まれる前の再配線層チップの断面図である。
[図6]図5の再配線層チップの製造方法を説明する図である。

[図7A]図5の再配線層チップの製造方法を説明する図である。

[図7B]図7Aに対応する平面図である。

[図8]図5の再配線層チップの製造方法を説明する図である。

[図9A]図5の再配線層チップの製造方法を説明する図である。

[図9B]図9Aに対応する平面図である。

[図10A]図5の再配線層チップの製造方法を説明する図である。

[図10B]図10Aに対応する平面図である。

[図11]図1の半導体パッケージの製造方法を説明する図である。

[図12A]図1の半導体パッケージの製造方法を説明する図である。

[図12B]図1の半導体パッケージの製造方法を説明する図である。

[図12C]図12Bに対応する平面図である。

[図13A]図1の半導体パッケージの製造方法を説明する図である。

[図13B]図13Aに対応する平面図である。

[図14]図1の半導体パッケージの製造方法を説明する図である。

[図15A]図1の半導体パッケージの製造方法を説明する図である。

[図15B]図15Aに対応する平面図である。

[図16A]図1の半導体パッケージの製造方法を説明する図である。

[図16B]図1の半導体パッケージの製造方法を説明する図である。

[図17]図5の再配線層チップの一変形例を示す図である。

[図18]図1の半導体パッケージの一変形例を示す図である。

[図19]図1の半導体パッケージの一変形例を示す図である。

[図20]図19の半導体パッケージのC-C線に沿った断面図である。

[図21]図1の半導体パッケージの一変形例を示す図である。

[図22]図21の半導体パッケージのD-D線に沿った断面図である。

[図23]図1の半導体パッケージの一変形例を示す図である。

[図24]図13Aの半導体パッケージ中間体の一変形例を示す図である。

[図25]図24の半導体パッケージ中間体の製造方法を説明する図である。

[図26A]図24の半導体パッケージ中間体を構成する再配線層チップの製造方

法を説明する図である。

[図26B]図26Aの製造方法に示した工程の後に行われる工程を示す図である。

[図26C]図24の半導体パッケージ中間体を構成する再配線層チップの他の製造方法を説明する図である。

[図26D]図26Cの製造方法に示した工程の後に行われる工程を示す図である。

[図27]図13Aの半導体パッケージ中間体の他の変形例を示す図である。

[図28]図27の半導体パッケージ中間体の製造方法を説明する図である。

[図29]図5の再配線層チップの変形例を示す図である。

[図30]半導体パッケージが搭載される製品の例を示す図である。

発明を実施するための形態

[0030] 以下、半導体パッケージの構成及びその製造方法などについて、図面を参照しながら詳細に説明する。なお、以下に示す実施形態は本開示の実施形態の一例であって、本開示はこれらの実施形態に限定して解釈されるものではない。本明細書において、「基板」、「基材」、「シート」、「フィルム」などの用語は、呼称の違いのみに基づいて、互いから区別されるものではない。例えば、「基板」はシートやフィルムと呼ばれ得るような部材も含む概念である。板状の部材に対して用いる法線方向とは、部材の面に対する法線方向のことを指す。本明細書において用いる、形状や幾何学的条件並びにそれらの程度を特定する、例えば、「平行」や「直交」等の用語や長さや角度の値等については、厳密な意味に縛られることなく、同様の機能を期待し得る程度の範囲を含めて解釈する。

[0031] 本明細書において、あるパラメータに関して複数の上限値の候補及び複数の下限値の候補が挙げられている場合、そのパラメータの数値範囲は、任意の1つの上限値の候補と任意の1つの下限値の候補とを組み合わせることによって構成されてもよい。例えば、「パラメータBは、例えばA1以上であり、A2以上であってもよく、A3以上であってもよい。パラメータBは、

例えばA 4 以下であり、A 5 以下であってもよく、A 6 以下であってもよい。」と記載されている場合を考える。この場合、パラメータBの数値範囲は、A 1 以上A 4 以下であってもよく、A 1 以上A 5 以下であってもよく、A 1 以上A 6 以下であってもよく、A 2 以上A 4 以下であってもよく、A 2 以上A 5 以下であってもよく、A 2 以上A 6 以下であってもよく、A 3 以上A 4 以下であってもよく、A 3 以上A 5 以下であってもよく、A 3 以上A 6 以下であってもよい。

[0032] 本実施形態で参照する図面において、同一部分又は同様な機能を有する部分には同一の符号又は類似の符号を付し、その繰り返しの説明は省略する場合がある。また、図面の寸法比率は説明の都合上実際の比率とは異なる場合や、構成の一部が図面から省略される場合がある。

[0033] 図1は、一実施の形態による半導体パッケージ1を示す平面図である。図2は、図1の半導体パッケージ1のA-A線に沿った断面図である。半導体パッケージ1は、第1方向D1、第2方向D2及び第3方向D3を有する。第1方向D1及び第2方向D2は、半導体パッケージ1の面方向に含まれる。第1方向D1は第2方向D2に直交している。第3方向D3は、半導体パッケージ1の厚さ方向である。第3方向D3は第1方向D1及び第2方向D2に直交している。

[0034] 半導体パッケージ1は、インターポーザ20、再配線層チップ30、第1の半導体素子40、第2の半導体素子45、支持キャリア50及び第2モールド樹脂層60を備える。再配線層チップ30は、再配線要素31と、第1モールド樹脂層32と、を有する。

[0035] 支持キャリア50は、インターポーザ20及び再配線層チップ30を支持している。支持キャリア50上で、半導体パッケージ1の面方向に、本例では第1方向D1に、インターポーザ20及び再配線層チップ30は隣り合っている。インターポーザ20及び再配線層チップ30には、インターポーザ20と再配線層チップ30とが隣り合う方向と交差する方向に、本例では半導体パッケージ1の厚さ方向、すなわち第3方向D3に、第1の半導体素子

40が重なるように搭載されている。言い換えると、平面視である第3方向D3に見たときに、第1の半導体素子40がインターポーザ20及び再配線層チップ30に重なるように位置する。インターポーザ20及び再配線層チップ30には、インターポーザ20と再配線層チップ30とが隣り合う方向と交差する方向に、本例では半導体パッケージ1の厚さ方向、すなわち第3方向D3に、第2の半導体素子45が重なるように搭載されている。言い換えると、平面視である第3方向D3に見たときに、第2の半導体素子45がインターポーザ20及び再配線層チップ30に重なるように位置する。第2モールド樹脂層60は、インターポーザ20、再配線層チップ30、第1の半導体素子40、及び第2の半導体素子45を覆っている。

[0036] 図示のインターポーザ20は、一例として厚さ方向に貫通する孔でなる貫通部21を有する。再配線層チップ30は、貫通部21に配置されている。これにより、再配線層チップ30は、インターポーザ20と隣り合う。そして、インターポーザ20と再配線層チップ30は、第1方向D1及び第2方向D2に延び広がる。インターポーザ20の形状は特に限られない。インターポーザ20は例えば矩形の板状でもよく、この場合、再配線層チップ30は、第1方向D1又は第2方向D2にインターポーザ20と隣り合うように配置されてもよい。

[0037] 図1に示すように、貫通部21に配置された再配線層チップ30は、再配線層チップ30の全周にわたりインターポーザ20との間に間隔を空けてもよい。再配線層チップ30とインターポーザ20との間の間隔は、例えば0.03mm以上であり、0.05mm以上であってもよく、0.1mm以上でもよい。再配線層チップ30とインターポーザ20との間の間隔は、例えば3.0mm以下であり、1.0mm以下であってもよく、0.5mm以下でもよい。ここで言う再配線層チップ30とインターポーザ20との間の間隔は、再配線層チップ30の外周のある点から、貫通部21までの最短距離である。

[0038] 再配線層チップ30及び貫通部21の形状は特に限られない。図1に示す

ように、再配線層チップ30及び貫通部21は、平面視において矩形でもよい。貫通部21の平面視の形状は、再配線層チップ30よりも大きく、且つ再配線層チップ30と相似でもよい。再配線層チップ30は、後述する再配線層チップ中間体300（図9及び図10参照）から切り出される複数の再配線層チップ30のうちの1つである。加工の容易性を考慮すると、再配線層チップ30の好ましい形状は、矩形である。

[0039] 図1に示すように、第1の半導体素子40は、平面視において、言い換えると第3方向D3で見たとき、インターポーザ20及び再配線層チップ30に重なる。詳しくは、第1の半導体素子40は、インターポーザ20及び再配線層チップ30に重なる状態でインターポーザ20及び再配線層チップ30に搭載されている。そして、第1の半導体素子40は、インターポーザ20及び再配線層チップ30の両方に電氣的に接続されている。詳しくは、図2を参照し、再配線層チップ30は、第1の半導体素子40に電氣的に接続されている第1配線35を含む第1導電部30Eを含む。第1導電部30Eは、再配線要素31における第1再配線層34に含まれる。インターポーザ20は、複数の貫通電極14及び第2配線15を含む第2導電部20Eを含む。第2導電部20Eは、インターポーザ20が含む第2再配線層24に含まれる。図示の例では、第2導電部20Eにおける複数の貫通電極14のうちの1つ又は複数の貫通電極14が、第1の半導体素子40に電氣的に接続されている。

[0040] 第2の半導体素子45は、平面視において、言い換えると第3方向D3で見たとき、第1の半導体素子40とは異なる位置で、インターポーザ20及び再配線層チップ30に重なる。詳しくは、第2の半導体素子45は、インターポーザ20及び再配線層チップ30に重なる状態で搭載されている。そして、第2の半導体素子45は、インターポーザ20及び再配線層チップ30の両方に電氣的に接続されている。詳しくは、再配線層チップ30における第1導電部30Eは、第2の半導体素子45に電氣的に接続されている第1配線35を含む。第2の半導体素子45は、インターポーザ20における

第2導電部20Eの複数の貫通電極14のうちの1つ又は複数の貫通電極14に電氣的に接続されている。第1配線35は、第1の半導体素子40と第2の半導体素子45を電氣的に接続してもよい。

[0041] インターポーザ20は、第1表面20A及び第2表面20Bを含む。第2表面20Bは、第1表面20Aの反対側に位置している。貫通電極14は、第1表面20Aから第2表面20Bに至る貫通孔22Aに位置する。詳しくは、インターポーザ20は、貫通電極14及び第2配線15を含む第2導電部20E（第2再配線層24）が設けられるインターポーザ絶縁層22を有する。インターポーザ絶縁層22は、厚さ方向に貫通する複数の貫通孔22Aを有する。各貫通孔22Aには、貫通電極14が位置する。第1の半導体素子40は、第2導電部20Eのうちの貫通電極14に電氣的に接続されるが、例えば第1表面20Aから延びる、底を有する孔に位置する電極に電氣的に接続されてもよい。第2配線15は、インターポーザ絶縁層22に埋め込まれる。言い換えると、第2配線15は、インターポーザ絶縁層22に覆われる。図示の第2配線15は、インターポーザ絶縁層22に埋め込まれ、一部をインターポーザ絶縁層22の外部に露出させている。第2配線15は、インターポーザ絶縁層22の外部に露出する部分で、半導体素子40、45と接続してもよい。なお、第2配線15は、インターポーザ絶縁層22の表面に設けられてもよい。

[0042] 第1表面20Aは、インターポーザ絶縁層22の厚さ方向における一方側の表面と、インターポーザ絶縁層22の厚さ方向における一方側で貫通孔22Aから露出する貫通電極14の表面と、インターポーザ絶縁層22の厚さ方向における一方側でインターポーザ絶縁層22から露出する第2配線15の表面と、で形成されている。第2表面20Bは、インターポーザ絶縁層22の厚さ方向における他方側の表面と、インターポーザ絶縁層22の厚さ方向における他方側で貫通孔22Aから露出する貫通電極14の表面と、インターポーザ絶縁層22の厚さ方向における他方側でインターポーザ絶縁層22から露出する第2配線15の表面と、で形成されている。

- [0043] また、貫通部 2 1 は、インターポーザ絶縁層 2 2 に形成されている。インターポーザ絶縁層 2 2 における貫通部 2 1 の周囲の部分に、複数の貫通孔 2 2 A が形成される。したがって、インターポーザ絶縁層 2 2 における貫通部 2 1 の周囲に、複数の貫通電極 1 4 が位置する。第 2 配線 1 5 も同様に、インターポーザ絶縁層 2 2 における貫通部 2 1 の周囲に位置する。貫通電極 1 4 と第 2 配線 1 5 は、電氣的に接続されてもよい。
- [0044] 再配線層チップ 3 0 は、第 1 表面 3 0 A 及び第 2 表面 3 0 B を含む。第 2 表面 3 0 B は、第 1 表面 3 0 A の反対側に位置している。再配線層チップ 3 0 の第 1 表面 3 0 A は、インターポーザ 2 0 の第 1 表面 2 0 A と同じ方向を向く面である。再配線層チップ 3 0 の第 2 表面 3 0 B は、インターポーザ 2 0 の第 2 表面 2 0 B と同じ方向を向く面である。インターポーザ 2 0 の第 1 表面 2 0 A 及び再配線層チップ 3 0 の第 1 表面 3 0 A は、第 1 の半導体素子 4 0 及び第 2 の半導体素子 4 5 が重なる面である。第 1 の半導体素子 4 0 及び第 2 の半導体素子 4 5 は、インターポーザ 2 0 の第 1 表面 2 0 A 及び再配線層チップ 3 0 の第 1 表面 3 0 A に搭載されている。上述した第 1 導電部 3 0 E における第 1 配線 3 5 の一部は、第 1 表面 3 0 A に位置する。第 1 配線 3 5 は、第 1 表面 3 0 A に位置する一部で半導体素子 4 0、4 5 に接続する。
- [0045] 支持キャリア 5 0 は、インターポーザ 2 0 及び再配線層チップ 3 0 を介して第 1 の半導体素子 4 0 及び第 2 の半導体素子 4 5 と向き合う位置に配置されている。支持キャリア 5 0 は、インターポーザ 2 0 及び再配線層チップ 3 0 を支持している。インターポーザ 2 0 の第 2 表面 2 0 B が、支持キャリア 5 0 に向いている。詳しくは、インターポーザ 2 0 は、第 2 表面 2 0 B が剥離層 5 1 に接するように支持キャリア 5 0 上に形成されている。再配線層チップ 3 0 は、第 2 表面 3 0 B が剥離層 5 1 を介して支持キャリア 5 0 に接合されることで支持キャリア 5 0 に取り付けられている。支持キャリア 5 0 は、インターポーザ 2 0 及び再配線層チップ 3 0 から剥離可能である。支持キャリア 5 0 は、剥離層 5 1 とともにインターポーザ 2 0 及び再配線層チップ

30から剥離される。

[0046] 第2モールド樹脂層60は、インターポーザ20及び再配線層チップ30を覆い且つインターポーザ20及び再配線層チップ30に取り付けられている。詳しくは、第2モールド樹脂層60は、インターポーザ20の第1表面20A及び再配線層チップ30の第1表面30Aに接合する。また、第2モールド樹脂層60は、第1の半導体素子40及び第2の半導体素子45に接合し、第1の半導体素子40及び第2の半導体素子45を保持する。これにより、支持キャリア50がインターポーザ20及び再配線層チップ30から剥離された場合であっても、インターポーザ20、再配線層チップ30、第1の半導体素子40及び第2の半導体素子45の一体化状態を維持することが可能となる。

[0047] 半導体パッケージ1の各構成要素について詳細に説明する。

[0048] インターポーザ20は、インターポーザ絶縁層22と、第2再配線層24と、を含む。第2再配線層24は、第2導電部20Eを含み、第2導電部20Eは、貫通電極14及び第2配線15を含む。貫通電極14及び第2配線15は、導電性を有する。図2に示すように、インターポーザ20は、第1表面20Aに設けられるパッド16を含んでいてもよい。図示はしないが、インターポーザ20は、第1表面20Aに設けられる配線及び絶縁層を含んでいてもよい。

[0049] インターポーザ絶縁層22は、絶縁性の樹脂で形成されてもよい。インターポーザ絶縁層22を形成する絶縁性の樹脂は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどでもよい。本実施の形態では、インターポーザ絶縁層22がポリイミドで形成される。また、インターポーザ絶縁層22は、ガラス基板、石英基板、サファイア基板、シリコン基板、炭化シリコン基板、アルミナ(Al₂O₃)基板、窒化アルミ(AlN)基板、酸化ジルコニウム(ZrO₂)基板、ニオブ酸リチウム基板、ニオブ酸タンタル基板など、又は、これらの基板が積層されたものでもよい。インターポーザ絶縁層22は、アルミニウム基板、ステンレス基板など、導電性

を有する材料から構成された基板を部分的に含んでもよい。インターポーザ絶縁層 22 の厚さは、例えば 0.01 mm 以上であり、0.1 mm 以上であってもよく、0.2 mm 以上であってもよい。インターポーザ絶縁層 22 の厚さは、例えば 2.0 mm 以下であり、1.5 mm 以下であってもよく、1.0 mm 以下であってもよい。

[0050] 貫通電極 14 は、インターポーザ絶縁層 22 の貫通孔 22A において、厚さ方向でインターポーザ絶縁層 22 の一方の面から他方の面まで延びている。貫通電極 14 は、貫通孔 22A の全域にわたって位置していてもよい。すなわち、貫通電極 14 は、貫通孔 22A に充填されている、いわゆるフィルドビアであってもよい。貫通電極 14 は、貫通孔 22A に充填されていないてもよい。

[0051] 貫通電極 14 は、複数の層を含んでもよい。例えば、貫通電極 14 は、貫通孔 22A の側面上に位置する第 1 の層と、第 1 の層の上に位置する第 2 の層と、を含んでもよい。第 2 の層は、平面視における貫通孔 22A の中心にまで広がっていてもよい。

[0052] 第 1 の層は、例えば、スパッタリング法や蒸着法などの物理成膜法によって貫通孔 22A の側面上に形成される。第 1 の層の厚さは、例えば 0.05 μm 以上である。第 1 の層の厚さは、例えば 1.0 μm 以下である。なお、第 1 の層と貫通孔 22A の側面との間に、その他の層が設けられていてもよい。第 1 の層を構成する材料としては、チタン、クロム、ニッケル、銅などの金属又はこれらを用いた合金など、あるいはこれらを積層したものを使用することができる。

[0053] 第 2 の層は、銅を主成分として含んでもよい。例えば、第 2 の層は、80 質量%以上の銅を含んでもよい。また、第 2 の層は、金、銀、白金、ロジウム、スズ、アルミニウム、ニッケル、クロムなどの金属又はこれらを用いた合金を含んでもよい。第 2 の層は、例えば電解めっき法によって第 1 の層の上に形成される。

[0054] 第 2 配線 15 は、導電層を含む。第 2 配線 15 を構成する材料としては、

貫通電極 14 において挙げた材料を用いることができる。第 2 配線 15 の厚さは、例えば 0.5 μm 以上であり、1.0 μm 以上であってもよい。第 2 配線 15 の厚さは、例えば 10.0 μm 以下であり、5.0 μm 以下であってもよい。第 2 配線 15 の線幅は、例えば 5 μm 以上であり、10 μm 以上であってもよい。第 2 配線 15 の線幅は、例えば 30 μm 以下であり、20 μm 以下であってもよい。

[0055] パッド 16 は、導電層を含む。パッド 16 は、第 1 表面 20A 側において貫通電極 14 の上に位置していてもよい。パッド 16 を構成する材料としては、貫通電極 14 において挙げた材料を用いることができる。パッド 16 の厚さは、例えば 0.5 μm 以上であり、1.0 μm 以上であってもよい。パッド 16 の厚さは、例えば 10.0 μm 以下であり、5.0 μm 以下であってもよい。

[0056] 図 3 は、再配線層チップ 30 を拡大して示す断面図である。再配線層チップ 30 は、再配線要素 31 と、第 1 モールド樹脂層 32 と、接着層 36 と、を有する。再配線要素 31 は、絶縁性を有する絶縁層 33 及び絶縁層 33 に埋め込まれる第 1 再配線層 34 を有する。言い換えると、再配線要素 31 は、絶縁性を有する絶縁層 33 及び絶縁層 33 に覆われる第 1 再配線層 34 を有する。本開示では、再配線層チップ 30 が、再配線 (Re distribution) の用途で利用されるため、“再配線層”チップと称している。ただし、再配線層チップ 30 は、単に、再配線層チップと称されもよく、再配線要素 31 は、単に、配線要素と称されもよい。

[0057] 再配線要素 31 は、第 1 面 31A 及び第 1 面 31A の反対側に位置する第 2 面 31B を含む。図 2 の状態において、第 1 面 31A は、第 1 の半導体素子 40 及び第 2 の半導体素子 45 が重なる面を形成する。すなわち、図 2 の状態において、第 1 面 31A は、再配線層チップ 30 の第 1 表面 30A を形成している。第 1 モールド樹脂層 32 は、第 2 面 31B に取り付けられる。接着層 36 は、第 1 モールド樹脂層 32 における、再配線要素 31 の第 2 面 31B に取り付けられる面の反対側に位置する面に取り付けられている。接

着層 36 は、再配線層チップ 30 の第 2 表面 30B を形成している。

[0058] 図 2 に示すように、再配線層チップ 30 は、第 1 面 31A に設けられるパッド 37 を含んでいてもよい。また、第 1 再配線層 34 は、上述の第 1 配線 35 を含む第 1 導電部 30E を含む。図示の例では、第 1 導電部 30E における第 1 配線 35 の少なくとも一部が、再配線要素 31 の第 1 面 31A に位置している。言い換えると、第 1 配線 35 は、その少なくとも一部で第 1 面 31A を形成している。第 1 面 31A に位置する第 1 導電部 30E における第 1 配線 35 の少なくとも一部が、半導体素子 40、45 に接続する。

[0059] 絶縁層 33 は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどでもよい。絶縁層 33 の厚さは、例えば $3\mu\text{m}$ 以上であり、 $5\mu\text{m}$ 以上であってもよい。絶縁層 33 の厚さは、例えば $20\mu\text{m}$ 以下であり、 $10\mu\text{m}$ 以下であってもよい。

[0060] 第 1 配線 35 を含む第 1 導電部 30E を構成する材料としては、貫通電極 14 において挙げた材料を用いることができる。第 1 配線 35 の厚さは、例えば $0.5\mu\text{m}$ 以上であり、 $1\mu\text{m}$ 以上であってもよい。第 1 配線 35 の厚さは、例えば $5\mu\text{m}$ 以下であり、 $3\mu\text{m}$ 以下であってもよい。第 1 配線 35 の線幅は、例えば $10\mu\text{m}$ 以下である。第 1 配線 35 の線幅は、例えば、 $5\mu\text{m}$ 以下でもよく、 $3\mu\text{m}$ 以下でもよく、 $2\mu\text{m}$ 以下であってもよい。第 1 配線 35 の線幅は、インターポーザ 20 の第 2 配線 15 の線幅よりも小さくてもよい。第 1 配線 35 の線幅の最小値は、インターポーザ 20 の第 2 配線 15 の線幅の最小値の例えば $1/2$ 以下であり、 $1/5$ 以下であってもよく、 $1/10$ 以下であってもよい。複数の第 1 配線 35 は、ラインアンドスペースのパターンで設けられてもよい。この場合、第 1 配線 35 の線幅と隣り合う第 1 配線 35 の間隔（スペース）は同じでもよいし、異なってもよい。隣り合う第 1 配線 35 の間隔は、例えば $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下でもよいし、 $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下でもよいし、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下でもよい。また、第 1 配線 35 のアスペクト比（厚さ／線幅）は、例えば 1 以上 4 以下でもよいし、1 以上 2.5 以下でもよい。

- [0061] 図4は、図3の再配線層チップ30のB-B線に沿った断面図である。第1配線35は、第2方向D2に線状に延びている。第1再配線層34は、複数の第1配線35を含み、複数の第1配線35は互いに平行に延びるラインアンドスペースパターンで形成されている。各第1配線35は、長手方向に直交する方向での断面が矩形であり、矩形をなす四辺のうちの一辺のみを絶縁層33の外部に露出させる。絶縁層33の外部に露出する第1配線35の表面は、第1面31Aを形成している。なお、第1配線35の形成パターンは特に限られるものではない。第1再配線層34は、絶縁層33に完全に埋め込まれる、言い換えると覆われる配線を含んでもよい。第1再配線層34における第1導電部30Eは、貫通電極を含んでもよい。第1再配線層34における第1導電部30Eは、第2面31Bに位置する配線を含んでもよい。
- [0062] パッド37は、導電層を含む。パッド37は、第1面31A側において第1配線35の上に位置していてもよい。パッド37を構成する材料としては、貫通電極14において挙げた材料を用いることができる。パッド37の厚さは、例えば0.5 μm 以上であり、1.0 μm 以上であってもよい。パッド37の厚さは、例えば10.0 μm 以下であり、5.0 μm 以下であってもよい。
- [0063] 第1モールド樹脂層32は樹脂を含む。第1モールド樹脂層32に含まれる樹脂は、例えば、ポリイミド、エポキシ樹脂、アクリル、ビスマレイミド、ポリベンゾオキサゾール、及びベンゾシクロブテンのうちのいずれか、又はこれらの二種以上の組合せなどでもよい。第1モールド樹脂層32は、再配線要素31の変形を抑制するために設けられている。第1モールド樹脂層32は、再配線要素31の変形を好適に抑制するべく、以下の(1)～(4)のうちの少なくともいずれかの特性を有してもよい。
- [0064] (1) 第1モールド樹脂層32の熱膨張係数、すなわち線膨張率は、絶縁層33の熱膨張係数、すなわち線膨張率よりも小さい。
- (2) 第1モールド樹脂層32のヤング率は、絶縁層33のヤング率よりも

大きい。

(3) 第1モールド樹脂層32の曲げ剛性は、絶縁層33の曲げ剛性よりも大きい。

(4) 第1モールド樹脂層32の厚さは、絶縁層33の厚さよりも大きい。

[0065] 第1モールド樹脂層32の熱膨張係数及び絶縁層33の熱膨張係数は、JISK7197:2012に準拠して測定される。すなわち、本明細書では、熱膨張係数は、JISK7197:2012に準拠して測定される線膨張率のことを意味する。第1モールド樹脂層32のヤング率及び絶縁層33のヤング率は、ナノインデンテーション法により第1モールド樹脂層32及び絶縁層33の機械的特性を測定することにより特定される。第1モールド樹脂層32の曲げ剛性及び絶縁層33の曲げ剛性は、上記、ナノインデンテーション法により第1モールド樹脂層32及び絶縁層33のヤング率を特定し、且つ第1モールド樹脂層32及び絶縁層33の断面形状を特定することにより計算される。

[0066] 上記ナノインデンテーション法によるヤング率の測定は、以下の手順で行われる。

まず、測定装置であるBRUKER社製の「T1950 TriboIndenter」に、第1モールド樹脂層32及び絶縁層33を設置する。この際、再配線層チップ30が半導体パッケージ1に組み込まれている場合は、切断により再配線層チップ30が切り出され、上記測定装置に設置される。また、再配線層チップ30が半導体パッケージ1に組み込まれる前であれば、組み込み前の再配線層チップ30が上記測定装置に設置される。

そして、第1モールド樹脂層32又は絶縁層33の側面において、ナノインデンテーション法による測定を開始する。この際、圧子が、第1モールド樹脂層32又は絶縁層33の側面における任意の厚さ方向の中間の位置で、面方向に10秒間かけて深さ100nmに到達するまで押し込まれ、その状態で5秒間保持された後、10秒間かけて押し込み深さ0nmまで除荷される。この押し込みは、第1モールド樹脂層32と、絶縁層33とで別々に行

われる。これにより、測定対象のヤング率が演算される。上記圧子としては、対面角 142.3° のダイヤモンド圧子（バーコビッチ圧子 T1-0039）が用いられる。

[0067] 第1モールド樹脂層32の熱膨張係数（線膨張率）は、 $2\text{ ppm}/^\circ\text{C}$ 以上 $12\text{ ppm}/^\circ\text{C}$ 以下でもよく、 $5\text{ ppm}/^\circ\text{C}$ 以上 $9\text{ ppm}/^\circ\text{C}$ 以下でもよい。上述したように、再配線要素31の変形を抑制する観点で、第1モールド樹脂層32の線膨張率は、絶縁層33の線膨張率よりも小さくてもよい。また、上述したように、絶縁層33は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどでもよい。第1モールド樹脂層32に含まれる樹脂は、例えば、ポリイミド、エポキシ樹脂、アクリル、ビスマレイミド、ポリベンゾオキサゾール、及びベンゾシクロブテンのうちのいずれか、又はこれらの二種以上の組合せなどでもよい。ここで、通常、ポリイミドの線膨張率 $>$ アクリルの線膨張率 $>$ エポキシの線膨張率の関係が成り立つ。したがって、第1モールド樹脂層32の線膨張率を絶縁層33の線膨張率よりも小さくする場合には、例えば第1モールド樹脂層32がポリイミドを含む場合、絶縁層33もポリイミドを含むことがよい。そして、第1モールド樹脂層32の線膨張率を絶縁層33の線膨張率よりも小さくするべく、第1モールド樹脂層32が含むポリイミドの分子量を、絶縁層33が含むポリイミドの分子量を大きくしてもよい。分子量が大きくなると、分子の移動が規制され、線膨張率が低下する傾向がある。第1モールド樹脂層32と絶縁層33とが同じ樹脂を含む場合に、第1モールド樹脂層32の線膨張率を絶縁層33の線膨張率よりも小さくする際には、第1モールド樹脂層32が含む樹脂の分子量を、絶縁層33が含む樹脂の分子量を大きくしてもよい。また、第1モールド樹脂層32と絶縁層33とが同じ樹脂を含む場合、第1モールド樹脂層32と絶縁層33との密着強度も向上し得る。

[0068] 第1モールド樹脂層32のヤング率は、 12 GPa 以上 30 GPa 以下でもよく、 18 GPa 以上 22 GPa 以下でもよい。上述したように、再配線

要素 3 1 の変形を抑制する観点で、第 1 モールド樹脂層 3 2 のヤング率は、絶縁層 3 3 のヤング率よりも大きくてもよい。ここで、通常、ポリイミドのヤング率>アクリルのヤング率>エポキシのヤング率の関係が成り立つ。したがって、第 1 モールド樹脂層 3 2 の線膨張率を絶縁層 3 3 の線膨張率よりも小さくする場合には、例えば第 1 モールド樹脂層 3 2 がポリイミドを含む場合、絶縁層 3 3 もポリイミドを含むことがよい。そして、第 1 モールド樹脂層 3 2 のヤング率を絶縁層 3 3 のヤング率よりも大きくするべく、第 1 モールド樹脂層 3 2 が含むポリイミドの分子量を、絶縁層 3 3 が含むポリイミドの分子量を大きくしてもよい。一方で、分子量の調整をせず、第 1 モールド樹脂層 3 2 と絶縁層 3 3 とに同じ樹脂を含ませる場合、第 1 モールド樹脂層 3 2 の厚さを絶縁層 3 3 よりも大きくすることで、第 1 モールド樹脂層 3 2 の曲げ剛性を、絶縁層 3 3 の曲げ剛性よりも大きくできる。第 1 モールド樹脂層 3 2 は、エポキシ系樹脂などの樹脂中に分散されたフィラーを含んでもよい。フィラーが樹脂に分散される場合、例えば第 1 配線 3 5 の発熱の放熱性が向上し得る。フィラーは、例えばシリカ、アルミナ等からなる粒状体でもよい。フィラーは、酸化ケイ素、窒化ケイ素からなる粒状体でもよい。酸化ケイ素、窒化ケイ素は、フッ素又は窒素を含んでもよい。フィラーは、カーボンブラックからなる粒状体でもよい。

また、再配線層チップ 3 0 の物性と、インターポーザ 2 0 の物性とが近い場合には、両者の物性の違いに起因して半導体パッケージ 1 が変形することが抑制され、平坦性が維持しやすくなり、半導体パッケージ 1 を大型化しやすくなる。この観点で、再配線層チップ 3 0 における第 1 モールド樹脂層 3 2 及び絶縁層 3 3 と、インターポーザ 2 0 におけるインターポーザ絶縁層 2 2 とは、同じ樹脂を含んでもよい。

[0069] 第 1 モールド樹脂層 3 2 がフィラーを含む場合、放熱性の向上の観点で、フィラーの熱伝導率は、フィラーを分散させる樹脂の熱伝導率よりも大きいことが望ましい。フィラーは、無機材料で形成されてもよい。また、フィラーの色は、黒でもよい。黒色のフィラーの含有により、第 1 モールド樹脂層

32が黒色になる場合、例えば光が再配線層チップを透過することを抑制できる。

[0070] 第1モールド樹脂層32の厚さは、例えば5 μm 以上であり、10 μm 以上であってもよい。第1モールド樹脂層32の厚さは、例えば50 μm 以下であり、20 μm 以下であってもよい。また、第1モールド樹脂層32に貫通電極を設けるための貫通孔が形成されてもよい。

[0071] 再配線層チップ30は、第1モールド樹脂層32が支持キャリア50に接する状態で支持キャリア50に取り付けられている。詳しくは、第1モールド樹脂層32は、接着層36及び剥離層51を介して支持キャリア50に接する状態で、接着層36が剥離層51に接合される。これにより、配線層チップ30は、支持キャリア50に取り付けられる。接着層36は、感熱接着性又は感光接着性又は感圧接着性を有する。接着層36は、感熱接着性を有する材料としての熱可塑性ポリイミドで形成されてもよい。なお、第1モールド樹脂層32と支持キャリア50とが接合されるのであれば、接着層36は無くてもよい。接着層36として半導体実装用のNCF (Non Conductive Film) やNCP (Non Conductive Paste) も用いることができる。NCF又はNCPを接着層36として用いる場合、接着層36を加熱した後に冷却することで、NCF又はNCPにより再配線層チップ30と支持キャリア50とを接着できる。

[0072] 接着層36の厚さは、例えば5 μm 以上であり、10 μm 以上であってもよい。接着層36の厚さは、例えば100 μm 以下であり、30 μm 以下であってもよい。

[0073] 図5は、半導体パッケージ1の一部として組み込まれる前の再配線層チップ30の断面図である。図5に示される組み込み前の再配線層チップ30（以下、組み込み前再配線層チップ30'と呼ぶ場合がある。）は、再配線要素31における第1面31Aに接するチップキャリア38を備えてもよい。チップキャリア38は、剥離層39を介して第1面31Aに取り付けられてもよい。半導体パッケージ1の一部として組み込まれる前の組み込み前再配

線層チップ30'では、第1面31Aに位置する第1配線35がチップキャリア38によって覆われ、保護されている。

[0074] チップキャリア38は、例えば、ガラス基板、石英基板、サファイア基板、樹脂基板、シリコン基板、炭化シリコン基板、アルミナ(Al₂O₃)基板、窒化アルミ(AlN)基板、酸化ジルコニウム(ZrO₂)基板、ニオブ酸リチウム基板、ニオブ酸タンタル基板などを含んでいてもよい。樹脂基板は、有機材料を含んでいてもよい。例えば、樹脂基板は、エポキシ樹脂、ポリエチレン、ポリプロピレンなどを含んでいてもよい。剥離層39は、再配線要素31の第1面31Aと接合し且つチップキャリア38と接合する。剥離層39は、第1面31Aを形成する第1配線35の一部及び絶縁層33から剥離され得るものであり、例えば加熱されることにより剥離されてもよい。この場合、剥離層39は、熱可塑性の樹脂を含むものでもよい。剥離層は355nmほどのレーザ光にて、剥離できるポリイミド樹脂型剥離層でもよい。剥離層39が剥離されると、チップキャリア38も剥離される。チップキャリア38の厚さは、例えば700 μ m以上であり、1000 μ m以上であってもよい。チップキャリア38の厚さは、例えば2000 μ m以下であり、1200 μ m以下であってもよい。剥離層39の厚さは、例えば0.3 μ m以上であり、1 μ m以上であってもよい。剥離層39の厚さは、例えば30 μ m以下であり、100 μ m以下であってもよい。

[0075] 再配線層チップ30を半導体パッケージ1の一部として組み込む場合、組み込み前再配線層チップ30'からチップキャリア38及び剥離層39が取り外される。そして、再配線層チップ30が、接着層36を介して剥離層51に接合されることにより支持キャリア50に取り付けられる。接着層36が例えば感熱接着性を有する場合、再配線層チップ30は、接着層36が剥離層51に接する状態で配置される。その後、接着層36が加熱されることにより、接着層36と剥離層51とが接合されてもよい。

[0076] 図1及び図2に戻り、第1の半導体素子40は、シリコン等の半導体によって形成されたトランジスタを含む。第1の半導体素子40は、例えばCP

U、GPU、FPGA、センサ、メモリ等である。第1の半導体素子40は、CPU、GPU、FPGA、センサ、メモリ等の半導体素子が機能ごとに分割されたチップレットであってもよい。第1の半導体素子40は、積層された複数の基板を含んでもよい。

[0077] 第1の半導体素子40は、パッド16を介してインターポーザ20に電氣的に接続されている。インターポーザ20のパッド16と第1の半導体素子40の間にはバンプが設けられていてもよい。第1の半導体素子40は、パッド37を介して再配線層チップ30の第1導電部30Eにおける第1配線35に電氣的に接続されている。再配線層チップ30のパッド37と第1の半導体素子40の間にはバンプが設けられていてもよい。

[0078] 第2の半導体素子45は、シリコン等の半導体によって形成されたトランジスタを含む。第2の半導体素子45は、例えばCPU、GPU、FPGA、センサ、メモリ等である。第2の半導体素子45は、CPU、GPU、FPGA、センサ、メモリ等の半導体素子が機能ごとに分割されたチップレットであってもよい。第2の半導体素子45は、積層された複数の基板を含んでもよい。第2の半導体素子45の形状、機能、性能などは、第1の半導体素子40の形状、機能、性能などと同様でもよく、異なってもよい。

[0079] 第2の半導体素子45は、パッド16を介してインターポーザ20に電氣的に接続されている。インターポーザ20のパッド16と第2の半導体素子45の間にはバンプが設けられていてもよい。第2の半導体素子45は、パッド37を介して再配線層チップ30の第1配線35に電氣的に接続されている。再配線層チップ30のパッド37と第2の半導体素子45の間にはバンプが設けられていてもよい。

[0080] 支持キャリア50は、インターポーザ20及び再配線層チップ30を支持する。支持キャリア50は、インターポーザ20及び再配線層チップ30から剥離可能である。支持キャリア50が剥離される際、剥離層51も剥離される。支持キャリア50及び剥離層51が剥離された場合、貫通電極14及

び第2配線15が外部に露出する。これにより、貫通電極14及び第2配線15を、例えば他の半導体パッケージや配線基板に電氣的に接続することができる。支持キャリア50は、インターポーザ20及び再配線層チップ30の組み合わせの全体を包含する大きさを有する。支持キャリア50の形状は、例えば矩形でもよい。なお、図示の例では、支持キャリア50がインターポーザ20及び再配線層チップ30の組み合わせを1つ支持するが、インターポーザ20及び再配線層チップ30の複数の組み合わせを支持してもよい。

[0081] 本実施の形態にかかる半導体パッケージ1は、インターポーザ20及び再配線層チップ30の複数の組み合わせを支持する後述する支持キャリア基板50P（図16A参照）から切り出されることで形成される。支持キャリア50は、支持キャリア基板50Pから切り出された支持キャリア基板50Pの一部である。切り出された支持キャリア50には、対応するインターポーザ20、再配線層チップ30、半導体素子40、45、及び第2モールド樹脂層60が搭載されている。

[0082] 支持キャリア50は、例えば、ガラス基板、石英基板、サファイア基板、樹脂基板、シリコン基板、炭化シリコン基板、アルミナ(Al₂O₃)基板、窒化アルミ(AlN)基板、酸化ジルコニウム(ZrO₂)基板、ニオブ酸リチウム基板、ニオブ酸タンタル基板などを含んでもよい。樹脂基板は、有機材料を含んでもよい。例えば、樹脂基板は、エポキシ樹脂、ポリエチレン、ポリプロピレンなどを含んでもよい。支持キャリア50の厚さは、例えば100 μ m以上であり、200 μ m以上であってもよく、500 μ m以上であってもよい。支持キャリア50の厚さは、例えば2mm以下であり、1.5mm以下であってもよく、1mm以下であってもよい。

[0083] 剥離層51は、インターポーザ20の第2表面20B及び再配線層チップ30の第2表面30Bと接合し且つ支持キャリア50と接合する。剥離層51は、インターポーザ20の第2表面20B及び再配線層チップ30の第2表面30Bから剥離され得るものであり、例えば加熱されることにより剥離

されてもよい。この場合、剥離層51は、熱可塑性の樹脂を含むものでもよい。剥離層51の厚さは、例えば0.3 μm 以上であり、1 μm 以上であってもよい。剥離層51の厚さは、例えば30 μm 以下であり、50 μm 以下であってもよい。

[0084] 第2モールド樹脂層60は樹脂を含み、第2モールド樹脂層60に含まれる樹脂は、例えば、ポリイミド、エポキシ樹脂、アクリル、ビスマレイミド、ポリベンゾオキサゾール、及びベンゾシクロブテンのうちのいずれか、又はこれらの二種以上の組合せなどでもよい。第2モールド樹脂層60は、熱硬化性樹脂を含んでもよい。第2モールド樹脂層60に含まれる樹脂は、熱硬化性のエポキシ系樹脂でもよい。第2モールド樹脂層60は、インターポーザ20、再配線層チップ30、第1の半導体素子40及び第2の半導体素子45を覆う。第2モールド樹脂層60は、インターポーザ20、再配線層チップ30、第1の半導体素子40及び第2の半導体素子45に接合される。これにより、第2モールド樹脂層60は、インターポーザ20及び再配線層チップ30に取り付けられた状態で第1の半導体素子40及び第2の半導体素子45を保持する。

[0085] 第2モールド樹脂層60は、図2に示すように第1の半導体素子40及び第2の半導体素子45の全体を覆ってもよい。第2モールド樹脂層60は、第1の半導体素子40及び第2の半導体素子45の一部が露出する状態で覆ってもよい。第2モールド樹脂層60は、インターポーザ20における貫通部21と再配線層チップ30との間の隙間を充填してもよい。そして、第2モールド樹脂層60は、貫通部21と再配線層チップ30の側面とに接合してもよい。第2モールド樹脂層60の厚さは、例えば30 μm 以上であり、100 μm 以上であってもよい。第2モールド樹脂層60の厚さは、例えば300 μm 以下であり、600 μm 以下であってもよい。第2モールド樹脂層60の厚さは、インターポーザ20に接する面からその反対側の面までの距離である。

[0086] 次に、本実施の形態による半導体パッケージ1の製造方法を説明する。以

下に説明する製造方法では、まず、再配線層チップ30の基材となる再配線層チップ中間体300の製造手順が説明される。次いで、再配線層チップ中間体300から製造される再配線層チップ30の製造手順が説明される。そして、再配線層チップ30を用いて製造される半導体パッケージ1の製造手順が説明される。

[0087] まず、再配線層チップ中間体300を製造する際、図6に示すようにチップキャリア基板38Mが準備される。チップキャリア基板38Mには剥離層39Mが形成される。再配線層チップ30は、再配線層チップ中間体300から切り出される複数のチップのうちの一つである。剥離層39Mは、再配線層チップ30の構成部分として切り出される前の剥離層39を含む部分に相当する。

[0088] チップキャリア基板38Mは、例えばガラス基板や、シリコン基板（ウェハ）でもよい。チップキャリア基板38Mの形状は、ウェハのような円形であってもよい。チップキャリア基板38Mの直径は、例えば100mm以上であり、150mm以上であってもよく、200mm以上であってもよい。チップキャリア基板38Mの直径は、例えば400mm以下であり、350mm以下であってもよく、300mm以下であってもよい。この場合、後述の第1再配線層34の形成の際、チップキャリア基板38Mよりも大きい後述する支持キャリア基板50P上に、後述のように第1再配線層34を形成する場合に比べて小型の露光装置を用いて微細な配線を形成できる。剥離層39Mは、例えば熱可塑性の樹脂を含むものでもよい。剥離層39Mは、例えば熱可塑性の樹脂フィルムをチップキャリア基板38Mに接合することで形成されてもよい。

[0089] 続いて、図7Aに示すように剥離層39Mに複数の第1再配線層34が形成される。図7Bに示すように、本例では、円形のチップキャリア基板38Mに第1再配線層34が形成される。図7A及び図7Bに示す複数の第1再配線層34は、複数の再配線層チップ30を構成する配線を含む。このような複数の第1再配線層34のことを、再配線層群34Mとも称する。再配線

層群 3 4 M は、フォトリソグラフィにより形成されてもよい。この場合、例えばチップキャリア基板 3 8 M に、まず銅などからなる導電層が設けられる。次いで、導電層上に感光性のレジスト膜が設けられる。次いで、レジスト膜が第 1 再配線層 3 4 に対応する所望のパターンで露光装置により露光される。次いで、レジスト膜が除去される。その後、導電層がエッチングされることで再配線層群 3 4 M が形成される。

[0090] 続いて、図 8 に示すように再配線層群 3 4 M が絶縁層 3 3 M によって覆われる。絶縁層 3 3 M は、再配線層チップ 3 0 の構成部分として切り出される前の絶縁層 3 3 を含む部分に相当する。絶縁層 3 3 M は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどから形成される材料を硬化することにより形成されてもよい。絶縁層 3 3 M は、再配線層群 3 4 M が露出しないように再配線層群 3 4 M における剥離層 3 9 M に接する面以外の面を覆っている。ここで、再配線層群 3 4 M と絶縁層 3 3 M とで再配線要素部分 3 1 M が形成される。再配線要素部分 3 1 M は、再配線層チップ 3 0 の構成部分として切り出される前の再配線要素 3 1 を含む部分に相当する。

[0091] 続いて、図 9 A に示すように絶縁層 3 3 M が第 1 モールド樹脂層部分 3 2 M によって覆われる。第 1 モールド樹脂層部分 3 2 M は、再配線層チップ 3 0 の構成部分として切り出される前の第 1 モールド樹脂層 3 2 を含む部分に相当する。第 1 モールド樹脂層部分 3 2 M は、例えば、ポリイミド、エポキシ樹脂、アクリル、ビスマレイミド、ポリベンゾオキサゾール、及びベンゾシクロブテンのうちのいずれか、又はこれらの二種以上の組合せなどから形成される材料を硬化することにより形成されてもよい。その後、図 9 A 及び図 9 B に示すように、第 1 モールド樹脂層部分 3 2 M が接着層 3 6 M によって覆われる。接着層 3 6 M は、再配線層チップ 3 0 の構成部分として切り出される前の接着層 3 6 を含む部分に相当する。接着層 3 6 M は、感熱接着性を有する熱可塑性ポリイミドで形成されてもよい。

[0092] 以上の手順によって、再配線層チップ中間体 3 0 0 が製造される。再配線

層チップ中間体300は、再配線要素部分31Mと、樹脂を含む第1モールド樹脂層部分32Mと、チップキャリア基板38Mと、を備える。再配線要素部分31Mは、絶縁性を有する絶縁層33M及び絶縁層33Mに埋め込まれる、言い換えると覆われる複数の第1再配線層34を有し、第1面（図9Aにおける下側の面）及び前記第1面の反対側に位置する第2面（図9Aにおける上側の面）を含む。各第1再配線層34は、前記第1面に少なくとも一部が位置する第1配線35を含む第1導電部30Eを含む。第1モールド樹脂層部分32Mは、再配線要素部分31Mの前記第2面に取り付けられる。チップキャリア基板38Mは、再配線要素部分31Mの前記第1面に剥離層39Mを介して接し、再配線要素部分31M及び第1モールド樹脂層部分32Mを支持している。また、再配線層チップ中間体300は、第1モールド樹脂層部分32Mに取り付けられた接着層36Mと、再配線要素部分31Mとチップキャリア基板38Mとの間に設けられた剥離層39Mと、をさらに備えている。

[0093] その後、再配線層チップ中間体300は、図10A及び図10Bに示すように複数個に切断される。これにより、再配線層チップ中間体300から複数の再配線層チップ30が切り出される。これにより、再配線層チップ30が製造される。図10A及び図10Bには、厳密には組み込み前再配線層チップ30'が示されている。図11には、チップキャリア38及び剥離層39が取り外された再配線層チップ30が示されている。再配線層チップ30は、チップキャリア38及び剥離層39が取り外された後、半導体パッケージ1の一部分として組み込まれる。図示はしないが、チップキャリア基板38M及び剥離層39Mが再配線要素部分31Mから剥離された後、再配線要素部分31M及び第1モールド樹脂層部分32Mを含む積層体が複数個に切断されてもよい。

[0094] 以下では、半導体パッケージ1の製造手順を説明する。まず、図12Aに示すように、支持キャリア基板50Pが準備される。支持キャリア基板50Pの面積は、例えば0.5m²以上であり、1.0m²以上であってもよく、

2. 0 m^2 以上であってもよく、3. 0 m^2 以上であってもよい。支持キャリア基板50Pには、剥離層51Mが形成される。剥離層51Mは、半導体パッケージ1の構成部分として切り出される前の剥離層51を含む部分に相当する。

[0095] 続いて、図12B及び図12Cに示すように、支持キャリア基板50P上にインターポーザ層20Mが形成される。インターポーザ層20Mは、半導体パッケージ1の構成部分として切り出される前の複数のインターポーザ20を含む部分に相当する。インターポーザ層20Mは、複数の貫通部21を含む。また、複数の再配線層チップ30が準備される。

[0096] そして、複数の貫通部21のそれぞれに再配線層チップ30が配置される。具体的には、図13A及び図13Bに示すように、各再配線層チップ30は、インターポーザ層20Mに含まれる複数のインターポーザ20のうちの対応するインターポーザ20と隣り合うように配置され、再配線層チップ30が支持キャリア基板50Pに取り付けられる。再配線層チップ30は、接着層36を介して剥離層51Mに接合されることにより支持キャリア基板50Pに取り付けられる。接着層36が例えば感熱接着性を有する場合、再配線層チップ30は、接着層36が剥離層51Mに接する状態で配置される。そして、例えば接着層36が加熱されることにより、接着層36と剥離層51Mとが接合されてもよい。

[0097] 上述のように再配線層チップ30が支持キャリア基板50Pに取り付けられることにより、図13A及び図13Bに示す半導体パッケージ中間体1Mが製造される。半導体パッケージ中間体1Mは、インターポーザ20と、インターポーザ20と隣り合う再配線層チップ30と、インターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。より具体的には、半導体パッケージ中間体1Mは、複数のインターポーザ20を含むインターポーザ層20Mと、複数のインターポーザ20と隣り合う複数の再配線層チップ30と、複数のインターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。

- [0098] その後、図14に示すようにインターポーザ20の第1表面20Aにパッド16が設けられる。パッド16は貫通電極14に電氣的に接続される。再配線層チップ30の第1配線35の一部が形成する第1面31Aにパッド37が形成される。パッド37は、第1配線35に電氣的に接続される。
- [0099] 続いて、図15A及び図15Bに示すようにインターポーザ20及び再配線層チップ30に重なるように第1の半導体素子40及び第2の半導体素子45が搭載される。ここでは、第1の半導体素子40及び第2の半導体素子45の複数の組み合わせが、対応するインターポーザ20及び再配線層チップ30に重なるように配置される。そして、第1の半導体素子40は、パッド16を介してインターポーザ20の貫通電極14に電氣的に接続される。第1の半導体素子40は、パッド37を介して再配線層チップ30の第1配線35に電氣的に接続される。第2の半導体素子45は、パッド16を介してインターポーザ20の貫通電極14に電氣的に接続される。第2の半導体素子45は、パッド37を介して再配線層チップ30の第1配線35に電氣的に接続される。
- [0100] 続いて、図16Aに示すように第2モールド樹脂層部分60Mが設けられる。第2モールド樹脂層部分60Mは、再配線層チップ30の構成部分として切り出される前の第2モールド樹脂層60を含む部分に相当する。これにより、複数の半導体パッケージ1を含む半導体パッケージブロックが形成される。その後、図16A及び図16Bに示すように、上記ブロックから半導体パッケージ1が切り出される。第2モールド樹脂層部分60Mは、複数のインターポーザ20の第1表面20A及び再配線層チップ30の第1表面30Aに接合する。また、第2モールド樹脂層部分60Mは、複数の第1の半導体素子40及び第2の半導体素子45に接合し、複数の第1の半導体素子40及び第2の半導体素子45を保持する。これにより、ブロックから半導体パッケージ1が切り出された後、支持キャリア50がインターポーザ20及び再配線層チップ30から剥離された場合であっても、第2モールド樹脂層60によって、インターポーザ20、再配線層チップ30、第1の半導体

素子40及び第2の半導体素子45の一体化状態が維持される。第2モールド樹脂層部分60Mは、軟化させた材料を硬化させることで形成されてもよい。第2モールド樹脂層部分60Mは、液状の材料を硬化させることで形成されてもよい。

[0101] 以上に説明した半導体パッケージ1は、インターポーザ20と、インターポーザ20と隣り合う再配線層チップ30と、インターポーザ20及び再配線層チップ30に重なる半導体素子40、45と、を備える。そして、再配線層チップ30は、半導体素子40、45が重なる面である第1面31Aを含む再配線要素31と、再配線要素31における半導体素子40、45が重なる面の反対側に位置する面である第2面31Bに取り付けられ、樹脂を含む第1モールド樹脂層32とを含む。そして、再配線要素31は、絶縁性を有する絶縁層33及び絶縁層33に覆われる第1再配線層34を含む。第1再配線層34は、再配線要素31における半導体素子40、45が重なる第1面31Aに少なくとも一部が位置する第1配線35を含む第1導電部30Eを含む。インターポーザ20は、インターポーザ20における半導体素子40、45が重なる面に位置する貫通電極14を含む第2導電部20Eを含む。そして、半導体素子40、45は、第1導電部30E及び第2導電部20Eに電氣的に接続する。

[0102] このような半導体パッケージ1では、インターポーザ20と再配線層チップ30とが別々に製造される。そして、インターポーザ20と再配線層チップ30とが一体化されることで半導体パッケージ1が製造される。これにより、大型の半導体パッケージ1を低コストで提供可能となる。すなわち、インターポーザ20と再配線層チップ30に対応する部分とを同時に1つの支持キャリア基板50P又は支持キャリア50上に形成する場合には、全体のサイズが大型になることで、再配線層チップ30が含むような微細な配線パターンを形成するための露光装置等の装置の大型化も必要になり得る。この場合、設備コストが大きくなり得る。これに対して、支持キャリア基板50P又は支持キャリア50とは別の場所で再配線層チップ30が製造される場

合には、再配線層チップ30は、例えば既存の小型の装置で製造され得る。そのため、大型の半導体パッケージ1を低コストで且つ効率的に提供することが可能となる。

[0103] また、インターポーザ20と再配線層チップ30とが別々に製造される場合、半導体パッケージ1は、インターポーザ20と再配線層チップ30とが一体化されることで製造される。このとき、再配線層チップ30は、再配線要素31と第1モールド樹脂層32とを有する。そして、第1モールド樹脂層32は、再配線要素31の変形を抑制する機能を有する。詳しくは、再配線層チップ30では、絶縁層33と第1再配線層34との熱膨張係数が異なるため、再配線要素31が反ろうとする。このとき、第1モールド樹脂層32が絶縁層33を補強して再配線要素31の反りを抑制するように機能する。したがって、半導体パッケージ1において部分的に再配線層チップ30が反る又は歪むような変形が抑制される。結果的に、インターポーザ20と再配線層チップとが連なる部分を平坦にできることで、半導体パッケージ1全体を平坦に形成できる。これにより、面方向に大型の半導体パッケージ1を形成できる。

[0104] よって、本実施の形態によれば、大型の半導体パッケージ1を低コストで提供できる。また、半導体パッケージ1における変形も抑制できる。

[0105] 上述した一実施形態を様々に変更できる。以下、必要に応じて図面を参照しながら、変形例について説明する。以下の説明および以下の説明で用いる図面では、上述した一実施形態と同様に構成され得る部分について、上述の一実施形態における対応する部分に対して用いた符号と同一の符号を用いる。重複する説明は省略する。また、上述した一実施形態において得られる作用効果がその他の実施形態においても得られることが明らかである場合、その説明を省略する場合もある。

[0106] (変形例)

図17は、再配線層チップ30の一変形例を示す図である。図17に示す変形例にかかる再配線層チップ30は、第1モールド樹脂層32に形成され

た貫通孔 3 2 A に位置する貫通電極 3 2 E をさらに有する。貫通電極 3 2 E は、第 1 再配線層 3 4 に電氣的に接続されている。

[0107] 図 1 7 では、再配線要素 3 1 における第 1 再配線層 3 4 の一部が、再配線要素 3 1 の第 1 面 3 1 A と第 2 面 3 1 B とに位置する。詳しくは、第 1 面 3 1 A に位置する第 1 配線 3 5 の一部と、この第 1 配線 3 5 の一部から絶縁層 3 3 を貫通して第 2 面 3 1 B に至る導電部 3 4 E とで構成される部分が、再配線要素 3 1 の第 1 面 3 1 A と第 2 面 3 1 B とに位置する。そして、導電部 3 4 E に貫通電極 3 2 E が接続されている。導電部 3 4 E を形成する場合、例えば、剥離層 3 9 (3 9 M) 上に第 1 配線 3 5 を形成した後、第 1 配線 3 5 を絶縁層 3 3 で覆う。その後、絶縁層 3 3 に第 1 配線 3 5 の一部を第 2 面 3 1 B 側に開口させる孔を形成し、孔に導電部 3 4 E を設ける。導電部 3 4 E は電解めっき法で形成されてもよい。

[0108] 図 1 8 は、図 1 の半導体パッケージ 1 の一変形例を示す図である。図 1 8 に示す変形例にかかる半導体パッケージ 1 では、インターポーザ 2 0 の貫通部 2 1 に配置された再配線層チップ 3 0 と、インターポーザ 2 0 との間に間隔が形成されていない。再配線層チップ 3 0 とインターポーザ 2 0 との間は、絶縁層 3 3 の形成材料と同じ材料で埋められてもよいし、第 2 モールド樹脂層 6 0 によって埋められてもよい。

[0109] 図 1 9 は、一変形例にかかる半導体パッケージ 1' を示す図である。図 2 0 は、図 1 9 の半導体パッケージ 1' の C-C 線に沿った断面図である。半導体パッケージ 1' は、インターポーザ 2 0、再配線層チップ 3 0、2 つの第 1 の半導体素子 4 0、2 つの第 2 の半導体素子 4 5、1 つの第 3 の半導体素子 4 8、支持キャリア 5 0 及び第 2 モールド樹脂層 6 0 を備えている。インターポーザ 2 0 は、厚さ方向に貫通する孔でなる 1 つの貫通部 2 1 を有する。そして、再配線層チップ 3 0 は、貫通部 2 1 に配置されている。

[0110] 2 つの第 1 の半導体素子 4 0 のうちの一方は、平面視において、言い換えると第 3 方向 D 3 で見たとき、インターポーザ 2 0 及び再配線層チップ 3 0 に重なる。2 つの第 1 の半導体素子 4 0 のうちの他方は、上記一方とは異なる。

る位置で、平面視において、言い換えると第3方向D3で見たとき、インターポーザ20及び再配線層チップ30に重なる。そして、第1の半導体素子40は、インターポーザ20及び再配線層チップ30の両方に電氣的に接続されている。詳しくは、インターポーザ20における複数の貫通電極14のうちの1つ又は複数の貫通電極14が、2つの第1の半導体素子40のそれぞれに電氣的に接続されている。再配線層チップ30は、第1の半導体素子40のそれぞれに電氣的に接続されている第1配線35を含む第1導電部30Eを含む。

[0111] 2つの第2の半導体素子45のうちの一方は、平面視において、言い換えると第3方向D3で見たとき、インターポーザ20及び再配線層チップ30に重なる。2つの第2の半導体素子45のうちの他方は、上記一方とは異なる位置で、平面視において、言い換えると第3方向D3で見たとき、インターポーザ20及び再配線層チップ30に重なる。そして、第2の半導体素子45は、インターポーザ20及び再配線層チップ30の両方に電氣的に接続されている。詳しくは、インターポーザ20の第2導電部20Eにおける複数の貫通電極14のうちの1つ又は複数の貫通電極14が、2つの第2の半導体素子45のそれぞれに電氣的に接続されている。再配線層チップ30は、第2の半導体素子45のそれぞれに電氣的に接続されている第1配線35を含む。

[0112] 第3の半導体素子48は、平面視において、言い換えると第3方向D3で見たとき、再配線層チップ30に重なる。そして、第3の半導体素子48は、再配線層チップ30の第1配線35に電氣的に接続されている。詳しくは、第3の半導体素子48は、第1の半導体素子40と電氣的に接続した第1配線35と電氣的に接続している。第3の半導体素子48は、第2の半導体素子45と電氣的に接続した第1配線35と電氣的に接続している。これにより、第1の半導体素子40と第3の半導体素子48と第2の半導体素子45は互いに電氣的に接続している。

[0113] 図21は、一変形例にかかる半導体パッケージ1' 'を示す図である。図

22は、図21の半導体パッケージ1'のD-D線に沿った断面図である。半導体パッケージ1'は、インターポーザ20、4つの再配線層チップ30、2つの第1の半導体素子40、2つの第2の半導体素子45、1つの第3の半導体素子48、支持キャリア50及び第2モールド樹脂層60を備えている。インターポーザ20は、厚さ方向に貫通する孔となる4つの貫通部21を有する。そして、4つの再配線層チップ30は、別々の貫通部21に配置されている。

[0114] 図21及び図22に示す変形例のように、複数の再配線層チップ30が1つのインターポーザ20に組み込まれてもよい。

[0115] 図23は、一変形例にかかる半導体パッケージ1'''を示す図である。半導体パッケージ1'''は、インターポーザ20及び再配線層チップ30と第2モールド樹脂層60との間に第2絶縁層70が設けられている点で、図2に示した半導体パッケージ1と相違する。第2絶縁層70は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどでもよい。図示の例では、パッド16、37は、第2絶縁層70に埋め込まれている。

[0116] 図24は、一変形例にかかる半導体パッケージ中間体1M'を示す図である。半導体パッケージ中間体1M'は、インターポーザ20と、インターポーザ20と隣り合う再配線層チップ30と、インターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。なお、図24は半導体パッケージ中間体1M'の一部のみを示している。實際上、半導体パッケージ中間体1M'は、複数のインターポーザ20を含むインターポーザ層20Mと、複数のインターポーザ20と隣り合う複数の再配線層チップ30と、複数のインターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。

[0117] 図24の半導体パッケージ中間体1M'では、インターポーザ20の第1表面20Aが第3絶縁層80で覆われている。第3絶縁層80にはパッド16が設けられている。パッド16は、第1表面20Aに対して突出している

。パッド16は、第3絶縁層80を貫通する接続導電部16aを介して、第1表面20Aから露出するインターポザ20における貫通電極14に電氣的に接続されている。また、再配線層チップ30の再配線要素31における絶縁層33は第1配線35を埋め込み、絶縁層33には第1配線35の一部と電氣的に接続する接続導電部37aが設けられている。そして、再配線層チップ30にはパッド37が設けられている。パッド37は、再配線層チップ30の第1表面30Aに対して突出している。パッド37は、接続導電部37aを介して第1配線35と電氣的に接続されている。

[0118] すなわち、半導体パッケージ中間体1M'は、パッド16、37を一体的に備え、パッド16は第3絶縁層80により保持され、パッド37は絶縁層33により保持されている。このような半導体パッケージ中間体1M'に第1の半導体素子40及び第2の半導体素子45を搭載する際には、第1の半導体素子40及び第2の半導体素子45は、第3絶縁層80及び絶縁層33に重なることで、インターポザ20及び再配線層チップ30に重なる。第3絶縁層80は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどでもよい。なお、半導体パッケージ中間体1M'においては、パッド16、37に代えて、バンプが形成されてもよい。

[0119] 図25は、半導体パッケージ中間体1M'の製造方法の一例を説明する図である。まず、図25(A)に示すように、インターポザ層20Mが形成された支持キャリア基板50Pが準備される。インターポザ層20Mは、半導体パッケージ1の構成部分として切り出される前の複数のインターポザ20を含む部分に相当する。インターポザ層20Mは、複数の貫通部21を含む。

[0120] 続いて、複数の再配線層チップ30が準備される。ここで、変形例にかかる再配線層チップ30では、接続導電部37aが絶縁層33から露出する状態で再配線要素31に一体化されている。そして、図25(B)に示すように、複数の貫通部21のそれぞれに再配線層チップ30が配置され、再配線

層チップ30が支持キャリア基板50Pに取り付けられる。再配線層チップ30は、接着層36を介して剥離層51Mに接合されることにより支持キャリア基板50Pに取り付けられる。

[0121] 続いて、図25(C)に示すように、第3絶縁層80を形成する形成材料80Mがインターポーザ20及び再配線層チップ30に設けられる。形成材料80Mは、インターポーザ20の第1表面20Aを覆うとともに、再配線層チップ30を覆う。形成材料80Mは、例えばフィルムであり、真空ラミネートによりインターポーザ20及び再配線層チップ30に密着する状態で設けられてもよい。図示の例では、インターポーザ20と再配線層チップ30との間の間隔に形成材料80Mの一部が充填されている。

[0122] 形成材料80Mは感光性材料であり、図25(C)に示す非露光部分NE以外の箇所を露光される。この露光により、形成材料80Mの一部が硬化し、非露光部分NEは未硬化のままとされる。その後、非露光部分NEが除去されることで、貫通孔が設けられた第3絶縁層80が形成される。また、再配線層チップ30が外部に露出する。そして、第3絶縁層80における貫通孔内で例えば電解めっき法によりめっきを成長させる。

[0123] そして、第3絶縁層80における貫通孔で十分にめっきが成長することで、図25(D)に示すように接続導電部16aが形成される。その後、接続導電部16a、37aからメッキを成長させることで、パッド16、37が形成される。これにより、半導体パッケージ中間体1M'が得られる。パッド16、37に代えて、バンプを形成する場合には、バンプはめっき法で形成されてもよいし、印刷法で形成されてもよい。

[0124] 図26A及び図26Bは、半導体パッケージ中間体10M'を構成する再配線層チップ30の製造方法を説明する図である。

[0125] この例では、まず、図26A(A)に示すように、前工程チップキャリア基板38M'が準備される。そして、前工程チップキャリア基板38M'に前工程剥離層39M'が形成される。続いて、図26A(B)に示すように

前工程剥離層 3 9 M' に複数の第 1 再配線層 3 4 が形成される。なお、図 2 6 A (B) では、一つの第 1 再配線層 3 4 しか示されていないが、実際は、複数の第 1 再配線層 3 4 が形成される。複数の第 1 再配線層 3 4 は、複数の再配線層チップ 3 0 を構成する配線を含む。

[0126] 続いて、図 2 6 A (C) に示すように複数の第 1 再配線層 3 4 が前工程絶縁層 3 3 M 1 によって覆われる。前工程絶縁層 3 3 M 1 は、感光性材料である。前工程絶縁層 3 3 M 1 は、例えば、ポリイミド、エポキシ系樹脂、アクリル系樹脂、及びこれらの二種以上の組合せなどから形成される材料を硬化することにより形成されてもよい。

[0127] 続いて、前工程絶縁層 3 3 M 1 が図 2 6 A (C) に示す非露光部分 N E 以外の領域を露光される。そして、非露光部分 N E が除去され、前工程絶縁層 3 3 M 1 において除去されなかった部分が硬化される。これにより、第 1 再配線層 3 4 における一部の配線を露出させる孔が形成される。そして、前工程絶縁層 3 3 M 1 に形成された孔内で例えば電解めっき法でめっきを成長させることにより、図 2 6 A (D) に示すように、接続導電部 3 7 a が形成される。

[0128] そして、図 2 6 A (E) に示すように、第 1 再配線層 3 4 及び接続導電部 3 7 a が形成された前工程絶縁層 3 3 M 1 から、前工程チップキャリア基板 3 8 M' 及び前工程剥離層 3 9 M' が剥離される。

[0129] 続いて、図 2 6 B (F) に示すように、チップキャリア基板 3 8 M が準備され、チップキャリア基板 3 8 M に剥離層 3 9 M が形成される。そして、剥離層 3 9 M に接続導電部 3 7 a が接するように、剥離層 3 9 M と前工程絶縁層 3 3 M 1 とが貼り合わされる。続いて、図 2 6 B (G) に示すように、前工程絶縁層 3 3 M 1 に後工程絶縁層 3 3 M 2 が設けられる。後工程絶縁層 3 3 M 2 は、第 1 再配線層 3 4 を覆う。ここで、前工程絶縁層 3 3 M 1 及び後工程絶縁層 3 3 M 2 が、絶縁層 3 3 M を形成する。その後、図 2 6 B (H) に示すように、絶縁層 3 3 M が第 1 モールド樹脂層部分 3 2 M 及び接着層 3 6 M によって覆われる。これにより、再配線層チップ中間体が形成される。

そして、再配線層チップ中間体から複数の再配線層チップ30が切り出される。

[0130] 図26C及び図26Dは、再配線層チップ30の他の製造方法を説明する図である。この例では、インターポーザ20に組み込まれる前の再配線層チップ30に、接続導電部37aと、パッド37とが一体化される。

[0131] この例では、まず、図26C(A)に示すように、前工程チップキャリア基板38M'が準備される。そして、前工程チップキャリア基板38M'に前工程剥離層39M'が形成される。続いて、図26C(B)に示すように前工程剥離層39M'に複数の第1再配線層34が形成される。複数の第1再配線層34は、複数の再配線層チップ30を構成する配線を含む。続いて、図26C(C)に示すように複数の第1再配線層34が前工程絶縁層33M1によって覆われる。

[0132] 続いて、第1再配線層34及び前工程絶縁層33M1から前工程チップキャリア基板38M'及び前工程剥離層39M'が剥離される。そして、図26C(D)に示すように、第1再配線層34及び前工程絶縁層33M1における前工程チップキャリア基板38M'及び前工程剥離層39M'が設けられていた面とは反対側の面に、中工程チップキャリア基板38M''及び中工程剥離層39M''が設けられる。

[0133] その後、図26C(E)に示すように、第1再配線層34が露出する面に後工程絶縁層33M2が設けられる。後工程絶縁層33M2は、第1再配線層34を覆う。続いて、後工程絶縁層33M2が図26C(E)に示す非露光部分NE以外の領域を露光される。そして、非露光部分NEが除去され、後工程絶縁層33M2において除去されなかった部分が硬化される。これにより、第1再配線層34における一部の配線を露出させる孔が形成される。そして、後工程絶縁層33M2に形成された孔内で例えば電解めっき法でめっきを成長させることにより、図26C(F)に示すように、接続導電部37aが形成される。また、前工程絶縁層33M1及び後工程絶縁層33M2が、絶縁層33Mを形成する。

[0134] その後、図26D（G）に示すように、接続導電部37aからメッキを成長させることにより、パッド37が形成される。その後、図26D（H）に示すように、剥離層39Mが形成されたチップキャリア基板38Mが準備される。そして、剥離層39Mとパッド37が接するように、チップキャリア基板38Mが絶縁層33Mに設けられる。その後、図26D（I）に示すように、中工程チップキャリア基板38M' ' 及び中工程剥離層39M' ' が剥離される。その後、図26D（J）に示すように、絶縁層33Mが第1モールド樹脂層部分32M及び接着層36Mによって覆われる。これにより、再配線層チップ中間体が形成される。そして、再配線層チップ中間体から複数の再配線層チップ30が切り出される。

[0135] 図27は、さらの他の変形例にかかる半導体パッケージ中間体1M' ' を示す図である。半導体パッケージ中間体1M' ' は、インターポーザ20と、インターポーザ20と隣り合う再配線層チップ30と、インターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。再配線層チップ30は、図26C及び図26Dで説明した工程により作製されており、インターポーザ20に組み込まれる前にパッド37を備えている。なお、図27は半導体パッケージ中間体1M' ' の一部のみを示している。實際上、半導体パッケージ中間体1M' ' は、複数のインターポーザ20を含むインターポーザ層20Mと、複数のインターポーザ20と隣り合う複数の再配線層チップ30と、複数のインターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。

[0136] 半導体パッケージ中間体1M' ' では、インターポーザ層20Mが多層構造であり、第1インターポーザ層20M1と、第1インターポーザ層20M1に重ねられた第2インターポーザ層20M2とを備える。再配線層チップ30は、第1インターポーザ層20M1に重なるように配置され、この状態で第2インターポーザ層20M2と隣り合っている。

[0137] 図28は、半導体パッケージ中間体1M' ' の製造方法の一例を説明する図である。まず、図28（A）に示すように、第1インターポーザ層20M

1が形成された支持キャリア基板50Pが準備される。続いて、図28(B)に示すように、第1インターポーザ層20M1に再配線層チップ30が設けられる。その後、図28(C)に示すように、再配線層チップ30を囲むように第2インターポーザ層20M2が設けられる。その後、第2インターポーザ層20M2に接続導電部16a及びパッド16が形成される。これら接続導電部16a及びパッド16は、図25で説明した工程と同じ工程により形成され得る。

[0138] 以上に説明した図27及び図28に示す半導体パッケージ中間体1M'は、インターポーザ20と、インターポーザ20と隣り合う再配線層チップ30と、インターポーザ20及び再配線層チップ30を支持する支持キャリア基板50Pと、を備える。より詳しくは、インターポーザ20が多層構造であり、インターポーザ20を構成する一部の層と、再配線層チップ30が隣り合っている。言うまでも無く、半導体パッケージ中間体1M'を用いて形成される半導体パッケージにおいても、インターポーザ20を構成する一部の層と、再配線層チップ30が隣り合う。

[0139] 次に、図29は、図5の再配線層チップの変形例を示す図である。図29に示す例では、第1再配線層34の各第1配線35が無機膜35aで覆われている。無機膜35aは、絶縁性を有するものである。無機膜35aは、例えば酸化珪素(SiO₂)や窒化珪素(SiN)等で形成され得る。無機膜35aは、高周波電流が流れた際の電気エネルギーの損失を抑制する。ここで、絶縁層33の誘電正接は、0.01以下であることが好ましい。この場合、無機膜35aと低い誘電正接の絶縁層33とにより、電気エネルギーの損失を効果的に抑制できる。絶縁層33は、ポリイミドで形成されてもよい。図示の例では、無機膜35aが、剥離層39の表面に設けられる各第1配線35の露出部分を覆う。第1配線35の露出部分は、剥離層39の表面に接する第1配線35の裏面を除く第1配線35の側面及び表面であるが、他の導電部分との接続部分は無機膜35aによって覆われない。また、図示の例では、無機膜35aは、剥離層39の表面のうちの第1配線35が設けられ

ていない部分の全体を覆っている。これにより、無機膜 35 a は、剥離層 39 の表面における隣り合う第 1 配線 35 の間に位置する部分を覆っている。また、無機膜 35 a は、剥離層 39 の表面におけるその外縁から最外周側に位置する第 1 配線 35 までの部分を覆っている。図示の例では、複数の第 1 配線 35 がラインアンドスペースのパターンで設けられ、第 1 配線 35 の線幅と隣り合う第 1 配線 35 の間隔とが同じであり、例えば $1.5 \mu\text{m}$ である。また、第 1 配線 35 のアスペクト比は約 2.5 である。ただし、寸法条件は特に限られない。なお、無機膜 35 a は、剥離層 39 の表面の全体を覆わなくてもよい。例えば、図 29 に示す状態から、無機膜 35 a の一部を除去することにより、無機膜 35 a が、剥離層 39 の表面におけるその外縁から最外周側に位置する第 1 配線 35 までの部分を覆わない状態が形成されもよい。

[0140] (半導体パッケージが搭載される製品の例)

図 30 は、半導体パッケージ 1 が搭載される製品の例を示す図である。半導体パッケージ 1 は、様々な製品において利用され得る。例えば、ノート型パーソナルコンピュータ 110、タブレット端末 120、携帯電話 130、スマートフォン 140、デジタルビデオカメラ 150、デジタルカメラ 160、デジタル時計 170、サーバ等に搭載される。

[0141] 上記実施の形態および変形例に開示されている複数の構成要素を必要に応じて適宜組合せることも可能である。あるいは、上記実施の形態および変形例に示される全構成要素から幾つかの構成要素を削除してもよい。

符号の説明

[0142] 1, 1', 1'', 1''' …半導体パッケージ

1 M …半導体パッケージ中間体

14 …貫通電極

15 …第 2 配線

16 …パッド

20 …インターポーザ

20A…第1表面
20B…第2表面
20E…第2導電部
20M…インターポーザ層
21…貫通部
22…インターポーザ絶縁層
22A…貫通孔
24…第2再配線層
30…再配線層チップ
30'…組み込み前再配線層チップ
30A…第1表面
30B…第2表面
30E…第1導電部
31…再配線要素
31M…再配線要素部分
31A…第1面
31B…第2面
32…第1モールド樹脂層
32M…第1モールド樹脂層部分
32A…貫通孔
32E…貫通電極
33…絶縁層
33M…絶縁層
34…第1再配線層
34M…再配線層群
35…第1配線
36…接着層
37…パッド

38…チップキャリア
38M…チップキャリア基板
39…剥離層
39M…剥離層
40…第1の半導体素子
45…第2の半導体素子
50…支持キャリア
50P…支持キャリア基板
51…剥離層
51M…剥離層
60…第2モールド樹脂層
60M…第2モールド樹脂層部分
70…第2絶縁層
110…ノート型パーソナルコンピュータ
120…タブレット端末
130…携帯電話
140…スマートフォン
150…デジタルビデオカメラ
160…デジタルカメラ
170…デジタル時計
180…サーバ
300…再配線層チップ中間体
D1…第1方向
D2…第2方向
D3…第3方向

請求の範囲

- [請求項1] インターポーザと、
 前記インターポーザと隣り合う再配線層チップと、
 前記インターポーザ及び前記再配線層チップに重なる半導体素子と、
 を備え、
 前記再配線層チップは、前記半導体素子が重なる面を含む再配線要素と、前記再配線要素における前記半導体素子が重なる面の反対側に位置する面に取り付けられ、樹脂を含む第1モールド樹脂層とを含み、
 、
 前記再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記半導体素子が重なる面に少なくとも一部が位置する第1導電部を含み、
 前記インターポーザは、前記インターポーザにおける前記半導体素子が重なる面に位置する第2導電部を含む第2再配線層を含み、
 前記半導体素子は、前記第1導電部及び前記第2導電部に電氣的に接続する、半導体パッケージ。
- [請求項2] 前記インターポーザ及び前記再配線層チップを介して前記半導体素子と向き合う位置に配置され、前記インターポーザ及び前記再配線層チップを支持する支持キャリアをさらに備え、
 前記支持キャリアは、前記インターポーザ及び前記再配線層チップから剥離可能である、請求項1に記載の半導体パッケージ。
- [請求項3] 前記インターポーザ及び前記再配線層チップを覆い且つ前記インターポーザ及び前記再配線層チップに取り付けられ、前記半導体素子を保持する第2モールド樹脂層をさらに備える、請求項1に記載の半導体パッケージ。
- [請求項4] 前記第1モールド樹脂層の線膨張率は、前記絶縁層の線膨張率よりも小さい、請求項1に記載の半導体パッケージ。

- [請求項5] 前記第1モールド樹脂層のヤング率は、前記絶縁層のヤング率よりも大きい、請求項1に記載の半導体パッケージ。
- [請求項6] 前記第1モールド樹脂層の曲げ剛性は、前記絶縁層の曲げ剛性よりも大きい、請求項1に記載の半導体パッケージ。
- [請求項7] 前記第1モールド樹脂層の厚さは、前記絶縁層の厚さよりも大きい、請求項1に記載の半導体パッケージ。
- [請求項8] 前記第1モールド樹脂層は、前記樹脂に分散された粒状のフィラーを含む、請求項1に記載の半導体パッケージ。
- [請求項9] 前記フィラーの熱伝導率は、前記樹脂の熱伝導率よりも大きい、請求項8に記載の半導体パッケージ。
- [請求項10] 前記フィラーは、無機材料で形成される、請求項8に記載の半導体パッケージ。
- [請求項11] 前記フィラーの色は、黒である、請求項8に記載の半導体パッケージ。
- [請求項12] 前記再配線層チップは、前記第1モールド樹脂層に形成された貫通孔に位置する貫通電極をさらに含む、請求項1に記載の半導体パッケージ。
- [請求項13] 前記第1導電部は第1配線を含み、前記第2導電部は第2配線を含み、
前記第1配線の線幅は、前記第2配線の線幅よりも小さい、請求項1乃至12のいずれかに記載の半導体パッケージ。
- [請求項14] 前記第1導電部は第1配線を含み、前記第1配線の線幅は、 $10\mu\text{m}$ 以下である、請求項1乃至12のいずれかに記載の半導体パッケージ。
- [請求項15] 前記第1モールド樹脂層が含む前記樹脂は、エポキシ樹脂、ポリイミド、アクリル、ビスマレイミド、ポリベンゾオキサゾール、及びベンゾシクロブテンのうちの少なくともいずれかである、請求項1に記載の半導体パッケージ。

- [請求項16] インターポーザと、
 前記インターポーザと隣り合う再配線層チップと、
 前記インターポーザ及び前記再配線層チップを支持する支持キャリア基板と、を備え、
 前記再配線層チップは、再配線要素と、前記再配線要素に取り付けられ、樹脂を含むモールド樹脂層とを含み、前記再配線層チップは、前記モールド樹脂層が前記支持キャリア基板に接する状態で前記支持キャリア基板に取り付けられ、
 前記支持キャリア基板は、前記インターポーザ及び前記再配線層チップから剥離可能であり、
 前記再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記モールド樹脂層が取り付けられる面の反対側に位置する面に少なくとも一部が位置する第1導電部を含み、前記インターポーザは、前記支持キャリア基板に向く面の反対側に位置する面に位置する第2導電部を含む第2再配線層を含む、半導体パッケージ中間体。
- [請求項17] 絶縁性を有する絶縁層及び前記絶縁層に覆われる再配線層を含み、第1面及び前記第1面の反対側に位置する第2面を含み、前記再配線層が前記第1面に少なくとも一部が位置する導電部を含む再配線要素と、
 前記第2面に取り付けられ、樹脂を含むモールド樹脂層と、を備える、再配線層チップ。
- [請求項18] 前記モールド樹脂層における前記第2面に取り付けられる面の反対側に位置する面に取り付けられる接着層をさらに備え、前記接着層は、感熱接着性又は感光接着性又は感圧接着性を有する、請求項17に記載の再配線層チップ。
- [請求項19] 絶縁性を有する絶縁層及び前記絶縁層に覆われる複数の再配線層を含み、第1面及び前記第1面の反対側に位置する第2面を含み、各前

記再配線層が前記第1面に少なくとも一部が位置する導電部を含む再配線要素部分と、

前記第2面に取り付けられ、樹脂を含むモールド樹脂層部分と、

前記第1面に接合するチップキャリア基板と、を備える、再配線層チップ中間体。

[請求項20] インターポーザと隣り合うように再配線層チップを配置する工程と、

、

前記インターポーザ及び前記再配線層チップに重なるように半導体素子を搭載する工程と、を備え、

前記再配線層チップは、前記半導体素子が重なる面を含む再配線要素と、前記再配線要素における前記半導体素子が重なる面の反対側に位置する面に取り付けられ、樹脂を含む第1モールド樹脂層とを含み、

、

前記再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記半導体素子が重なる面に少なくとも一部が位置する第1導電部を含み、前記インターポーザは、前記インターポーザにおける前記半導体素子が重なる面に位置する第2導電部を含む第2再配線層を含み、

、

前記搭載する工程で、前記半導体素子を、前記第1導電部及び前記第2導電部に電氣的に接続する、半導体パッケージの製造方法。

[請求項21] 支持キャリア基板を準備する工程と、

前記支持キャリア基板上にインターポーザを形成する工程と、

前記インターポーザと隣り合うように再配線層チップを前記支持キャリア基板に取り付ける工程と、を備え、

前記再配線層チップは、再配線要素と、前記再配線要素に取り付けられ、樹脂を含むモールド樹脂層とを含み、前記再配線層チップは、前記モールド樹脂層が前記支持キャリア基板に接する状態で前記支持

キャリア基板に取り付けられ、

前記支持キャリア基板は、前記インターポーザ及び前記再配線層チップから剥離可能であり、

前記再配線要素は、絶縁性を含む絶縁層及び前記絶縁層に覆われる第1再配線層を含み、前記第1再配線層は、前記再配線要素における前記モールド樹脂層が取り付けられる面の反対側に位置する面に少なくとも一部が位置する第1導電部を含み、前記インターポーザは、前記支持キャリア基板に向く面の反対側に位置する面に位置する第2導電部を含む第2再配線層を含む、半導体パッケージ中間体の製造方法。