

TRANSISTOR NC-FET COMPORTANT UN SUBSTRAT DU TYPE SEMI-CONDUCTEUR SUR ISOLANT

DOMAINE DE L'INVENTION

5 La présente invention concerne un transistor à effet de champ à capacité négative (NC-FET) comportant un substrat de type semi-conducteur sur isolant.

ETAT DE LA TECHNIQUE

10 Les substrats de type semi-conducteur sur isolant, notamment ceux totalement déplétés, connus sous l'acronyme FDSOI, du terme anglo-saxon « Fully Depleted Silicon On Insulator », sont fréquemment utilisés dans le domaine de la microélectronique, en particulier pour fabriquer des transistors.

Un substrat FDSOI comprend successivement un substrat support, une couche d'oxyde enterré (souvent désignée par l'acronyme BOX, pour « Buried OXide ») et une
15 couche ultrafine de silicium monocristallin, qui est la couche active, c'est-à-dire dans ou sur laquelle sont destinés à être formés des composants électroniques. Par ultrafine, on entend dans le présent texte que l'épaisseur de la couche de silicium est inférieure ou égale à 20 nm. La grande finesse de la couche active, et, le cas échéant, de la couche d'oxyde, permettent à la couche active d'un transistor formé à partir de ce substrat d'être totalement
20 déplétée.

Dans un transistor formé à partir d'un substrat FDSOI, la tension de seuil (V_T , « threshold voltage » en anglais), c'est-à-dire la tension minimale à appliquer à la grille de face avant et la source pour rendre le transistor passant, peut être contrôlée en appliquant une tension de polarisation (V_{bb} « back bias voltage » en anglais) à une grille en face
25 arrière.

Un transistor à effet de champ à capacité négative (NC-FET, acronyme du terme anglo-saxon « Negative Capacitance Field Effect Transistor ») peut être obtenu par introduction d'une couche ferroélectrique dans le diélectrique de grille (Hu et al).

La figure 1 illustre un tel transistor.

30 Le transistor NC-FET comprend successivement de sa base (ou face arrière) vers sa surface (ou face avant), un substrat 1, une couche diélectrique (BOX) 4 et une couche active 3a dont une région 3b forme le canal du transistor 3b. Le canal 3b est couvert par une couche d'isolation de grille 30, sur laquelle une couche ferroélectrique 5 est disposée. L'électrode 20 de la grille 10 est disposée au-dessus de ladite couche ferroélectrique 2.

35 Les électrodes 21 et 22 de la source 11 et du drain 12 sont agencées des deux côtés respectifs de l'empilement comportant la grille 10.

Le document US 2020/0066867 propose d'ajouter une couche ferroélectrique dans un substrat FDSOI, en insérant, entre le substrat support et la couche d'oxyde enterré,

ladite couche ferroélectrique et une couche de silicium polycristallin. La couche ferroélectrique procure à l'arrière de la couche d'oxyde enterré une capacité négative destinée à appliquer une polarisation inverse adaptée pour moduler la tension de commutation du transistor. Ce substrat est cependant complexe et le procédé de fabrication du transistor est compliqué et coûteux.

EXPOSE DE L'INVENTION

Un but de l'invention est de concevoir un transistor NC-FET qui permette un meilleur contrôle du courant électrique dans la couche active, une commutation plus rapide du transistor, et une amélioration du couplage avec la grille en face arrière, tout en présentant une structure simple et pouvant être fabriqué avec des procédés existants.

A cette fin, l'invention propose un transistor NC-FET comportant un substrat de type semi-conducteur sur isolant pour un transistor à effet de champ de commutation rapide, comprenant successivement, de sa base vers sa surface :

- un substrat support semiconducteur,
- une unique couche ferroélectrique, agencée en contact direct avec le substrat support, et
- une couche active d'un matériau semiconducteur, adaptée pour former le canal du transistor, agencée en contact direct avec la couche ferroélectrique,

ledit transistor NC-FET comportant en outre un canal agencé dans la couche active, une source et un drain agencés dans la couche active de part et d'autre du canal, et une grille agencée sur le canal, isolée dudit canal par un diélectrique de grille.

Par « successivement de sa base vers sa surface » on entend un empilement des couches dans une direction perpendiculaire à la surface principale du substrat support, dans le sens du substrat support vers la couche active.

Par « contact direct » entre deux couches, on entend un contact direct sur l'étendue de l'interface entre les couches concernées.

L'architecture proposée permet d'intégrer dans la couche ferroélectrique, qui forme la couche électriquement isolante du substrat semi-conducteur sur isolant :

- des propriétés d'isolation électrique permettant d'obtenir un transistor à couche active complètement déplétée, et
- l'aptitude à former une capacité négative sous la couche active, permettant de contrôler la tension de seuil du transistor par la polarisation de ladite couche ferroélectrique.

La couche ferroélectrique présente une épaisseur comprise entre 1 et 30 nm, et plus avantageusement comprise entre 1 et 10 nm.

La couche ferroélectrique présente une permittivité diélectrique relative supérieure à 10 et de manière particulièrement avantageuse une permittivité diélectrique relative supérieure à 20. Dans certains modes de réalisation, la couche ferroélectrique comprend de l'oxyde d'hafnium, de l'oxyde de zirconium, de l'oxyde d'yttrium, de l'oxyde de lanthane, de l'aluminate d'hafnium ou un alliage comportant un ou plusieurs desdits matériaux

La couche active présente une épaisseur comprise entre 1 nm et 100 nm. Dans certains modes de réalisation, la couche active comprend du silicium, du germanium, un alliage silicium-germanium, de l'arséniure de gallium, du phosphore d'indium, de l'arséniure de gallium-indium, du graphène ou du disulfure de tungstène.

L'invention se rapporte aussi à un procédé de fabrication d'un transistor à effet de champ à capacité négative, ledit procédé étant principalement caractérisé en ce qu'il comprend les étapes suivantes :

- la fourniture d'un substrat support semiconducteur,
- la fourniture d'un substrat donneur semiconducteur,
- la formation d'au moins une couche ferroélectrique sur une surface du substrat support et/ou du substrat donneur,
- la formation d'une zone de fragilisation dans le substrat donneur, de sorte à délimiter une couche semiconductrice à transférer,
- le collage du substrat donneur sur le substrat support, chaque couche ferroélectrique étant agencée à l'interface de collage,
- le détachement du substrat donneur le long de la zone de fragilisation, de sorte à transférer la couche semi-conductrice sur le substrat support, ladite couche semi-conductrice formant la couche active du transistor,
- la formation d'un canal dans la couche active,
- la formation d'une source et d'un drain dans la couche active de part et d'autre du canal,
- le dépôt d'un diélectrique de grille sur le canal et la formation d'une grille sur le canal, isolée électriquement dudit canal par ledit diélectrique de grille.

Dans certains modes de réalisation ladite au moins une couche ferroélectrique est formée par dépôt de couches minces atomiques ou par ablation laser pulsé.

De préférence, le procédé comprend un traitement thermique de ladite au moins une couche ferroélectrique avant le collage. De manière avantageuse, le traitement thermique est réalisé à une température comprise entre 500°C et 1000°C. De manière avantageuse, le traitement thermique est réalisé pendant une durée inférieure à deux heures.

Dans certains modes de réalisation, la formation de la zone de fragilisation comprend une implantation d'atomes d'hydrogène et/ou d'hélium dans le substrat donneur.

Dans certains modes de réalisation, le procédé comprend, avant le collage, un ou plusieurs traitements de surface de ladite au moins une couche ferroélectrique, lesdits traitements comprenant un nettoyage, un traitement par plasma et/ou un polissage mécano-chimique.

- 5 De manière avantageuse, le procédé comprend, après l'étape de transfert, un recuit à une température inférieure ou égale à 1000°C.

BREVE DESCRIPTION DES FIGURES

- 10 D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée qui va suivre, en référence aux dessins annexés, sur lesquels :

La figure 1 est une vue schématique en coupe d'un transistor NC-FET de type connu.

La figure 2 illustre un substrat de type semi-conducteur sur isolant selon un mode de réalisation de l'invention.

- 15 La figure 3 est une vue schématique en coupe d'un transistor à effet de champ à capacité négative selon l'invention.

- Les figures 4A-4D illustrent des étapes de fabrication d'un transistor NC-FET à partir d'un substrat de type semi-conducteur sur isolant dans lequel une couche semiconductrice est transférée sur un substrat support comportant une couche ferroélectrique selon un mode de réalisation de l'invention.

- 20 Les figures 5A-5D illustrent des étapes de fabrication d'un transistor NC-FET à partir d'un substrat de type semi-conducteur sur isolant dans lequel une couche ferroélectrique est déposée sur un substrat donneur et ladite couche ferroélectrique et une couche semiconductrice sont transférées sur un substrat support selon un deuxième mode de réalisation de l'invention.

- 25 Les figures 6A-6E illustrent des étapes de fabrication d'un transistor NC-FET à partir d'un substrat de type semi-conducteur sur isolant dans lequel une première couche ferroélectrique est déposée sur un substrat donneur et ladite première couche ferroélectrique et une couche semiconductrice sont transférées sur un substrat support comportant une deuxième couche ferroélectrique selon un troisième mode de réalisation de l'invention.

DESCRIPTION DETAILLEE DE MODES DE REALISATION

- 35 La figure 2 illustre un mode de réalisation d'un substrat FDSOI pour un transistor NC-FET selon l'invention.

Le substrat FDSOI comprend un substrat support 1 en un matériau semiconducteur, une couche ferroélectrique 2 agencée sur le substrat support, et une couche active 3 agencée sur la couche ferroélectrique. Par « sur » on désigne une position relative des

couches en considérant les couches de la base du substrat support vers la surface du côté de la couche active. Les couches sont agencées en contact direct sur l'étendue de leurs interfaces.

De préférence, le substrat support est monocristallin. Dans d'autres modes de réalisation, le substrat support peut être polycristallin, sous réserve d'être compatible avec les procédés mis en œuvre sur les lignes de fabrication de substrats semi-conducteurs, notamment en termes de géométrie du substrat support et d'absence de contaminants.

De manière avantageuse, le substrat support peut être en silicium, mais d'autres matériaux semi-conducteurs peuvent être utilisés.

La couche ferroélectrique présente une permittivité diélectrique relative supérieure à 10, de préférence supérieure à 20.

Dans certains modes de réalisation, la couche ferroélectrique peut être une couche d'oxyde d'hafnium, d'oxyde de zirconium, d'oxyde d'yttrium, d'oxyde de lanthane, d'aluminate d'hafnium ou d'un alliage comportant un ou plusieurs desdits matériaux.

La couche ferroélectrique présente une épaisseur comprise entre 1 et 30 nm, et plus avantageusement comprise entre 1 et 10 nm.

La couche active est une couche semiconductrice monocristalline, adaptée pour former un canal dans un transistor à polarisation inverse.

La couche active est de préférence une couche en silicium, en germanium, en un alliage silicium-germanium, en arséniure de gallium, en phosphure d'indium, en arséniure de gallium-indium, en graphène ou en disulfure de tungstène.

La couche active présente typiquement une épaisseur comprise entre 1 nm et 100 nm.

La couche ferroélectrique, qui présente des propriétés diélectriques, remplace donc la couche BOX dans le substrat FDSOI.

Ladite couche ferroélectrique permet ainsi de délimiter le canal d'un transistor formé à partir de la couche active de ce substrat de manière qu'il soit totalement déplété.

Par ailleurs, la couche ferroélectrique permet simultanément d'utiliser l'effet de polarisation ferroélectrique afin de contrôler la couche active de manière très rapide.

En d'autres termes, la couche ferroélectrique combine deux fonctions : une isolation électrique de la couche active vis-à-vis du substrat support et une polarisation ferroélectrique à l'arrière de la couche active.

Un tel substrat peut être avantageusement utilisé pour application à un transistor à effet de champ à capacité négative (NC-FET) ou tout autre dispositif de commutation super rapide avec une amélioration du ratio de courant marche-arrêt (« Ion/Ioff ratio » en anglais) (c'est-à-dire un ratio supérieur à 10^5), par exemple un transistor à effet de champ à effet tunnel ou un transistor à effet de champ ferroélectrique.

La figure 3 est une vue schématique en coupe d'un transistor à effet de champ à capacité négative à base d'un substrat FDSOI comprenant une couche ferroélectrique enterrée selon l'invention.

Ledit transistor comprend successivement de sa base (ou face arrière) vers sa surface (ou face avant), un substrat support 1, une couche ferroélectrique 2 et une couche active 3a dont une région 3b forme le canal du transistor. Le canal est couvert par une couche d'isolation de grille 30 sur laquelle est disposée l'électrode 20 de la grille 10.

Les électrodes 21 et 22 de la source 11 et du drain 12 sont agencées des deux côtés respectifs de l'empilement comportant la grille 10.

Le transistor comprend une grille en face arrière (non représentée) pour moduler la tension de seuil. Ladite grille peut être placée à distance de l'empilement ou être intégrée dans le substrat support.

Dans un transistor à canal d'électrons, on applique une tension de polarisation V_{bb} négative sur la grille arrière afin d'augmenter la tension de seuil et réduire le courant de fuite, ce qui minimise la consommation d'énergie pendant l'état bloqué (ou passif) du transistor. En régime conducteur, on applique une tension V_{bb} positive qui abaisse la tension de seuil et augmente le courant passant.

Une tension V_{bb} positive résulte en une polarisation de la couche ferroélectrique telle que les charges positives sont localisées à la surface supérieure de ladite couche ferroélectrique, en contact avec le canal, et réduisent fortement la tension de seuil. Réciproquement, une tension V_{bb} négative bascule la polarisation de la couche ferroélectrique de manière à obtenir des charges négatives à l'interface entre la couche ferroélectrique et le canal du transistor, ce qui augmente sensiblement la tension de seuil. Ainsi, la couche ferroélectrique permet d'amplifier l'effet de la tension V_{bb} .

Quand la tension de polarisation V_{bb} appliquée sur la grille en face arrière du NC-FET passe d'une valeur négative à une valeur positive, la couche ferroélectrique change de polarisation de manière abrupte. Par conséquent, la tension de seuil augmente de manière abrupte d'une valeur élevée à une valeur basse, la pente sous le seuil est donc raide. Plus la pente sous le seuil est raide, plus la commutation entre les états ON et OFF est rapide.

Inversement, dans un transistor à canal de trous, on applique une tension V_{bb} positive sur la grille arrière pendant l'état bloqué du transistor, et une tension V_{bb} négative en régime conducteur.

Le ratio de courant marche-arrêt du transistor est proportionnel à la vitesse de commutation. Dans un NC-FET ce ratio peut atteindre des valeurs supérieures à 10^5 .

Les transistors du type NC-FET sont intéressants notamment pour les applications d'intégration à très grande échelle (VLSI « Very-Large-Scale Integration » en anglais),

comme par exemple les microprocesseurs à haute performance et ultra-basse puissance. [Wu et al.]

La tension V_{bb} sur la grille arrière a un effet sur la tension de seuil V_T via un diviseur capacitif comprenant la capacité de la couche d'isolation de grille, la capacité de la couche active déplétée et la capacité du BOX. Dans le cas d'un transistor NC-FET connu, la couche BOX absorbe une grande partie de la tension V_{bb} . Seule une faible fraction de la tension V_{bb} (approximativement égale au rapport entre les épaisseurs de la couche d'isolation de grille et du BOX) est donc utilisée pour la modulation de la tension de seuil. Dans un transistor NC-FET selon l'invention, le fait que le substrat comporte une unique couche diélectrique ferroélectrique permet de réduire fortement la tension absorbée par la couche diélectrique par rapport à un transistor NC-FET connu.

On va maintenant décrire les différentes étapes du procédé de réalisation d'un substrat FDSOI permettant la formation d'un transistor NC-FET selon l'invention par un procédé de transfert de couche du type SmartCut™.

Des étapes d'un premier mode de réalisation sont illustrées dans les figures 4A - 4D.

On part d'un substrat support semiconducteur 1 et d'un substrat donneur semiconducteur 8. Le substrat donneur peut comprendre du silicium, du germanium, un alliage silicium-germanium, de l'arséniure de gallium, du phosphore d'indium, de l'arséniure de gallium-indium, du graphène ou du disulfure de tungstène. Le substrat donneur peut être un substrat massif constitué de l'un des matériaux appartenant à la liste précédente, ou comprendre un empilement d'au moins deux matériaux différents, dont l'un au moins fait partie de la liste précédente, une couche à transférer devant être formée dans ledit matériau.

En référence à la figure 4A, on forme une zone de fragilisation 7 dans le substrat donneur 8, de sorte à délimiter une couche semi-conductrice 3. La zone de fragilisation 7 est formée dans le substrat donneur 8 à une profondeur prédéterminée qui correspond sensiblement à l'épaisseur de la couche semi-conductrice 3 destinée à former le canal. La couche semi-conductrice 3 présente typiquement une épaisseur comprise entre 1 nm et 100 nm. De préférence, la zone de fragilisation 7 est créée par implantation d'atomes d'hydrogène et/ou d'hélium dans le substrat donneur.

On peut effectuer un traitement optionnel de la surface du substrat donneur. Ce traitement peut comporter, à titre d'exemple illustratif et non limitatif, un nettoyage chimique ou une activation plasma.

En référence à la figure 4B, on dépose une couche ferroélectrique 2 sur la surface du substrat support 1. La couche ferroélectrique 2 présente une permittivité diélectrique relative supérieure à 10, de préférence supérieure à 20, et une épaisseur comprise entre 1 et 30 nm, et plus avantageusement comprise entre 1 et 10 nm. Les techniques de dépôt

peuvent comprendre, à titre d'exemple illustratif et non limitatif, des techniques de dépôt de couches minces atomiques (ALD, acronyme du terme anglo-saxon « Atomic Layer Deposition ») ou d'ablation laser pulsé (PLD, acronyme du terme anglo-saxon « Pulsed Laser Deposition »).

5 Il peut être utile ou nécessaire d'appliquer un traitement thermique après dépôt de la couche ferroélectrique 2 afin d'éliminer des produits volatils émis par ladite couche et susceptibles de gêner le collage sur le substrat donneur. Ledit traitement thermique est avantageusement réalisé à une température comprise entre 500°C et 1000°C et avantageusement pendant une durée inférieure à deux heures.

10 On procède ensuite à un traitement de surface de la couche ferroélectrique pour préparer ladite surface au collage par adhésion moléculaire. Ce traitement peut comporter de manière non limitative une ou plusieurs étapes de nettoyage et/ou de traitement par plasma et/ou de polissage mécano-chimique.

En référence à la figure 4C, on colle ensuite le substrat donneur 8 sur le substrat support 1. La couche ferroélectrique 2 est ainsi agencée à l'interface de collage entre le substrat support 1 et le substrat donneur 8.

En référence à la figure 4D, on provoque un détachement du substrat donneur le long de la zone de fragilisation, de sorte à transférer la couche semi-conductrice 3 sur le substrat support 1 comportant la couche ferroélectrique 2.

20 Les figures 5A-5D illustrent des étapes d'un deuxième mode de réalisation du procédé de fabrication du substrat FDSOI.

On part d'un substrat donneur 8 et d'un substrat support 1 similaires à ceux décrits pour le premier mode de réalisation.

25 Une couche ferroélectrique 2 est déposée sur le substrat donneur 8 comme illustré dans la figure 5A. Les techniques de dépôt peuvent comprendre, à titre d'exemple illustratif et non limitatif, des techniques de dépôt de couches minces atomiques (ALD) ou d'ablation laser pulsé (PLD).

30 La couche ferroélectrique 2 présente une permittivité diélectrique relative supérieure à 10, de préférence supérieure à 20, et une épaisseur comprise entre 1 et 30 nm, et plus avantageusement comprise entre 1 et 10 nm.

Il peut être utile ou nécessaire d'appliquer un traitement thermique après dépôt de la couche ferroélectrique 2 afin d'éliminer des produits volatils pouvant gêner le collage sur le substrat. Ledit traitement thermique est avantageusement réalisé à une température comprise entre 500°C et 1000°C et avantageusement pendant une durée inférieure à deux heures.

En référence à la figure 5B, on forme ensuite une zone de fragilisation 7 dans le substrat donneur 8 de sorte à délimiter une couche semiconductrice 3 recouverte de la couche ferroélectrique 2. La couche semi-conductrice 3 présente une épaisseur comprise

entre 1 nm et 100 nm. La zone de fragilisation 7 est formée dans le substrat donneur 8 à une profondeur qui correspond à l'épaisseur de la couche semi-conductrice 3 plus l'épaisseur de la couche ferroélectrique 2. De préférence, la zone de fragilisation 7 est créée par implantation d'atomes d'hydrogène et/ou d'hélium dans le substrat donneur.

5 De manière alternative, on peut former la zone de fragilisation 7 dans le substrat donneur 8 avant le dépôt de la couche ferroélectrique 2. On procède ensuite au dépôt de ladite couche ferroélectrique 2. Il peut être utile ou nécessaire d'appliquer un traitement thermique après dépôt de la couche ferroélectrique 2 afin d'éliminer des produits volatils pouvant gêner le collage sur le substrat support.

10 On procède ensuite à un traitement de surface de la couche ferroélectrique pour préparer ladite surface au collage par adhésion moléculaire. Ce traitement peut comporter de manière non limitative une ou plusieurs étapes de nettoyage et/ou de traitement par plasma et/ou de polissage mécano-chimique.

On peut effectuer un traitement optionnel de la surface du substrat support. Ce traitement peut comporter, à titre d'exemple illustratif et non limitatif, un nettoyage chimique et/ou une activation plasma.

15 En référence à la figure 5C, on colle ensuite le substrat donneur 8 sur le substrat support 1. La couche ferroélectrique 2 est ainsi agencée à l'interface de collage entre le substrat support 1 et le substrat donneur 8.

20 En référence à la figure 5D, on provoque un détachement du substrat donneur le long de la zone de fragilisation, de sorte à transférer la couche semi-conductrice 3 et la couche ferroélectrique 2 sur le substrat support 1.

Les figures 6A-6E illustrent un troisième mode de réalisation du procédé de fabrication du substrat FDSOI.

25 On dépose une première couche ferroélectrique 2a sur le substrat support 1 comme illustré dans la figure 6A. La couche ferroélectrique 2a présente une permittivité diélectrique relative supérieure à 10, de préférence supérieure à 20, et une épaisseur comprise entre 0,5 et 15 nm, et plus avantageusement comprise entre 0,5 et 5 nm. On dépose une deuxième couche ferroélectrique 2b sur le substrat donneur 8 comme illustré dans la figure 30 6B. La couche ferroélectrique 2b présente une permittivité diélectrique relative supérieure à 10, de préférence supérieure à 20, et une épaisseur comprise entre 0,5 et 15 nm, et plus avantageusement comprise entre 0,5 et 5 nm, la somme des épaisseurs des couches 2a, 2b étant avantageusement comprise entre 1 et 30 nm, de préférence comprise entre 1 et 10 nm.

35 Les techniques de dépôt peuvent comprendre, à titre d'exemple illustratif et non limitatif, des techniques de dépôt de couches minces atomiques (ALD) ou d'ablation laser pulsé (PLD). La première couche ferroélectrique 2a et la deuxième couche ferroélectrique 2b peuvent être déposées par des techniques identiques ou différentes.

On peut ensuite appliquer un traitement thermique sur chacun des substrats. Ledit traitement thermique est avantageusement réalisé à une température comprise entre 500°C et 1000°C et avantageusement pendant une durée inférieure à deux heures. Les traitements thermiques de la première couche ferroélectrique 2a et de la deuxième couche ferroélectrique 2b peuvent être identiques ou différents.

En référence à la figure 6C, on forme ensuite une zone de fragilisation 7 dans le substrat donneur 8 de sorte à délimiter une couche semiconductrice 3 comportant la couche ferroélectrique 2b. La couche semi-conductrice 3 présente une épaisseur comprise entre 1 nm et 100 nm. La zone de fragilisation 7 est formée dans le substrat donneur 8 à une profondeur qui correspond à l'épaisseur de la couche semi-conductrice 3 plus l'épaisseur de la couche ferroélectrique 2. De préférence, la zone de fragilisation 7 est créée par implantation d'atomes d'hydrogène et/ou d'hélium dans le substrat donneur.

De manière alternative, on peut former la zone de fragilisation 7 dans le substrat donneur 8 avant le dépôt de la couche ferroélectrique 2b. On procède ensuite au dépôt de ladite couche ferroélectrique 2b. Il peut être utile ou nécessaire d'appliquer un traitement thermique après dépôt de la couche ferroélectrique 2b afin d'éliminer des produits volatils pouvant gêner le collage sur le substrat.

Après le dépôt des couches ferroélectriques 2a, 2b, on peut appliquer un traitement de surface sur chacun des substrats.

Le traitement de surface peut comporter de manière non limitative une ou plusieurs étapes de nettoyage et/ou de traitement par plasma et/ou de polissage mécano-chimique.

Les traitements peuvent être identiques ou différents pour la première couche ferroélectrique 2a et pour la deuxième couche ferroélectrique 2b.

En référence à la figure 6D, on colle ensuite le substrat donneur 8 comportant la couche ferroélectrique 2b sur le substrat support 1 comportant la couche ferroélectrique 2a. Les couches ferroélectriques 2a et 2b sont ainsi superposées, formant ensemble une couche ferroélectrique 2 à l'interface de collage entre le substrat support 1 et le substrat donneur 8.

En référence à la figure 6E, on provoque un détachement du substrat donneur le long de la zone de fragilisation, de sorte à transférer la couche semi-conductrice 3 et la couche ferroélectrique 2b sur le substrat support 1 comportant la couche ferroélectrique 2a.

Le procédé de transfert de couche n'est cependant pas limité au procédé Smart Cut™ ; ainsi, il pourra consister par exemple à coller le substrat donneur sur le substrat support par l'intermédiaire de la(les) couche(s) ferroélectrique(s) puis à amincir le substrat donneur par sa face opposée au substrat support jusqu'à l'obtention de l'épaisseur souhaitée pour la couche semi-conductrice. Dans ce cas, il n'est pas nécessaire de former une zone de fragilisation dans le substrat donneur.

Après le transfert de couche, une ou plusieurs étapes de recuit du substrat FDSOI peuvent être réalisées à des températures de préférence inférieures ou égales à 1000°C.

Ce recuit a pour effet de stabiliser l'adhésion entre la couche ferroélectrique et la couche semiconductrice transférée, ainsi que les caractéristiques du matériau ferroélectrique, telles que sa constante diélectrique.

Le recuit peut être réalisé dans une seule étape, par exemple une montée progressive en température entre 200°C jusqu'à 1000°C, puis un palier à 1000°C d'une durée de 1-2h, suivi par une redescente à température ambiante, cet exemple étant donné à titre purement illustratif et non limitatif.

Alternativement et de manière plus avantageuse, le recuit comprend plusieurs étapes distinctes. A titre d'exemple purement illustratif et non limitatif, un premier recuit est réalisé à 500-800°C dans un four avec un palier de 2-5h à 800°C. Cette étape est suivie par un recuit thermique rapide (RTA, acronyme du terme anglo-saxon « Rapid Thermal Annealing ») à 1000°C pour une durée comprise entre 30 secondes et quelques minutes.

En outre, on peut mettre en œuvre, après le transfert, un traitement de finition de la surface de la couche semi-conductrice, de sorte à guérir les défauts liés à l'implantation et/ou à réduire la rugosité.

On peut ensuite former un transistor NC-FET à partir du substrat réalisé selon les étapes décrites ci-dessus. En référence à la figure 3, on dépose une couche diélectrique de grille 30 sur une zone de la couche active 3 destinée à former le canal 3b du transistor. L'épaisseur et le matériau de ladite couche diélectrique sont choisis pour satisfaire aux conditions électriques préétablies dans le cahier des charges du transistor, par exemple la valeur de la capacité diélectrique et l'épaisseur minimum à partir de laquelle des courants tunnel se produisent. De manière illustrative et non limitative, une telle couche peut être formée en oxyde de silicium ou un autre oxyde présentant une bonne isolation électrique.

On forme ensuite une électrode de grille 20 en matériau électriquement conducteur sur la couche diélectrique 30. On forme une électrode de source 21 et une électrode de drain 22 en matériau électriquement conducteur directement sur la couche active 3, de sorte que la couche diélectrique de grille est agencée entre l'électrode de source 21 et l'électrode de drain 22. Typiquement, les régions de source, de canal et de drain sont formées par une étape de dopage de la couche active dans les zones destinées à former les électrodes respectives. La formation de l'électrode de source et l'électrode de drain peut être réalisée antérieurement ou postérieurement au dépôt du diélectrique et de l'électrode de grille.

On peut réaliser une pluralité de transistors en déposant une pluralité de couches diélectriques et une pluralité d'électrodes de drain, de source et de grille sur un seul substrat présentant des dimensions supérieures à un transistor NC-FET à former. On réalise ensuite une découpe du substrat afin de séparer les transistors NC-FET individuels.

REFERENCES

- 5 Hu et al, Negative Capacitance Enables FinFET and FDSOI Scaling to 2 nm Node,
2017 IEEE International Electron Devices Meeting (IEDM)
US 2020/0066867

REVENDICATIONS

1. Transistor NC-FET comportant un substrat de type semi-conducteur sur isolant pour un transistor à effet de champ, comprenant successivement, de sa base vers sa surface :
- un substrat support (1) semiconducteur,
 - une unique couche (2) ferroélectrique, agencée en contact direct avec le substrat support (1), adaptée pour être polarisée de sorte à former une capacité négative, et
 - une couche active (3) d'un matériau semiconducteur, adaptée pour former le canal du transistor, agencée en contact direct avec la couche ferroélectrique (2),
- ledit transistor NC-FET comportant en outre un canal (3b) agencé dans la couche active (3a), une source (11) et un drain (12) agencés dans la couche active (3a) de part et d'autre du canal (3b), et une grille (10) agencée sur le canal (3b), isolée dudit canal (3b) par un diélectrique de grille (30).
2. Transistor NC-FET selon la revendication 1 dans lequel la couche ferroélectrique (2) comprise dans le substrat présente une épaisseur comprise entre 1 et 30 nm, et plus avantageusement comprise entre 1 et 10 nm.
3. Transistor NC-FET selon la revendication 1 ou la revendication 2, dans lequel la couche ferroélectrique (2) présente une permittivité diélectrique relative supérieure à 10, de préférence supérieure à 20.
4. Transistor NC-FET selon l'une des revendications précédentes, dans lequel la couche ferroélectrique (2) comprend de l'oxyde d'hafnium, de l'oxyde de zirconium, de l'oxyde d'yttrium, de l'oxyde de lanthane, de l'aluminat d'hafnium ou un alliage comportant un ou plusieurs desdits matériaux.
5. Transistor NC-FET selon l'une des revendications précédentes, dans lequel la couche active (3) présente une épaisseur comprise entre 1 nm et 100 nm.
6. Transistor NC-FET selon l'une des revendications précédentes, dans lequel la couche active (3) comprise dans le substrat comprend du silicium, du germanium, un alliage silicium-germanium, de l'arséniure de gallium, du phosphore d'indium, de l'arséniure de gallium-indium, du graphène ou du disulfure de tungstène.

7. Procédé de fabrication d'un transistor NC-FET selon l'une des revendications 1 à 6, ledit procédé comprenant :
- la fourniture du substrat support semiconducteur (1),
 - la fourniture d'un substrat donneur semiconducteur (8),
 - la formation d'au moins une couche ferroélectrique (2 ; 2a, 2b) sur une surface du substrat support (1) et/ou du substrat donneur (8),
 - la formation d'une zone de fragilisation (7) dans le substrat donneur (8), de sorte à délimiter une couche semiconductrice (3) à transférer,
 - le collage du substrat donneur (8) sur le substrat support (1), chaque couche ferroélectrique (2 ; 2a, 2b) étant agencée à l'interface de collage,
 - le détachement du substrat donneur (8) le long de la zone de fragilisation (7), de sorte à transférer la couche semi-conductrice (3) sur le substrat support (1), ladite couche semi-conductrice (3) formant la couche active du transistor,
 - la formation d'un canal (3b) dans la couche active (3a),
 - la formation d'une source (11) et d'un drain (12) dans la couche active (3a) de part et d'autre du canal (3b),
 - le dépôt d'un diélectrique de grille (30) sur le canal (3b) et la formation d'une grille (10) sur le canal (3b), isolée électriquement dudit canal (3b) par ledit diélectrique de grille (30).
8. Procédé de fabrication selon la revendication 7, dans lequel ladite au moins une couche ferroélectrique est formée par dépôt de couches minces atomiques ou par ablation laser pulsé.
9. Procédé de fabrication selon la revendication 7 ou 8, comprenant un traitement thermique de ladite au moins une couche ferroélectrique avant le collage.
10. Procédé de fabrication selon la revendication 9, dans lequel le traitement thermique est réalisé à une température comprise entre 500°C et 1000°C.
11. Procédé de fabrication selon la revendication 9 ou 10, dans lequel le traitement thermique est réalisé pendant une durée inférieure à deux heures.

12. Procédé de fabrication selon l'une des revendications 7 à 11, dans lequel la formation de la zone de fragilisation comprend une implantation d'atomes d'hydrogène et/ou d'hélium dans le substrat donneur.
- 5 13. Procédé de fabrication selon l'une des revendications 7 à 12, comprenant, avant le collage, un ou plusieurs traitements de surface de ladite au moins une couche ferroélectrique, lesdits traitements comprenant un nettoyage, un traitement par plasma et/ou un polissage mécano-chimique.
- 10 14. Procédé de fabrication selon l'une des revendications 7 à 13, comprenant, après l'étape de transfert, un recuit à une température inférieure ou égale à 1000°C.