

一种半导体结构及其制造方法

相关申请的交叉引用

本公开基于申请号为 202210726332.2、申请日为 2022 年 06 月 23 日、发明名称为“一种半导体结构及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体制造领域，尤其涉及一种半导体结构及其制造方法。

背景技术

10 半导体结构，通常包括衬底、位于衬底上的多个晶体管以及位于衬底内用于隔离多个晶体管的隔离结构。晶体管通常采用平面栅结构，其栅极结构与隔离结构具有交叉部分。

然而，随着半导体结构不断朝着小型化、高集成度的方向发展，晶体管沟道区之间的电场迅速增加，进而产生许多热电子，导致热电子诱导穿通（Hot Electron Induced Punch Through, HEIP）效应，热电子会被捕获在隔离结构内，使晶体管的关断特性劣化，降低半导体结构的性能。

发明内容

本公开实施例提供一种半导体结构，包括：
衬底以及位于所述衬底内的第一隔离沟槽；
20 第一绝缘层，覆盖所述第一隔离沟槽的底表面和侧壁的下部；
第二绝缘层，覆盖所述第一隔离沟槽的侧壁的上部；
第三绝缘层，至少部分位于所述第一绝缘层和所述第二绝缘层之间，
以将所述第一绝缘层和所述第二绝缘层隔离。

在一些实施例中，所述第一绝缘层、所述第二绝缘层的材料包括氮化物，所述第三绝缘层的材料包括氧化物。

在一些实施例中，所述第一绝缘层的高度和所述第二绝缘层的高度的比值范围在 2 至 6 之间，所述第三绝缘层位于所述第一绝缘层和所述第二绝缘层之间的部分的高度和所述第二绝缘层的高度的比值范围在 0.3 至 0.7 之间。

- 5 在一些实施例中，所述第一绝缘层与所述第二绝缘层的厚度为 5-30nm。
在一些实施例中，还包括：

第四绝缘层，所述第四绝缘层位于所述第一隔离沟槽的内壁与所述第一绝缘层之间，且所述第四绝缘层覆盖所述第一隔离沟槽的底表面以及侧壁的下部；

- 10 第一填充层，所述第一填充层填充所述第一绝缘层在所述第一隔离沟槽内定义出的凹陷。

在一些实施例中，所述第三绝缘层包括底层和侧墙层，所述底层覆盖所述第四绝缘层、所述第一绝缘层与所述第一填充层的顶部，所述侧墙层位于所述第一隔离沟槽上部侧壁与所述第二绝缘层之间。

- 15 在一些实施例中，还包括：

第二填充层，所述第二填充层填充所述第二绝缘层与所述第三绝缘层的所述底层共同在所述第一隔离沟槽内定义出的凹陷。

在一些实施例中，还包括：

- 20 第二隔离沟槽，所述第二隔离沟槽包括第一子沟槽和第二子沟槽，所述第二子沟槽的宽度大于所述第一子沟槽的宽度。

- 25 在一些实施例中，所述第四绝缘层覆盖所述第二子沟槽的底表面和侧壁的下部，所述第一绝缘层填充所述第四绝缘层在所述第二子沟槽内定义的凹陷；所述第三绝缘层覆盖所述第二子沟槽侧壁的上部以及所述第四绝缘层和所述第一绝缘层的顶部；所述第二填充层填充所述第三绝缘层在所述第二子沟槽内定义的凹陷。

在一些实施例中，所述第一隔离沟槽位于器件核心区或外围区，用于隔离选择晶体管，所述第二隔离沟槽位于器件单元区，用于隔离存储单元。

本公开实施例还提供了一种半导体结构的制造方法，包括：

提供衬底；

- 30 刻蚀所述衬底形成第一隔离沟槽；

形成第一绝缘层，所述第一绝缘层覆盖所述第一隔离沟槽的底表面和侧壁的下部；

在所述第一绝缘层上方形成第三绝缘层，所述第三绝缘层至少覆盖所述第一绝缘层的顶部；

- 5 在所述第三绝缘层上方形成第二绝缘层，所述第二绝缘层覆盖所述第一隔离沟槽的侧壁的上部，所述第三绝缘层将所述第一绝缘层和所述第二绝缘层隔离。

在一些实施例中，在刻蚀所述衬底形成第一隔离沟槽的同步步骤中，还包括：

- 10 刻蚀所述衬底形成第二隔离沟槽，所述第二隔离沟槽包括第一子沟槽和第二子沟槽，所述第二子沟槽的宽度大于所述第一子沟槽的宽度。

在一些实施例中，在形成第一绝缘层之前，所述方法还包括：

形成第四绝缘材料层，所述第四绝缘材料层覆盖所述第一隔离沟槽和所述第二子沟槽的内表面，并填充所述第一子沟槽。

- 15 在一些实施例中，形成第一绝缘层包括：

形成第一绝缘材料层，所述第一绝缘材料层覆盖所述第四绝缘材料层，并充满所述第二子沟槽；

形成第一填充材料层，所述第一填充材料层覆盖所述第一绝缘材料层并充满所述第一隔离沟槽；

- 20 刻蚀所述第一填充材料层、所述第一绝缘材料层与所述第四绝缘材料层，使得所述第一绝缘材料层、所述第四绝缘材料层与所述第一填充材料层的顶部低于所述衬底的上表面，从而形成第一绝缘层、第四绝缘层和第一填充层。

在一些实施例中，所述形成第三绝缘层，包括：

- 25 形成第三绝缘材料层，刻蚀所述第三绝缘材料层形成覆盖所述第四绝缘层、所述第一绝缘层和所述第一填充层的顶部以及所述第一隔离沟槽和所述第二子沟槽侧壁的上部的第三绝缘层，所述第三绝缘层在所述第一隔离沟槽内的部分定义出第一容置腔，所述第三绝缘层在所述第二子沟槽内的部分定义出第二容置腔。

- 30 在一些实施例中，所述形成第二绝缘层，包括：

形成第二绝缘材料层，所述第二绝缘材料层覆盖所述第一容置腔的底表面和侧壁，且充满所述第二容置腔；

刻蚀所述第二绝缘材料层，去除位于所述第二容置腔内的第二绝缘材料层以及覆盖所述第一容置腔底表面的第二绝缘材料层，以形成覆盖所述
5 第一容置腔侧壁的第二绝缘层。

在一些实施例中，在形成所述第二绝缘层之后，所述方法还包括：

在所述第三绝缘层和所述第二绝缘层上方形成第二填充材料层，所述第二填充材料层完全填充所述第一容置腔和所述第二容置腔；

刻蚀所述第二填充材料层使得所述第二填充材料层的顶部与所述第二
10 绝缘层的顶部齐平，从而形成第二填充层。

本公开实施例提供的半导体结构及其制造方法，其中，所述半导体结构包括：衬底以及位于所述衬底内的第一隔离沟槽；第一绝缘层，覆盖所述第一隔离沟槽的底表面和侧壁的下部；第二绝缘层，覆盖所述第一隔离沟槽的侧壁的上部；第三绝缘层，至少部分位于所述第一绝缘层和所述第二绝缘层之间，以将所述第一绝缘层和所述第二绝缘层隔离。本公开实施例使用第三绝缘层将第一绝缘层和第二绝缘层间隔开，从而将被捕获在第一绝缘层内的热电子和被捕获在第二绝缘层内的热电子间隔开，阻止被捕获在第二绝缘层内的热电子流向第一绝缘层内，降低第一绝缘层内储存的热电子数量，同时，第一绝缘层和第二绝缘层是被隔断的，与第一绝缘层
15 和第二绝缘层未被隔断时相比，第一绝缘层和第二绝缘层储存热电子的载体减少了，因此其能够储存的热电子较少，如此，能够有效缓解 HEIP 效应。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其它特征和优点将从说明书附图以及权利要求书变得明显。

附图说明

25 为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体结构的俯视示意图；

图 2 为沿图 1 的线 A-A'、B-B' 截取的剖面结构示意图；

图 3 为本公开实施例提供的半导体结构制造方法的流程框图；

图 4 至图 12 为本公开实施例提供的半导体结构的工艺流程图。

具体实施方式

5 下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

10 在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

15 在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，
20 当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或
25 部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……

之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件
5 下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限
10 制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列
15 项目的任何及所有组合。

半导体结构，通常包括衬底、位于衬底上的多个晶体管、位于衬底内用于隔离多个晶体管的隔离沟槽以及位于隔离沟槽内的隔离结构。晶体管通常采用平面栅结构，其栅极结构与隔离结构具有交叉部分。隔离结构通常包括覆盖隔离沟槽内壁的氧化物层、覆盖氧化层的氮化物层，以及填充
20 隔离沟槽的填充层。

然而，随着半导体结构不断朝着小型化、高集成度的方向发展，晶体管沟道区之间的电场迅速增加，进而产生许多热电子，热电子会被捕获在具有捕获高能电子能力的氮化物层内，被捕获的热电子可以吸引空穴集中到与隔离结构相邻的衬底内，使得晶体管的有效沟道长度小于原始长度，
25 因此，即使没有向晶体管的栅极结构施加电压，电流也可以流动，使晶体管的关断特性劣化，并且晶体管的漏电流增加，降低半导体结构的性能。这就是热电子诱导穿通（Hot Electron Induced Punch Through Effect, HEIP）效应。

通常通过增加氧化物层的厚度使氮化物层和衬底之间的距离增大来缓解 HEIP 效应，然而，这增加了形成隔离结构的工艺难度。
30

基于此，提出了本公开实施例的以下技术方案。下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例做局部放大，而且所述示意图只是示例，其在此不应限制本公开的保护范围。

5 图 1 为本公开实施例提供的半导体结构的俯视示意图，图 2 为沿图 1 的线 A-A'、B-B'截取的剖面结构示意图。以下结合图 1 至图 2 对本公开实施例提供的半导体结构再作进一步说明。

如图所示，半导体结构包括：衬底 10 以及位于衬底 10 内的第一隔离沟槽 11；第一绝缘层 13，覆盖第一隔离沟槽 11 的底表面和侧壁的下部；
10 第二绝缘层 16，覆盖第一隔离沟槽 11 的侧壁的上部；第三绝缘层 15，至少部分位于第一绝缘层 13 和第二绝缘层 16 之间，以将第一绝缘层 13 和第二绝缘层 16 隔离。

在实际操作中，本公开实施例提供的半导体结构可以是三维动态随机存储器（3D DRAM），但不限于此，半导体结构还可以是任何半导体结构。

15 衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，衬底为硅衬底，硅衬底可经掺杂或未经掺杂。

20 在一实施例中，衬底 10 包括器件单元区 101 和器件核心区或外围区 102。在一些实施例中，第一隔离沟槽 11 位于器件核心区或外围区 102，用于隔离选择晶体管。具体地，第一隔离沟槽 11 在器件核心区或外围区 102 内限定出至少一个第一有源区 AA1，在实际操作中，可以在第一有源区 AA1 上形成具有平面栅结构的选择晶体管，例如 P 型晶体管或 N 型晶体管。

25 在一实施例中，第一绝缘层 13、第二绝缘层 16 的材料包括氮化物。本公开实施例使用氮化物作为第一绝缘层 13 和第二绝缘层 16 的材料，如此，可以根据需求提高晶体管沟道区的拉伸应力或压缩应力，从而满足晶体管对应力的需求，提高晶体管沟道区载流子的迁移率。具体的，拉伸应力在沟道区形成拉伸应变，可以增加 N 型晶体管的电子迁移率，而压缩应力在沟道区形成压缩应变，可以增加 P 型晶体管的空穴迁移率。第一绝缘层 13、
30

第二绝缘层 16 的材料可以相同或不同。在一具体实施例中，第一绝缘层 13 和第二绝缘层 16 的材料相同，例如，氮化硅。但不限于此，任何满足上述应力要求的材料都可以作为第一绝缘层 13 和第二绝缘层 16 的材料。第三绝缘层 15 的材料包括氧化物，例如，氧化硅。

5 第一绝缘层 13 和第二绝缘层 16 具有捕获热电子的能力。本公开实施例使用第三绝缘层 15 将第一绝缘层 13 和第二绝缘层 16 间隔开，从而将被捕获在第一绝缘层 13 内的热电子和被捕获在第二绝缘层 16 内的热电子间隔开，阻止被捕获在第二绝缘层 16 内的热电子流向第一绝缘层 13 内，降低第一绝缘层 13 内储存的热电子的数量，同时，第一绝缘层 13 和第二绝缘层 16 是被隔断的，与第一绝缘层 13 和第二绝缘层 16 未被隔断时相比，
10 第一绝缘层 13 和第二绝缘层 16 储存热电子的载体减少了，因此其能够储存的热电子较少，如此，能够有效缓解 HEIP 效应。

第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值不宜过大也不宜过小。第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值过大时，第一绝缘层 13 将延伸至第一隔离沟槽 11 的上部，且第一绝缘层 13 内储存的热电子较多，第一有源区 AA1 的上部将聚集较多的空穴，如此，缓解 HEIP 效应的效果不明显；第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值过小时，位于第一隔离沟槽 11 上部的第二绝缘层 16 的高度较高，第二绝缘层 16 能够捕获的热电子的数量较多，第一有源区 AA1 的上部将聚集较多的空穴，如此，缓解 HEIP 效应的效果不明显。在一实施例中，第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值范围在 2 至 6 之间，具体的，
20 例如，3、4、5 等。

第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度不宜过大也不宜过小。当第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度过大时，第一绝缘层 13 和第二绝缘层 16 的高度之和较小，如此，第一绝缘层 13 和第二绝缘层 16 提升衬底 10 应力的效果不明显；当第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度过小时，缓解 HEIP 效应的效果不明显。在一实施例中，第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度和第二绝缘层 16 的高度的比值范围在 0.3 至 0.7 之间，具体的，例如 0.4、0.5、0.6 等。
30

在一实施例中，第一绝缘层 13 与第二绝缘层 16 的厚度为 5-30nm。在一些实施例中，第一绝缘层 13 与第二绝缘层 16 的厚度为 10-25nm。在一具体实施例中，第一绝缘层 13 的厚度大于第二绝缘层 16 的厚度，第二绝缘层 16 具有较薄的厚度，如此，第一绝缘层 13 内能够储存的热电子更少，有效缓解 HEIP 效应。

在一实施例中，半导体结构还包括：第四绝缘层 18，第四绝缘层 18 位于第一隔离沟槽 11 的内壁与第一绝缘层 13 之间，且第四绝缘层 18 覆盖第一隔离沟槽 11 的底表面以及侧壁的下部；第一填充层 14，第一填充层 14 填充第一绝缘层 13 在第一隔离沟槽 11 内定义出的凹陷 S1。第四绝缘层 18 的材料可以和第三绝缘层 15 的材料相同，例如为氧化硅。第一填充层 14 的材料可以为氧化物，例如氧化硅。

在一实施例中，第三绝缘层 15 包括底层 151 和侧墙层 152，底层 151 覆盖第四绝缘层 18、第一绝缘层 13 与第一填充层 14 的顶部，侧墙层 152 位于第一隔离沟槽 11 上部侧壁与第二绝缘层 16 之间。在一些实施例中，第三绝缘层 15 还覆盖衬底 10 的上表面。

本公开实施例通过在衬底 10 和第一绝缘层 13、第二绝缘层 16 之间设置第四绝缘层 18、第三绝缘层 15，将衬底 10 与第一绝缘层 13、第二绝缘层 16 间隔开，能够进一步缓解 HEIP 效应。此外，本公开实施例通过使用第三绝缘层 15 将第一绝缘层 13 和第二绝缘层 16 间隔开，有效缓解了 HEIP 效应，如此，不需要额外加厚第四绝缘层 18、第三绝缘层 15 的厚度，简化了工艺且提高了工艺窗口。

在一实施例中，半导体结构还包括：第二填充层 17，第二填充层 17 填充第二绝缘层 16 与第三绝缘层 15 的底层 151 共同在第一隔离沟槽 11 内定义出的凹陷 S2。第二填充层 17 的材料可以和第一填充层 14 的材料相同，例如为氧化硅。

在一实施例中，半导体结构还包括：第二隔离沟槽 12，第二隔离沟槽 12 包括第一子沟槽 121 和第二子沟槽 122，第二子沟槽 122 的宽度大于第一子沟槽 121 的宽度。具体的，第二隔离沟槽 12 位于器件单元区 101，用于隔离存储单元，并在器件单元区 101 内限定出多个相互平行排列的第二有源区 AA2。在实际操作中，第一隔离沟槽 11 和第二隔离沟槽 12 在同一

工艺步骤中形成，且第一隔离沟槽 11 的宽度大于第一子沟槽 121、第二子沟槽 122 的宽度。可以理解的，由于第一隔离沟槽 11、第二子沟槽 122 的宽度大于第一子沟槽 121 的宽度，在相同的刻蚀工艺条件下会使得第一隔离沟槽 11、第二子沟槽 122 的深度大于第一子沟槽 121 的深度。

5 在一实施例中，第四绝缘层 18 覆盖第二子沟槽 122 的底表面和侧壁的下部，第一绝缘层 13 填充第四绝缘层 18 在第二子沟槽 122 内定义的凹陷 S3；第三绝缘层 15 覆盖第二子沟槽 122 侧壁的上部以及第四绝缘层 18 和第一绝缘层 13 的顶部；第二填充层 17 填充第三绝缘层 15 在第二子沟槽 122 内定义的凹陷 S4。在一些实施例中，第四绝缘层 18 填充第一子沟槽 121
10 的下部，第三绝缘层 15 填充第一子沟槽 121 的上部。

本公开实施例还提供了一种半导体结构的制造方法，如图 3 所示，方法包括以下步骤：

步骤 301、提供衬底；

步骤 302、刻蚀衬底形成第一隔离沟槽；

15 步骤 303、形成第一绝缘层，第一绝缘层覆盖第一隔离沟槽的底表面和侧壁的下部；

步骤 304、在第一绝缘层上方形成第三绝缘层，第三绝缘层至少覆盖第一绝缘层的顶部；

20 步骤 305、在第三绝缘层上方形成第二绝缘层，第二绝缘层覆盖第一隔离沟槽的侧壁的上部，第三绝缘层将第一绝缘层和第二绝缘层隔离。

下面结合图 4 至图 12、图 2 对本公开实施例的半导体结构的制造方法再做进一步详细的说明，其中，图 4 至图 12 为各工艺步骤沿着图 1 的线 A-A'、B-B'截取的剖面结构示意图。

首先，如图 4 所示，执行步骤 301，提供衬底 10。

25 衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，衬底为硅衬底，硅衬底可经掺杂或未经掺杂。

30 在一实施例中，衬底 10 包括器件单元区 101 和器件核心区或外围区

102。在实际操作中，可在器件单元区 101 形成存储单元，在器件核心区或外围区 102 形成选择晶体管。

接下来，执行步骤 302，如图 5 所示，刻蚀衬底 10 形成第一隔离沟槽 11。

5 具体的，可采用光刻和干法/湿法刻蚀工艺形成第一隔离沟槽 11，第一隔离沟槽 11 形成于器件核心区或外围区 102，并在器件核心区或外围区 102 内限定出至少一个第一有源区 AA1，在实际操作中，后续可以在第一有源区 AA1 上形成具有平面栅结构的选择晶体管，例如 P 型晶体管或 N 型晶体管。

10 在一实施例中，在刻蚀衬底 10 形成第一隔离沟槽 11 的同一步骤中，还包括：刻蚀衬底 10 形成第二隔离沟槽 12，第二隔离沟槽 12 包括第一子沟槽 121 和第二子沟槽 122，第二子沟槽 122 的宽度大于第一子沟槽 121 的宽度。在一些实施例中，第二隔离沟槽 12 形成于器件单元区 101 并在器件单元区 101 内限定出多个相互平行排列的第二有源区 AA2。在实际操作中，
15 后续可以在第二有源区 AA2 上形成存储单元，第二隔离沟槽 12 用于隔离存储单元。本公开实施例中，第一隔离沟槽 11 和第二隔离沟槽 12 在同一工艺步骤中形成，如此，能够减少一道掩膜工艺，从而简化工艺。

在一实施例中，第一隔离沟槽 11 的宽度大于第一子沟槽 121、第二子沟槽 122 的宽度。可以理解的，由于第一隔离沟槽 11、第二子沟槽 122 的
20 宽度大于第一子沟槽 121 的宽度，在相同的刻蚀工艺条件下会使得第一隔离沟槽 11、第二子沟槽 122 的深度大于第一子沟槽 121 的深度。

接下来，执行步骤 303，如图 7 至图 8 所示，形成第一绝缘层 13，第一绝缘层 13 覆盖第一隔离沟槽 11 的底表面和侧壁的下部。

在一实施例中，如图 6 所示，在形成第一绝缘层 13 之前，还包括：形
25 成第四绝缘材料层 18'，第四绝缘材料层 18'覆盖第一隔离沟槽 11 和第二子沟槽 122 的内表面，并填充第一子沟槽 121。在一些实施例中，第四绝缘材料层 18'还覆盖衬底 10 的上表面。可以理解的，由于第一子沟槽 121 的深度和宽度较小，因此在相同的沉积工艺条件下，第四绝缘材料层 18'能够充满第一子沟槽 121 而不会充满第一隔离沟槽 11、第二子沟槽 122，使得最
30 终形成的第四绝缘层 18 填充第一子沟槽 121 的下部。第四绝缘材料层 18'

可以采用原子层沉积 (ALD) 工艺结合原位水汽生成工艺 (ISSG) 形成。
第四绝缘层 18 的材料包括氧化物, 例如, 氧化硅。

再次参见图 7 至图 8, 形成第一绝缘层 13 包括:

形成第一绝缘材料层 13', 第一绝缘材料层 13' 覆盖第四绝缘材料层 18',
5 并充满第二子沟槽 122;

形成第一填充材料层 14', 第一填充材料层 14' 覆盖第一绝缘材料层 13'
并充满第一隔离沟槽 11;

刻蚀第一填充材料层 14'、第一绝缘材料层 13' 与第四绝缘材料层 18',
使得第一绝缘材料层 13'、第四绝缘材料层 18' 与第一填充材料层 14' 的顶部
10 低于衬底 10 的上表面, 从而形成第一绝缘层 13、第四绝缘层 18 和第一填充层 14。

可以理解的, 与第一隔离沟槽 11 相比, 第二子沟槽 122 的宽度较小,
因此在相同的沉积工艺条件下, 第一绝缘材料层 13' 能够充满第二子沟槽
122 而不会充满第一隔离沟槽 11。第一绝缘材料层 13'、第一填充材料层 14'
15 可以采用化学气相沉积 (CVD) 工艺、等离子体增强化学气相沉积 (PECVD)
工艺、原子层沉积 (ALD) 工艺或其组合形成。第一绝缘层 13 的材料包括
氮化物, 例如氮化硅。第一填充层 14 的材料包括氧化物, 例如氧化硅。

接下来, 执行步骤 304, 如图 9 所示, 在第一绝缘层 13 上方形成第三
绝缘层 15, 第三绝缘层 15 至少覆盖第一绝缘层 13 的顶部。

具体的, 形成第三绝缘层 15, 包括: 形成第三绝缘材料层 (未图示),
20 刻蚀第三绝缘材料层 (未图示) 形成覆盖第四绝缘层 18、第一绝缘层 13 和
第一填充层 14 的顶部以及第一隔离沟槽 11 和第二子沟槽 122 侧壁的上部
的第三绝缘层 15, 第三绝缘层 15 在第一隔离沟槽 11 内的部分定义出第一
容置腔 T1, 第三绝缘层 15 在第二子沟槽 122 内的部分定义出第二容置腔
25 T2。第三绝缘层 15 还覆盖衬底 10 的上表面。

可以理解的, 第一子沟槽 121 的宽度和深度较小, 因此在相同的沉积
工艺条件下, 第三绝缘层 15 可以充满第一子沟槽 121 未被第四绝缘层 18
填充的部分。第三绝缘层 15 可以采用化学气相沉积 (CVD) 工艺、等离子
体增强化学气相沉积 (PECVD) 工艺、原子层沉积 (ALD) 工艺或其组合
30 形成。第三绝缘层 15 的材料包括氧化物, 例如氧化硅。

接下来，执行步骤 305，如图 10 至图 11 所示，在第三绝缘层 15 上方形成第二绝缘层 16，第二绝缘层 16 覆盖第一隔离沟槽 11 的侧壁的上部，第三绝缘层 15 将第一绝缘层 13 和第二绝缘层 16 隔离。

具体的，形成第二绝缘层 16，包括：

- 5 形成第二绝缘材料层 16'，第二绝缘材料层 16'覆盖第一容置腔 T1 的底表面和侧壁，且充满第二容置腔 T2；

刻蚀第二绝缘材料层 16'，去除位于第二容置腔 T2 内的第二绝缘材料层 16'以及覆盖第一容置腔 T1 底表面的第二绝缘材料层 16'，以形成覆盖第一容置腔 T1 侧壁的第二绝缘层 16。

- 10 可以理解的，与第一隔离沟槽 11 相比，第二子沟槽 122 的宽度较小，因此第二容置腔 T2 的宽度小于第一容置腔 T1 的宽度，在相同的沉积工艺条件下，第二绝缘材料层 16'可以充满第二容置腔 T2 而不充满第一容置腔 T1。第二绝缘材料层 16'可以采用化学气相沉积（CVD）工艺、等离子体增强化学气相沉积（PECVD）工艺、原子层沉积（ALD）工艺或其组合形成。

- 15 在一实施例中，第二绝缘层 16 的材料包括氮化物。本公开实施例使用氮化物作为第一绝缘层 13 和第二绝缘层 16 的材料，允许根据需求提高晶体管沟道区的拉伸应力或压缩应力，从而满足晶体管对应力的需求，提高晶体管沟道区载流子的迁移率。具体的，拉伸应力在沟道区形成拉伸应变，可以增加 N 型晶体管的电子迁移率，而压缩应力在沟道区形成压缩应变，
20 可以增加 P 型晶体管的空穴迁移率。第一绝缘层 13、第二绝缘层 16 的材料可以相同或不同。在一具体实施例中，第一绝缘层 13 和第二绝缘层 16 的材料相同，例如氮化硅。但不限于此，任何满足上述应力要求的材料都可以作为第一绝缘层 13 和第二绝缘层 16 的材料。

- 25 第一绝缘层 13 和第二绝缘层 16 具有捕获热电子的能力。本公开实施例使用第三绝缘层 15 将第一绝缘层 13 和第二绝缘层 16 间隔开，从而将被捕获在第一绝缘层 13 内的热电子和被捕获在第二绝缘层 16 内的热电子间隔开，尤其是在后续的热处理等工艺中，第二绝缘层 16 内的热电子会流失，第三绝缘层 15 的存在能够阻止被捕获在第二绝缘层 16 内的热电子流向第一绝缘层 13 内，如此，能够降低第一绝缘层 13 内储存的热电子的数量，
30 同时，第一绝缘层 13 和第二绝缘层 16 是被隔断的，与第一绝缘层 13 和第

二绝缘层 16 未被隔断时相比，第一绝缘层 13 和第二绝缘层 16 储存热电子的载体减少了，因此其能够储存的热电子较少，如此，能够有效缓解 HEIP 效应。

第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值不宜过大也不宜
5 过小。第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值过大时，第一绝缘层 13 将延伸至第一隔离沟槽 11 的上部，且第一绝缘层 13 内储存的热电子较多，第一有源区 AA1 的上部将聚集较多的空穴，如此，缓解 HEIP 效应的效果不明显；第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值过小时，位于第一隔离沟槽 11 上部的第二绝缘层 16 的高度较高，第二绝
10 缘层 16 能够捕获的热电子的数量较多，第一有源区 AA1 的上部将聚集较多的空穴，如此，缓解 HEIP 效应的效果不明显。在一实施例中，第一绝缘层 13 的高度和第二绝缘层 16 的高度的比值范围在 2 至 6 之间，具体的，例如，3、4、5 等。

第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度
15 不宜过大也不宜过小。当第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度过大时，第一绝缘层 13 和第二绝缘层 16 的高度之和较小，如此，第一绝缘层 13 和第二绝缘层 16 提升衬底 10 应力的效果不明显；当第三绝缘层 15 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度过小时，缓解 HEIP 效应的效果不明显。在一实施例中，第三绝缘层 15
20 位于第一绝缘层 13 和第二绝缘层 16 之间的部分的高度和第二绝缘层 16 的高度的比值范围在 0.3 至 0.7 之间，具体的，例如 0.4、0.5、0.6 等。

在一实施例中，第一绝缘层 13 与第二绝缘层 16 的厚度为 5-30nm。在一些实施例中，第一绝缘层 13 与第二绝缘层 16 的厚度为 10-25nm。在一具体实施例中，第一绝缘层 13 的厚度大于第二绝缘层 16 的厚度，第二绝缘
25 层 16 具有较薄的厚度，如此，第一绝缘层 13 内能够储存的热电子更少，有效缓解 HEIP 效应。

再次参见图 11，可以看出，第四绝缘层 18、第三绝缘层 15 将衬底 10 和第一绝缘层 13、第二绝缘层 16 间隔开，如此，能够进一步缓解 HEIP 效应。此外，本公开实施例通过使用第三绝缘层 15 将第一绝缘层 13 和第二
30 绝缘层 16 间隔开，有效缓解了 HEIP 效应，不需要额外增加第四绝缘层 18、

第三绝缘层 15 的厚度，简化了工艺且提高了工艺窗口。

接下来，如图 12 和图 2 所示，在形成第二绝缘层 16 之后，方法还包括：

在第三绝缘层 15 和第二绝缘层 16 上方形成第二填充材料层 17'，第二填充材料层 17' 完全填充第一容置腔 T1 和第二容置腔 T2；

刻蚀第二填充材料层 17' 使得第二填充材料层 17' 的顶部与第二绝缘层 16 的顶部齐平，从而形成第二填充层 17。

应当说明的是，本领域技术人员能够对上述步骤顺序进行变换而并不离开本公开的保护范围，以上所述，仅为本公开的可选实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

工业实用性

本公开实施例使用第三绝缘层将第一绝缘层和第二绝缘层间隔开，从而将被捕获在第一绝缘层内的热电子和被捕获在第二绝缘层内的热电子间隔开，阻止被捕获在第二绝缘层内的热电子流向第一绝缘层内，降低第一绝缘层内储存的热电子数量，同时，第一绝缘层和第二绝缘层是被隔断的，与第一绝缘层和第二绝缘层未被隔断时相比，第一绝缘层和第二绝缘层储存热电子的载体减少了，因此其能够储存的热电子较少，如此，能够有效缓解 HEIP 效应。

权利要求书

- 1、一种半导体结构，包括：
衬底以及位于所述衬底内的第一隔离沟槽；
第一绝缘层，覆盖所述第一隔离沟槽的底表面和侧壁的下部；
5 第二绝缘层，覆盖所述第一隔离沟槽的侧壁的上部；
第三绝缘层，至少部分位于所述第一绝缘层和所述第二绝缘层之间，
以将所述第一绝缘层和所述第二绝缘层隔离。
- 2、根据权利要求1所述的半导体结构，其中，所述第一绝缘层、所述第二绝缘层的材料包括氮化物，所述第三绝缘层的材料包括氧化物。
- 10 3、根据权利要求1所述的半导体结构，其中，所述第一绝缘层的高度和所述第二绝缘层的高度的比值范围在2至6之间，所述第三绝缘层位于所述第一绝缘层和所述第二绝缘层之间的部分的高度和所述第二绝缘层的高度的比值范围在0.3至0.7之间。
- 4、根据权利要求1所述的半导体结构，其中，
15 所述第一绝缘层与所述第二绝缘层的厚度为5-30nm。
- 5、根据权利要求1所述的半导体结构，其中，还包括：
第四绝缘层，所述第四绝缘层位于所述第一隔离沟槽的内壁与所述第一绝缘层之间，且所述第四绝缘层覆盖所述第一隔离沟槽的底表面以及侧壁的下部；
20 第一填充层，所述第一填充层填充所述第一绝缘层在所述第一隔离沟槽内定义出的凹陷。
- 6、根据权利要求5所述的半导体结构，其中，
所述第三绝缘层包括底层和侧墙层，所述底层覆盖所述第四绝缘层、
所述第一绝缘层与所述第一填充层的顶部，所述侧墙层位于所述第一隔离
25 沟槽上部侧壁与所述第二绝缘层之间。
- 7、根据权利要求6所述的半导体结构，其中，还包括：
第二填充层，所述第二填充层填充所述第二绝缘层与所述第三绝缘层的所述底层共同在所述第一隔离沟槽内定义出的凹陷。
- 8、根据权利要求7所述的半导体结构，其中，还包括：
30 第二隔离沟槽，所述第二隔离沟槽包括第一子沟槽和第二子沟槽，所

述第二子沟槽的宽度大于所述第一子沟槽的宽度。

9、根据权利要求 8 所述的半导体结构，其中，

所述第四绝缘层覆盖所述第二子沟槽的底表面和侧壁的下部，所述第一绝缘层填充所述第四绝缘层在所述第二子沟槽内定义的凹陷；

5 所述第三绝缘层覆盖所述第二子沟槽侧壁的上部以及所述第四绝缘层和所述第一绝缘层的顶部；

所述第二填充层填充所述第三绝缘层在所述第二子沟槽内定义的凹陷。

10、根据权利要求 8 所述的半导体结构，其中，所述第一隔离沟槽位于器件核心区或外围区，用于隔离选择晶体管，所述第二隔离沟槽位于器件单元区，用于隔离存储单元。

11、一种半导体结构的制造方法，包括：

提供衬底；

刻蚀所述衬底形成第一隔离沟槽；

15 形成第一绝缘层，所述第一绝缘层覆盖所述第一隔离沟槽的底表面和侧壁的下部；

在所述第一绝缘层上方形成第三绝缘层，所述第三绝缘层至少覆盖所述第一绝缘层的顶部；

20 在所述第三绝缘层上方形成第二绝缘层，所述第二绝缘层覆盖所述第一隔离沟槽的侧壁的上部，所述第三绝缘层将所述第一绝缘层和所述第二绝缘层隔离。

12、根据权利要求 11 所述的制造方法，其中，在刻蚀所述衬底形成第一隔离沟槽的同一步骤中，还包括：

25 刻蚀所述衬底形成第二隔离沟槽，所述第二隔离沟槽包括第一子沟槽和第二子沟槽，所述第二子沟槽的宽度大于所述第一子沟槽的宽度。

13、根据权利要求 12 所述的方法，其中，在形成第一绝缘层之前，所述方法还包括：

形成第四绝缘材料层，所述第四绝缘材料层覆盖所述第一隔离沟槽和所述第二子沟槽的内表面，并填充所述第一子沟槽。

30 14、根据权利要求 13 所述的方法，其中，形成第一绝缘层包括：

形成第一绝缘材料层，所述第一绝缘材料层覆盖所述第四绝缘材料层，并充满所述第二子沟槽；

形成第一填充材料层，所述第一填充材料层覆盖所述第一绝缘材料层并充满所述第一隔离沟槽；

- 5 刻蚀所述第一填充材料层、所述第一绝缘材料层与所述第四绝缘材料层，使得所述第一绝缘材料层、所述第四绝缘材料层与所述第一填充材料层的顶部低于所述衬底的上表面，从而形成第一绝缘层、第四绝缘层和第一填充层。

- 15 15、根据权利要求 14 所述的方法，其中，所述形成第三绝缘层，包括：
10 形成第三绝缘材料层，刻蚀所述第三绝缘材料层形成覆盖所述第四绝缘层、所述第一绝缘层和所述第一填充层的顶部以及所述第一隔离沟槽和所述第二子沟槽侧壁的上部的第三绝缘层，所述第三绝缘层在所述第一隔离沟槽内的部分定义出第一容置腔，所述第三绝缘层在所述第二子沟槽内的部分定义出第二容置腔。

- 15 16、根据权利要求 15 所述的方法，其中，所述形成第二绝缘层，包括：
形成第二绝缘材料层，所述第二绝缘材料层覆盖所述第一容置腔的底表面和侧壁，且充满所述第二容置腔；

- 20 刻蚀所述第二绝缘材料层，去除位于所述第二容置腔内的第二绝缘材料层以及覆盖所述第一容置腔底表面的第二绝缘材料层，以形成覆盖所述第一容置腔侧壁的第二绝缘层。

17、根据权利要求 16 所述的方法，其中，在形成所述第二绝缘层之后，所述方法还包括：

在所述第三绝缘层和所述第二绝缘层上方形成第二填充材料层，所述第二填充材料层完全填充所述第一容置腔和所述第二容置腔；

- 25 刻蚀所述第二填充材料层使得所述第二填充材料层的顶部与所述第二绝缘层的顶部齐平，从而形成第二填充层。