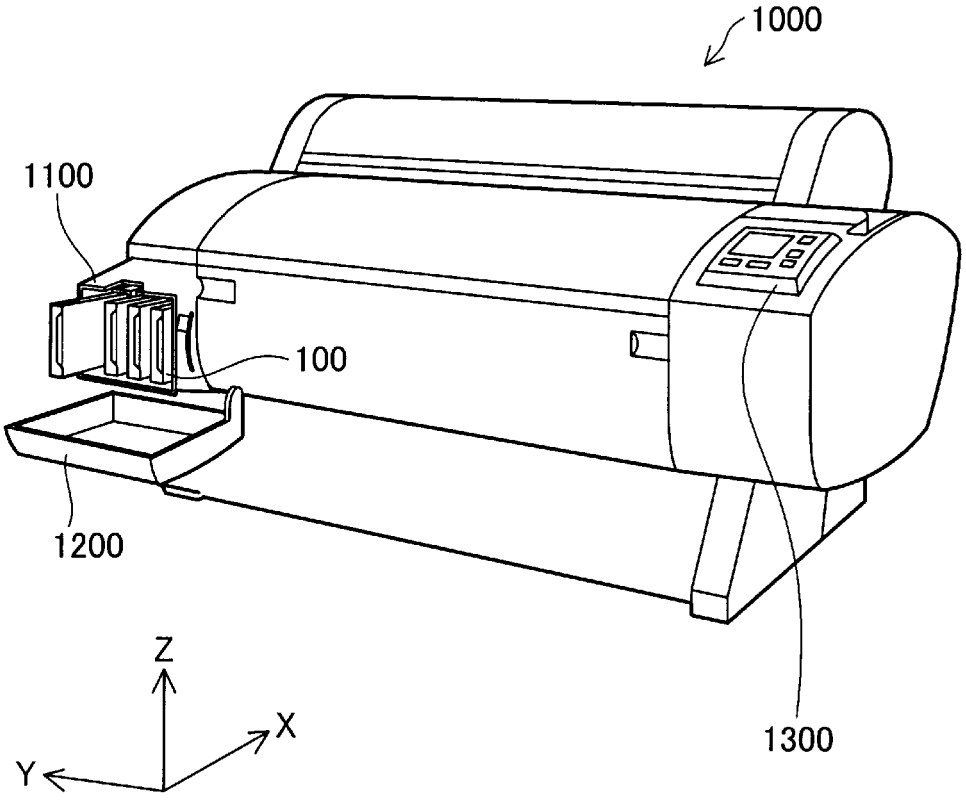
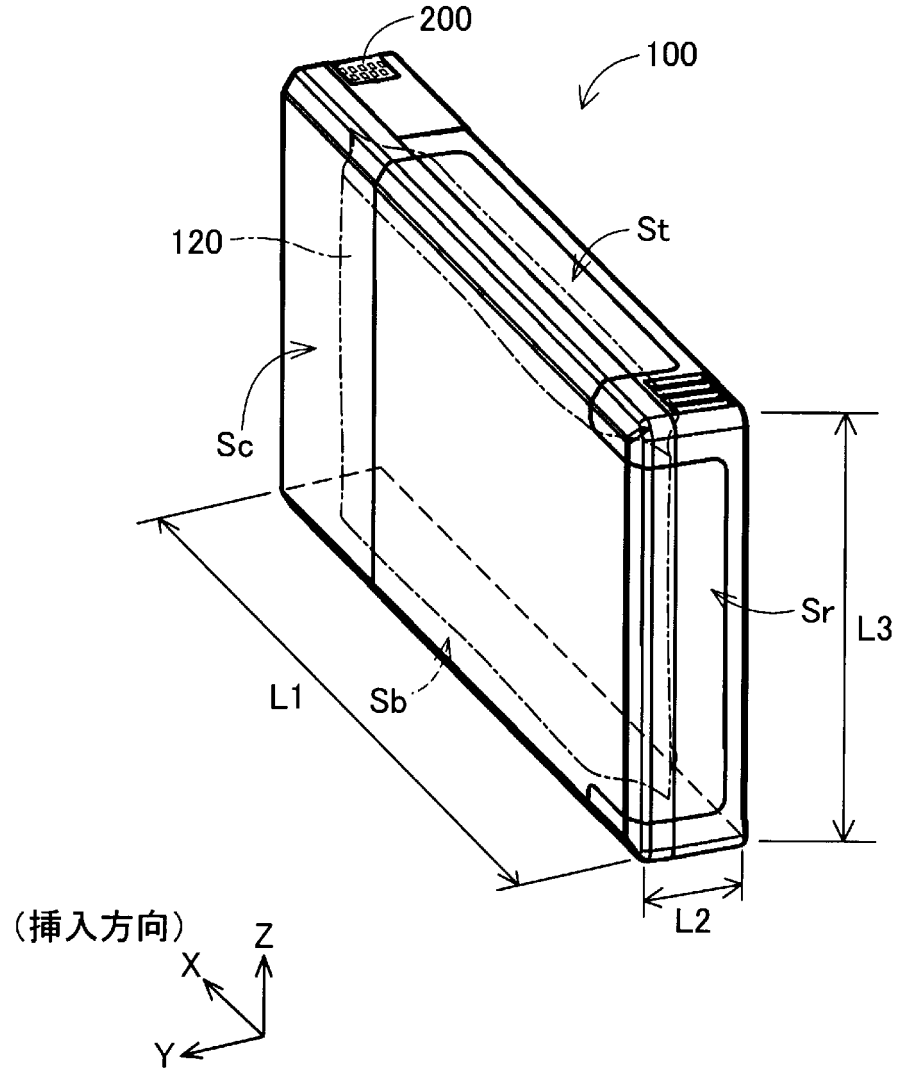
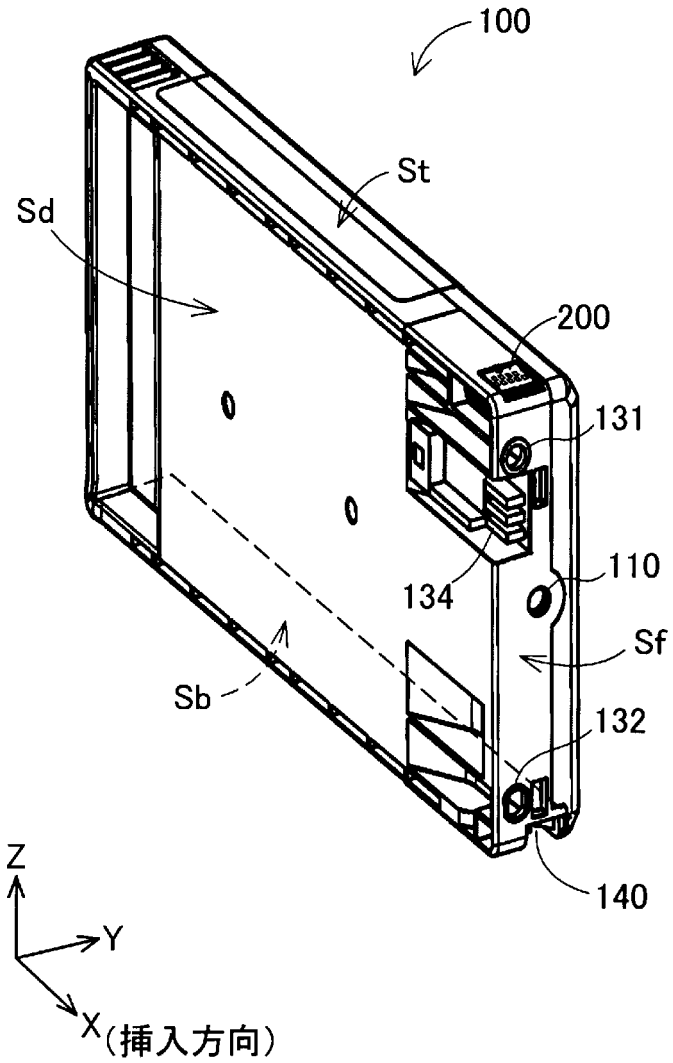
[図1]



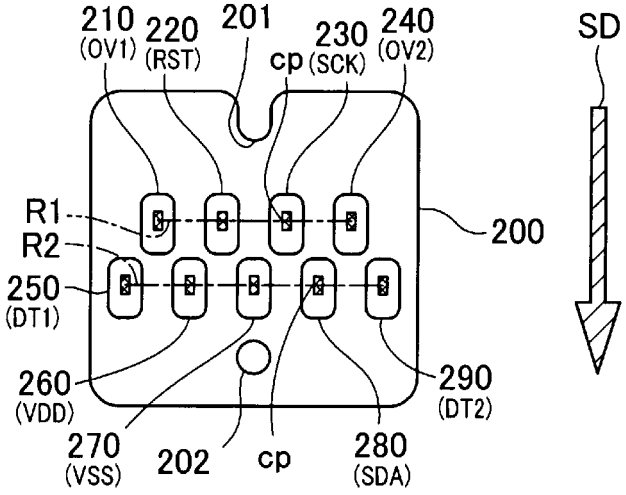
[図2A]



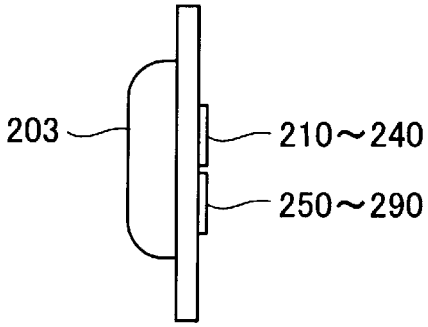
[図2B]


100
St
Sd
200
131
110
134
Sf
Sb
132
140
Z
Y
X(挿入方向)

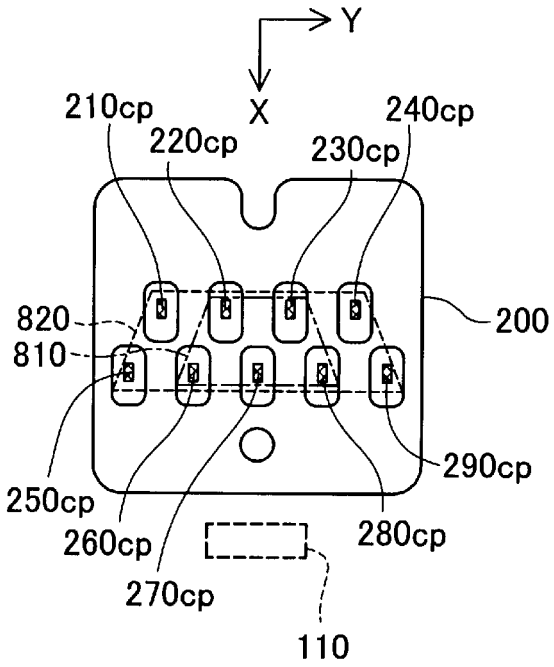
[図3A]


210
(OV1)
220
(RST)
201
cp
230
(SCK)
240
(OV2)
SD
R1
R2
200
250
(DT1)
260
(VDD)
290
(DT2)
270
(VSS)
202
cp
280
(SDA)

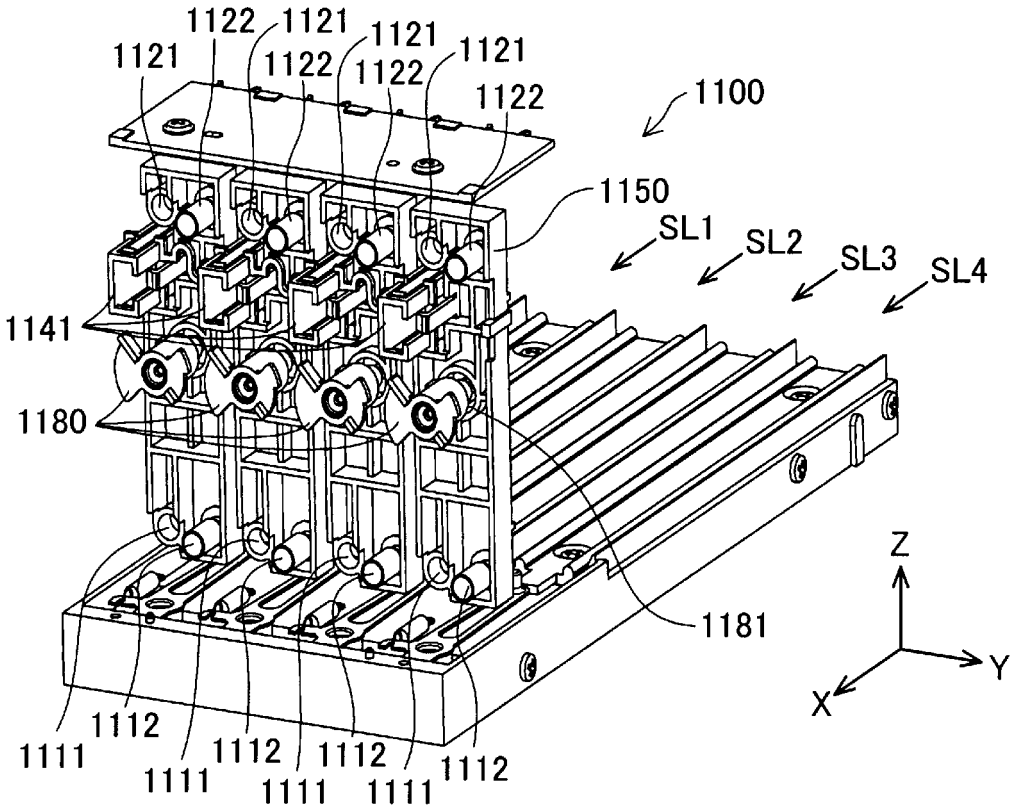
[図3B]


203
210～240
250～290

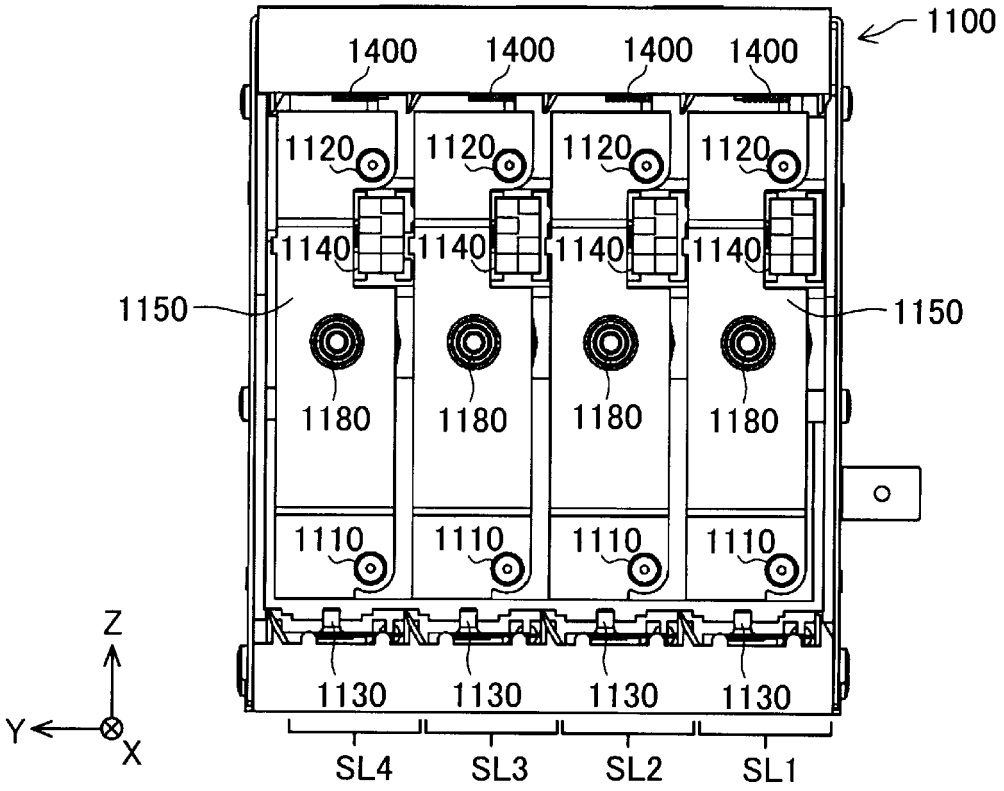
[図3C]


Y
X
210cp
220cp
230cp
240cp
820
810
200
250cp
260cp
270cp
280cp
290cp
110

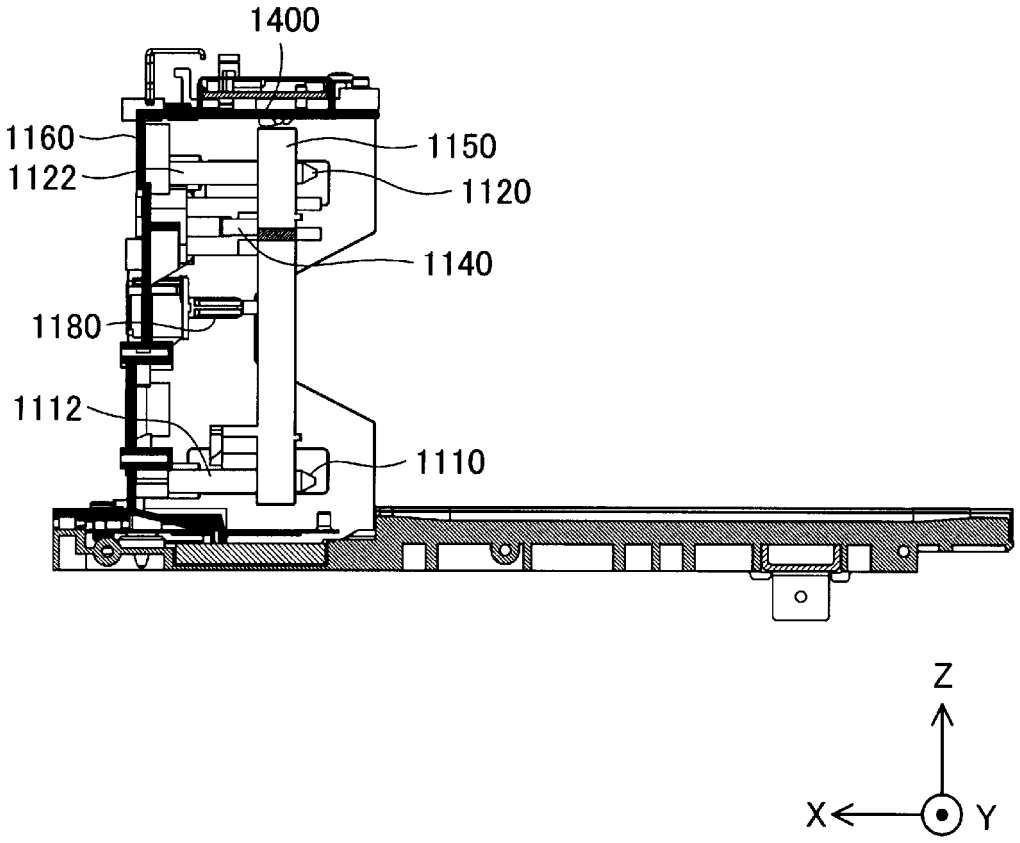
[図4A]


1122
1121
1121
1121
1121
1122
1122
1122
1100
1150
SL1
SL2
SL3
SL4
1141
1180
1181
Z
Y
X
1111
1112
1111
1112
1111
1112
1111
1112

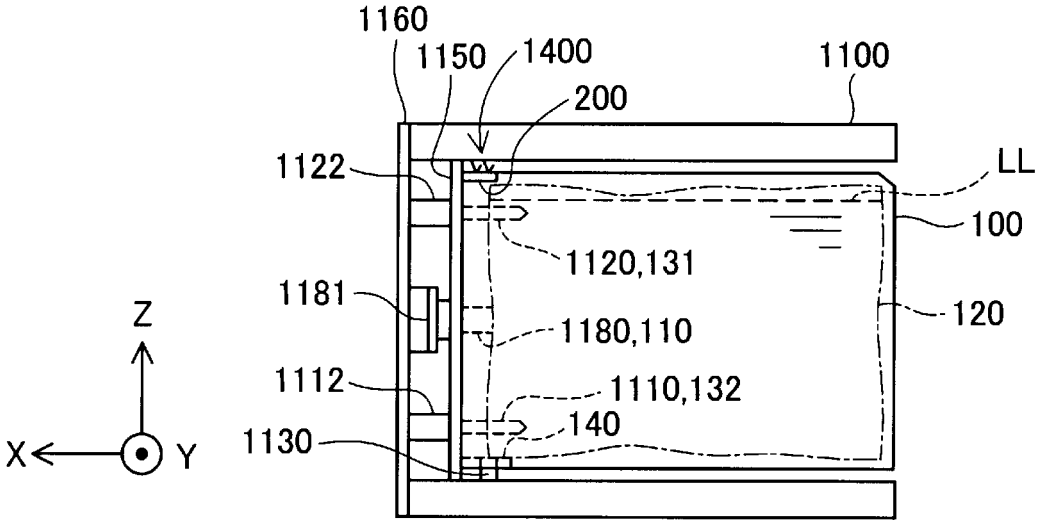
[図4B]


1100
1400
1400
1400
1400
1120
1120
1120
1120
1140
1140
1140
1140
1150
1150
1180
1180
1180
1180
1110
1110
1110
1110
Z
Y
X
1130
1130
1130
1130
SL4
SL3
SL2
SL1

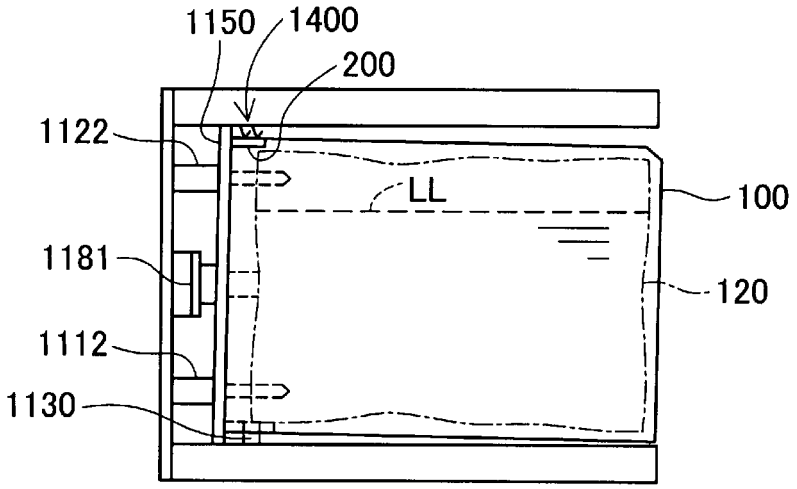
[図4C]


1400
1160
1150
1122
1120
1140
1180
1112
1110
Z
X
Y

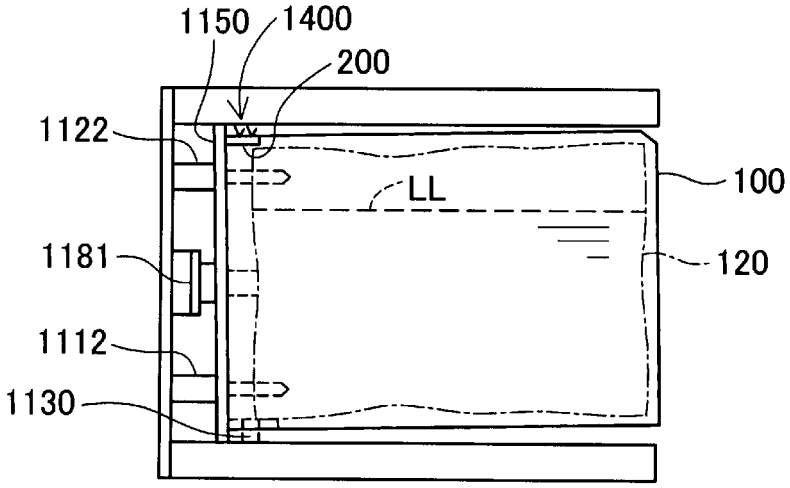
[図5A]


1160
1150
1400
200
1100
1122
LL
100
1120,131
1181
120
1180,110
1112
1110,132
140
1130
Z
X
Y

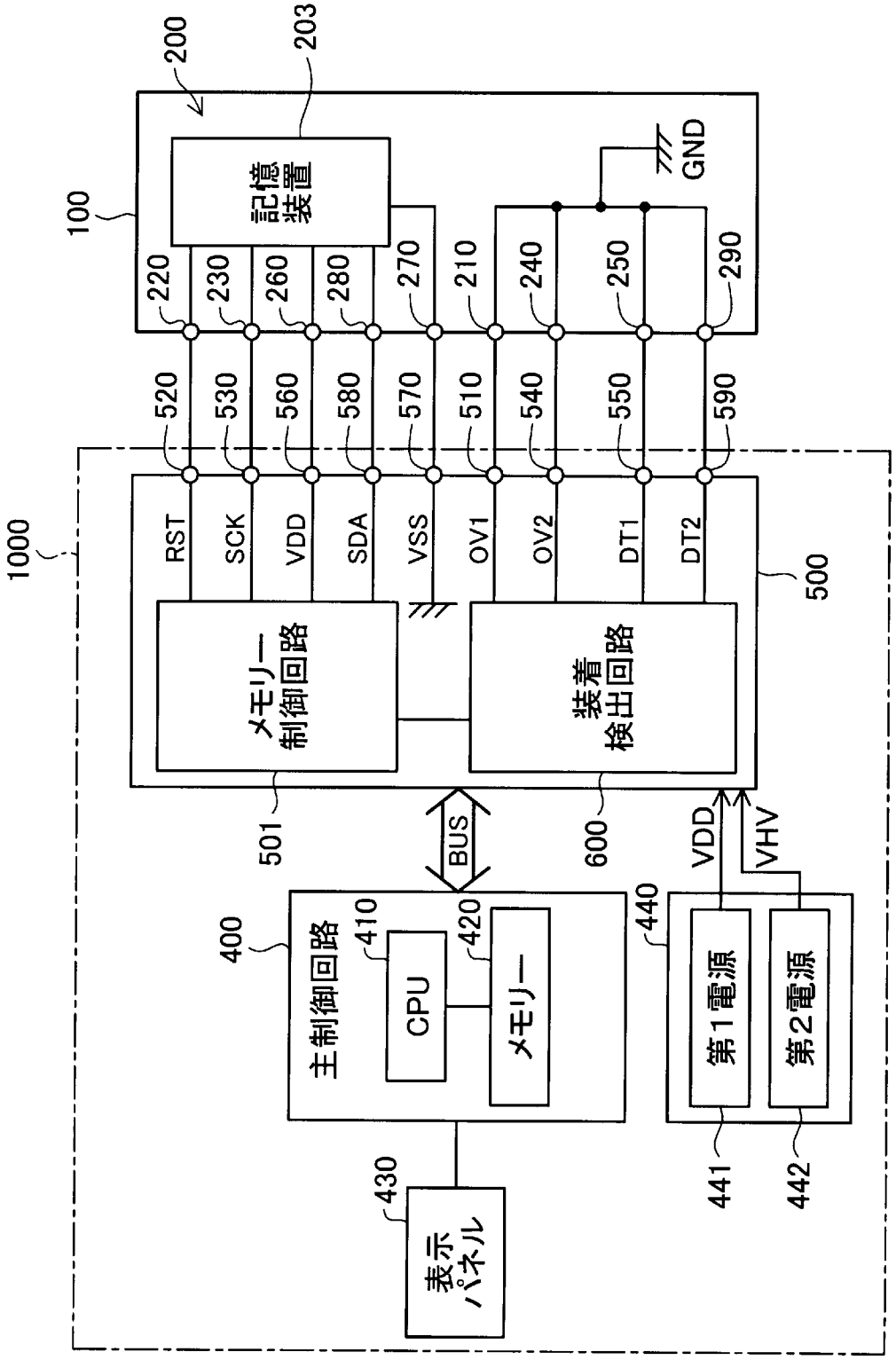
[図5B]


1150
1400
200
1122
LL
100
1181
120
1112
1130

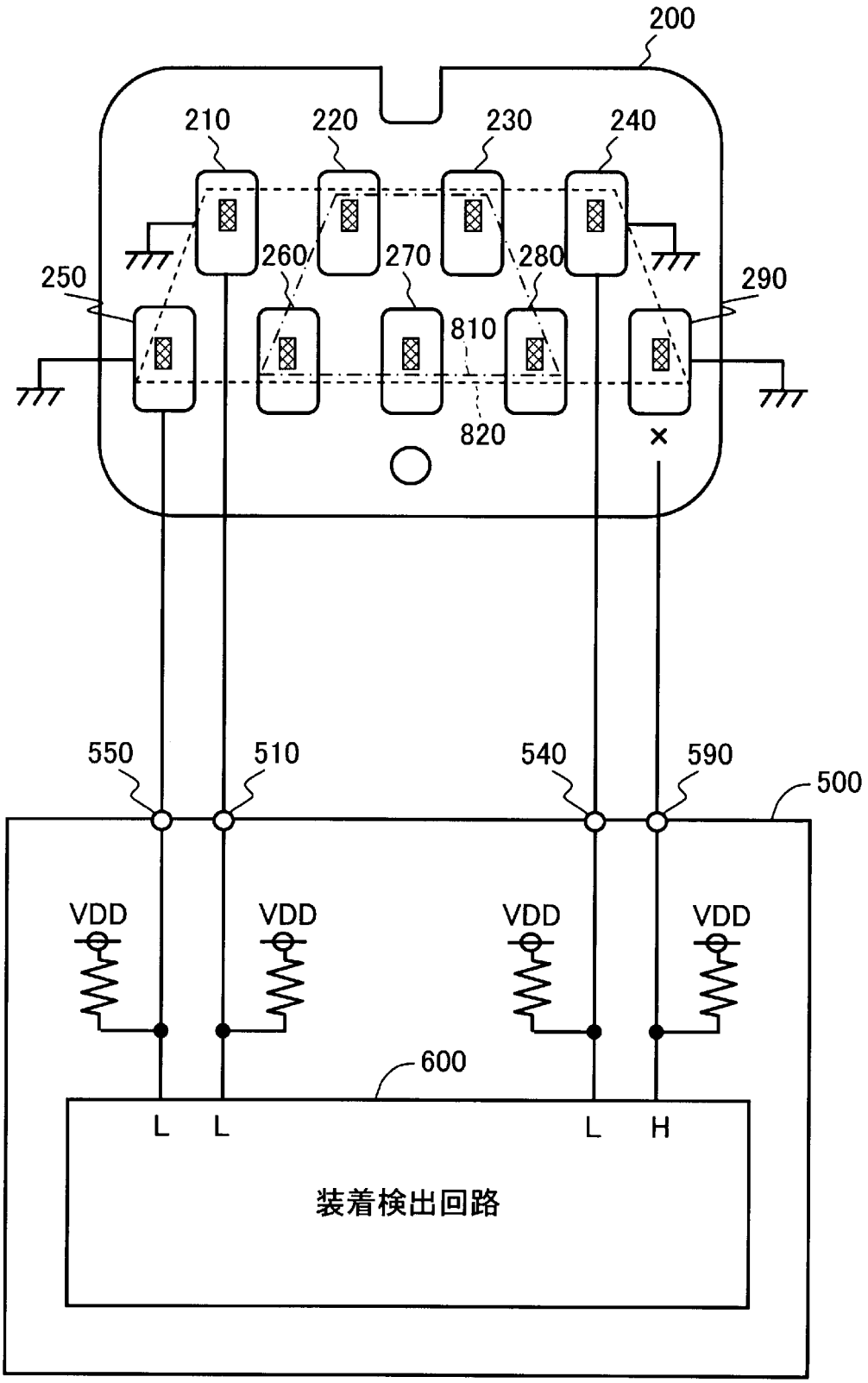
[図5C]


1150
1400
200
1122
LL
100
1181
120
1112
1130

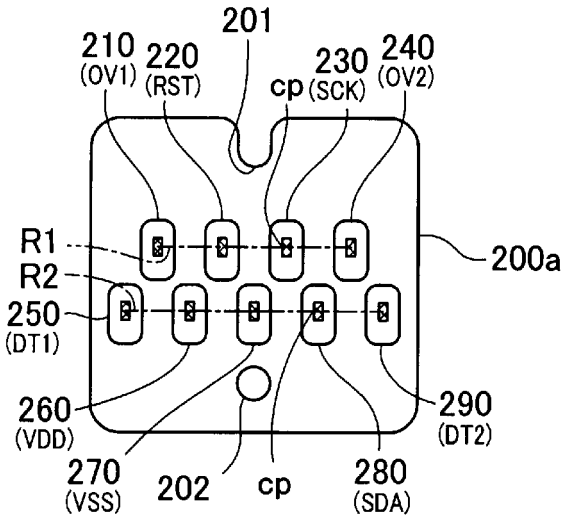
[図6]


1000
100
200
203
記憶装置
GND
220
230
260
280
270
210
240
250
290
520
530
560
580
570
510
540
550
590
RST
SCK
VDD
SDA
VSS
OV1
OV2
DT1
DT2
500
メモリー制御回路
装着検出回路
501
600
BUS
VDD
VHV
400
主制御回路
410
CPU
420
メモリー
440
第1電源
第2電源
441
442
430
表示パネル

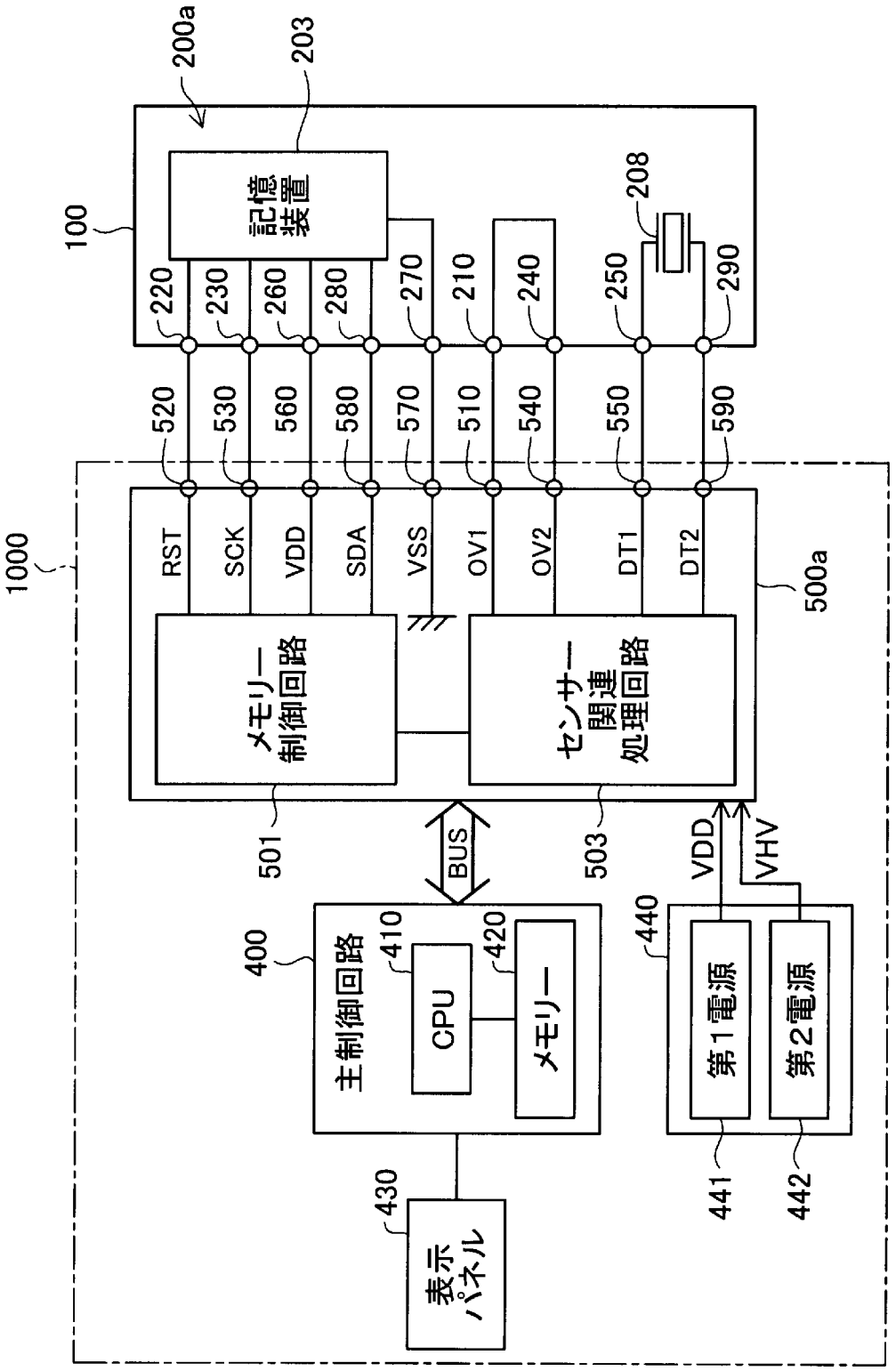
[図7]


200
210
220
230
240
250
260
270
280
290
810
820
550
510
540
590
500
VDD
VDD
VDD
VDD
600
L
L
L
H
装着検出回路

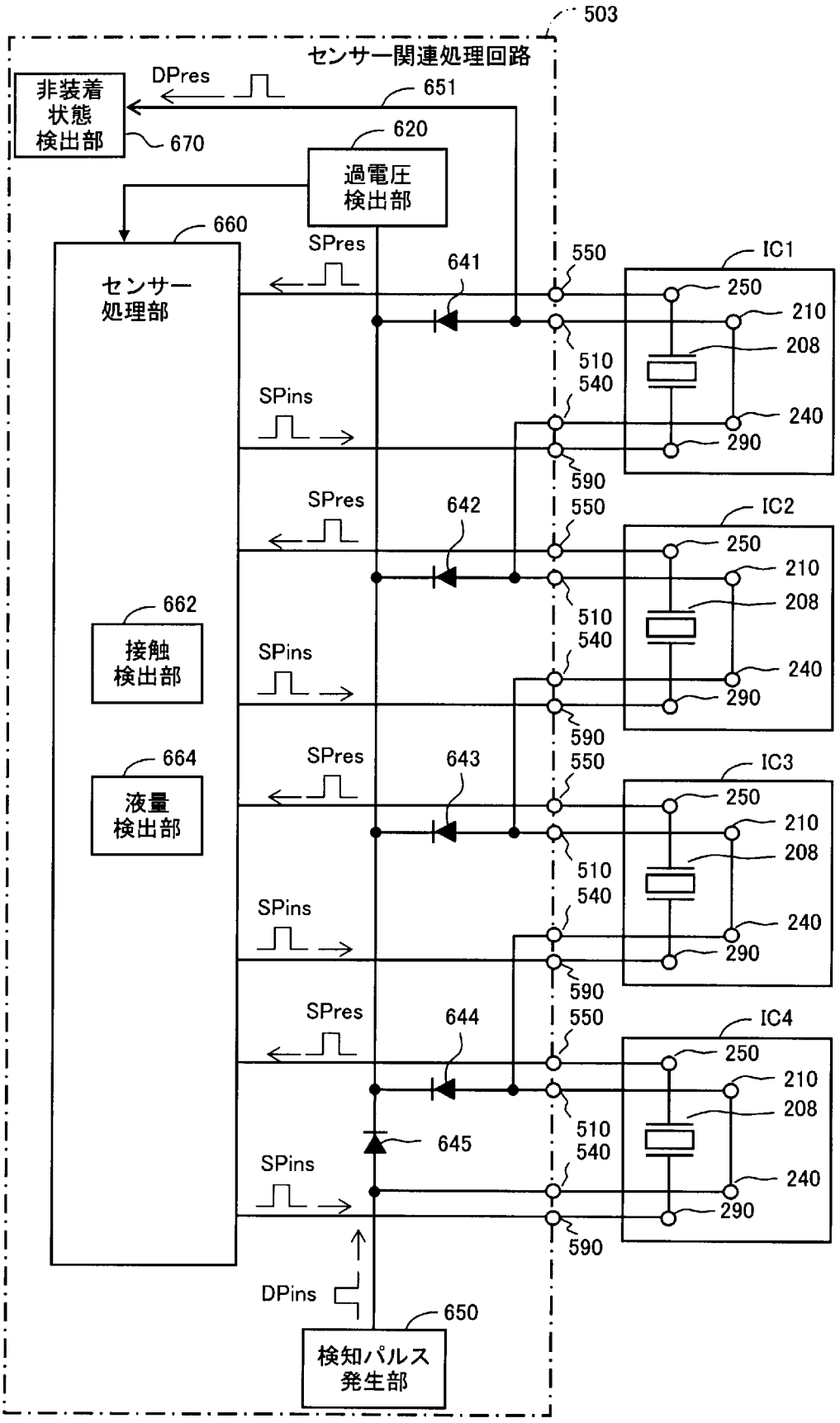
[図8]


201
210
(OV1)
220
(RST)
230
cp
(SCK)
240
(OV2)
R1
R2
250
(DT1)
200a
260
(VDD)
290
(DT2)
270
(VSS)
202
cp
280
(SDA)

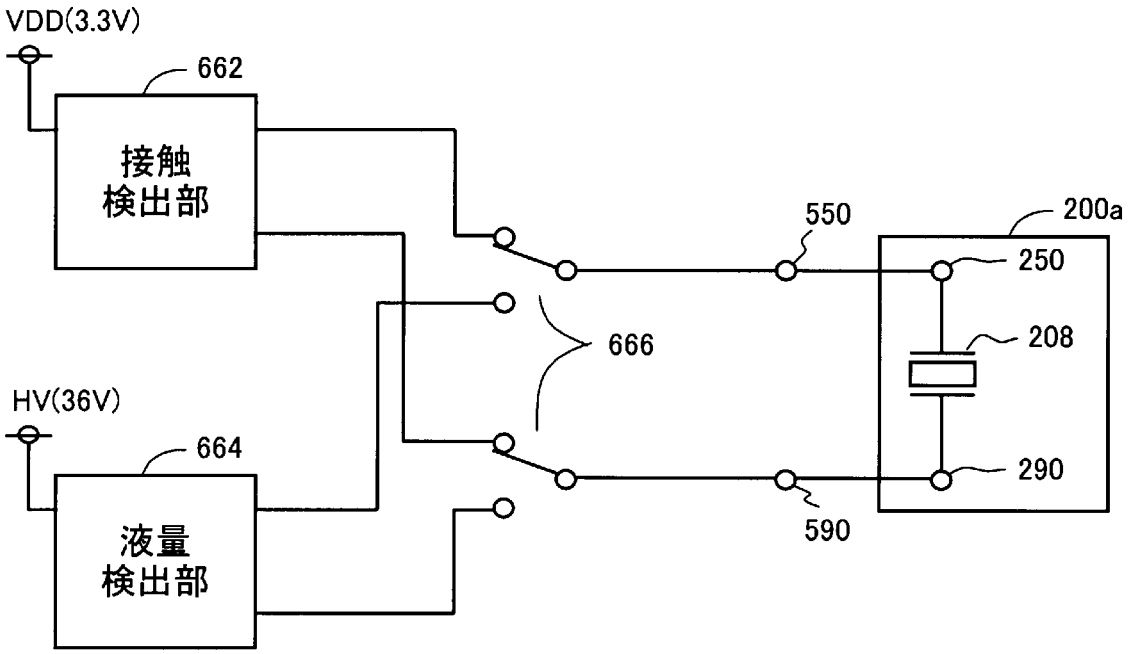
[図9]


200a
203
記憶装置
100
208
220
230
260
280
270
210
240
250
290
520
530
560
580
570
510
540
550
590
1000
RST
SCK
VDD
SDA
VSS
OV1
OV2
DT1
DT2
500a
メモリー制御回路
センサー関連処理回路
501
503
BUS
VDD
VHV
400
主制御回路
410
CPU
420
メモリー
440
第1電源
第2電源
441
442
430
表示パネル

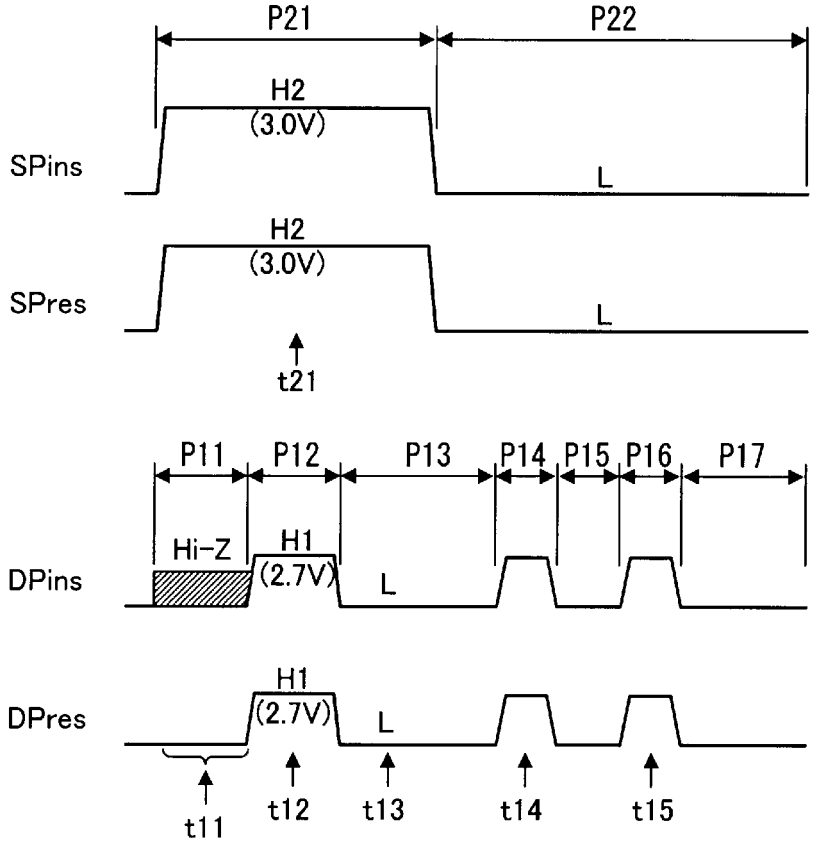
[図10]


503
センサー関連処理回路
非装着
状態
検出部
670
DPres
651
620
過電圧
検出部
660
センサー
処理部
SPres
641
550
IC1
250
210
208
240
290
510
540
590
SPins
SPres
642
IC2
662
接触
検出部
664
液量
検出部
643
IC3
644
IC4
645
DPins
650
検知パルス
発生部

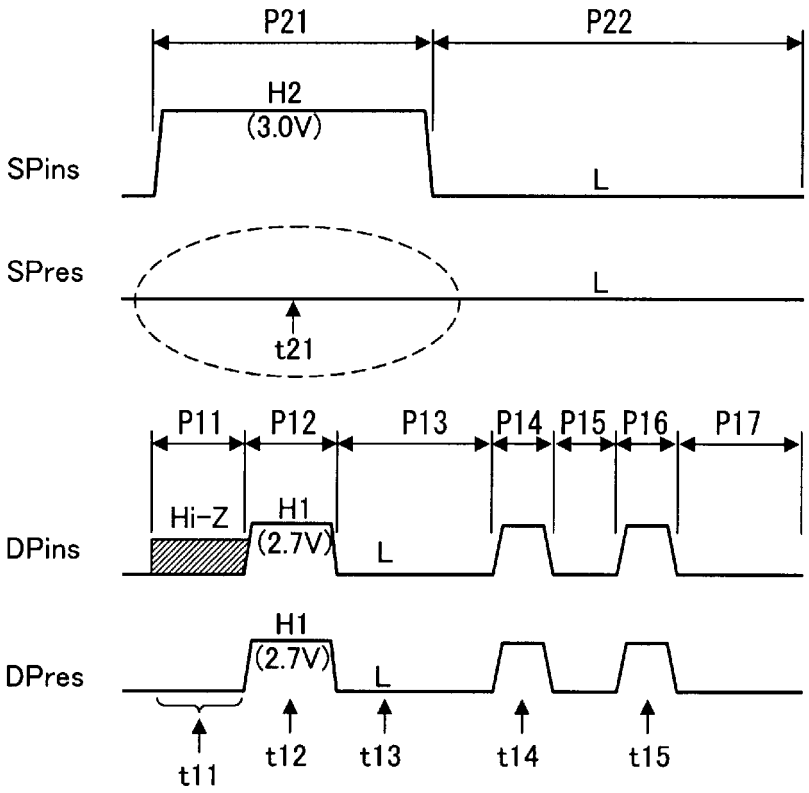
[図11]


VDD(3.3V)
662
接触
検出部
550
200a
250
208
666
HV(36V)
664
液量
検出部
290
590

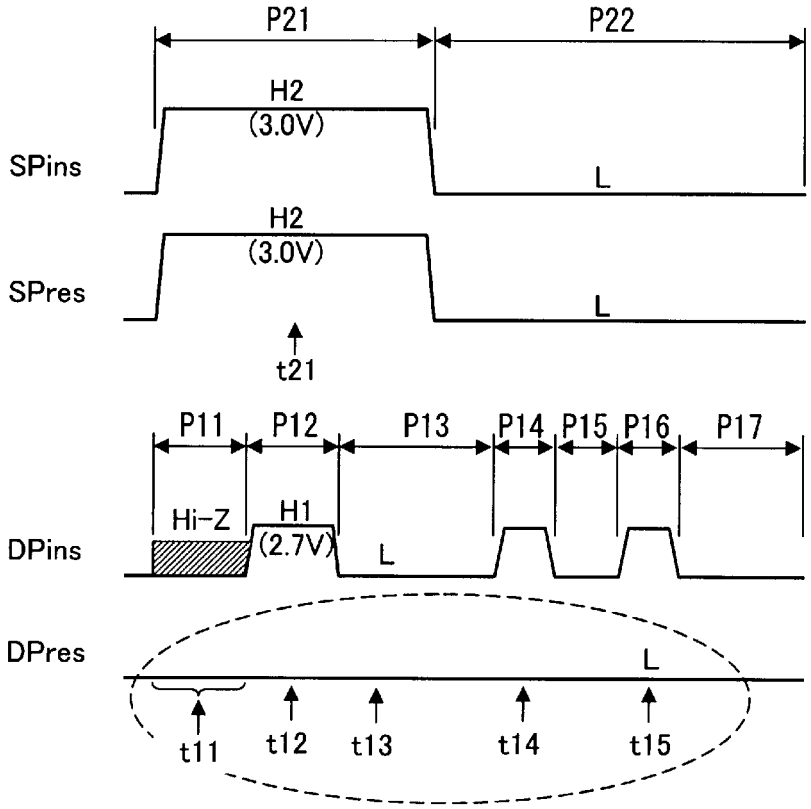
[図12]


P21
P22
H2
(3.0V)
SPins
L
H2
(3.0V)
SPres
L
t21
P11
P12
P13
P14
P15
P16
P17
Hi-Z
H1
(2.7V)
DPins
L
H1
(2.7V)
DPres
L
t11
t12
t13
t14
t15

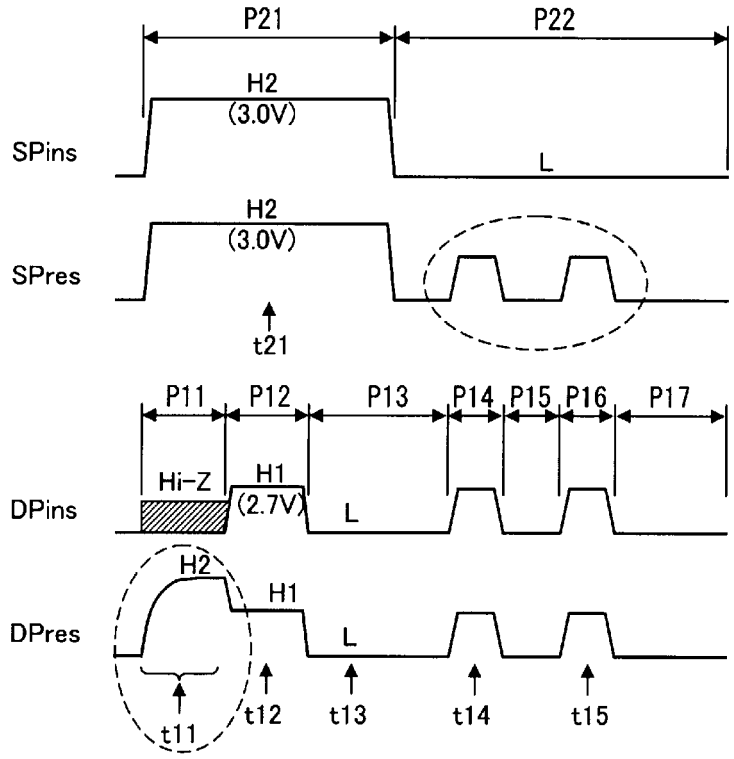
[図13A]


P21
P22
H2
(3.0V)
SPins
L
SPres
L
t21
P11
P12
P13
P14
P15
P16
P17
Hi-Z
H1
(2.7V)
DPins
L
H1
(2.7V)
DPres
L
t11
t12
t13
t14
t15

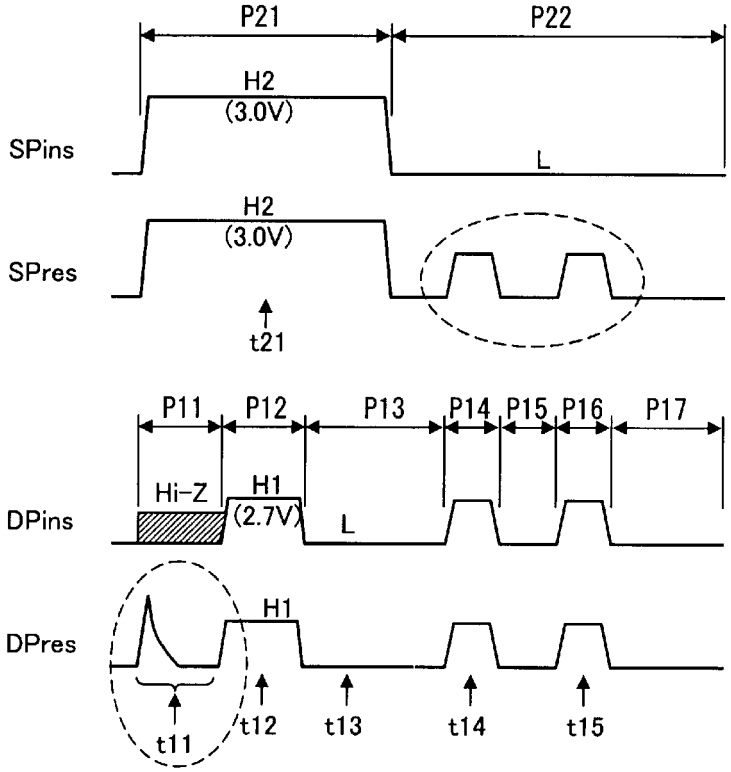
[図13B]


P21
P22
H2
(3.0V)
SPins
L
H2
(3.0V)
SPres
L
t21
P11
P12
P13
P14
P15
P16
P17
Hi-Z
H1
(2.7V)
DPins
L
DPres
L
t11
t12
t13
t14
t15

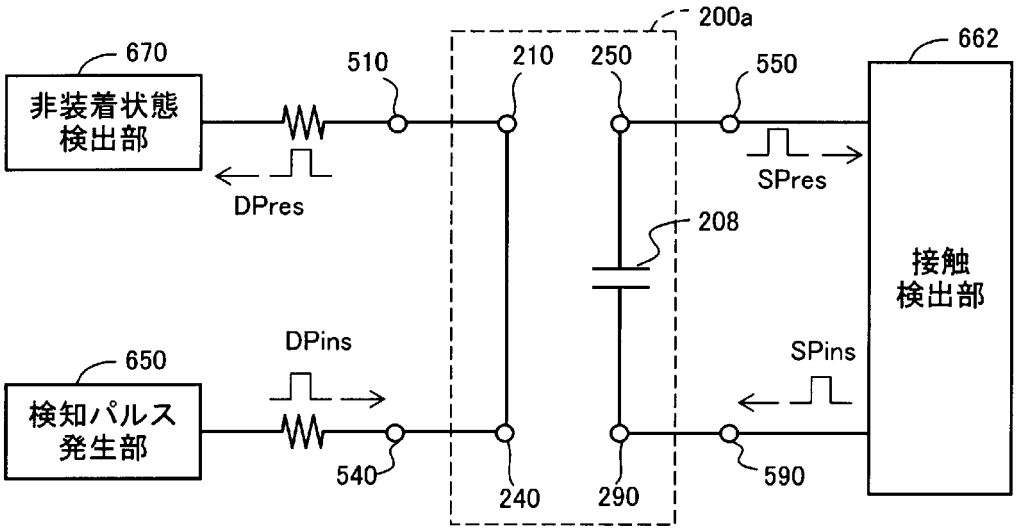
[図14A]


P21
P22
H2
(3.0V)
SPins
L
H2
(3.0V)
SPres
t21
P11
P12
P13
P14
P15
P16
P17
Hi-Z
H1
(2.7V)
DPins
L
H2
H1
DPres
L
t11
t12
t13
t14
t15

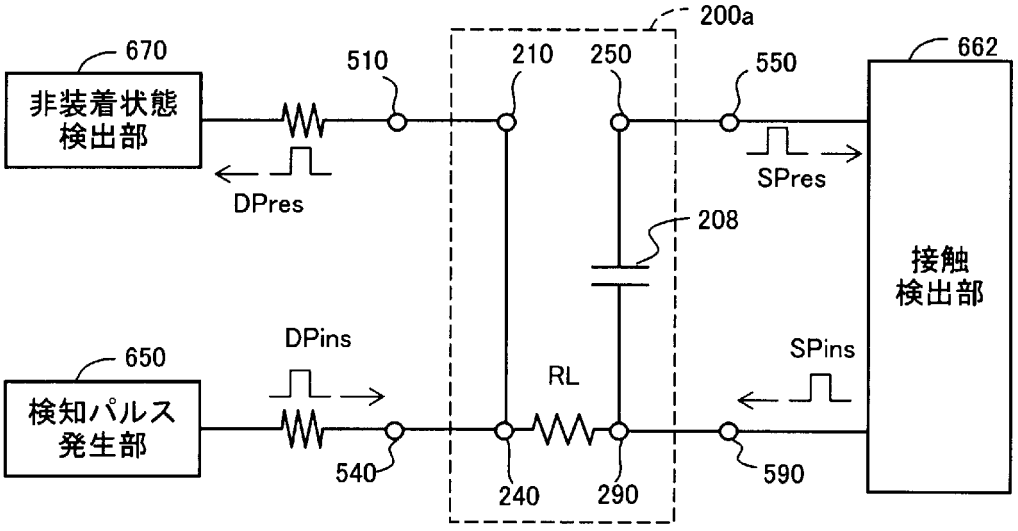
[図14B]


P21
P22
H2
(3.0V)
SPins
L
H2
(3.0V)
SPres
t21
P11
P12
P13
P14
P15
P16
P17
Hi-Z
H1
(2.7V)
DPins
L
H1
DPres
t11
t12
t13
t14
t15

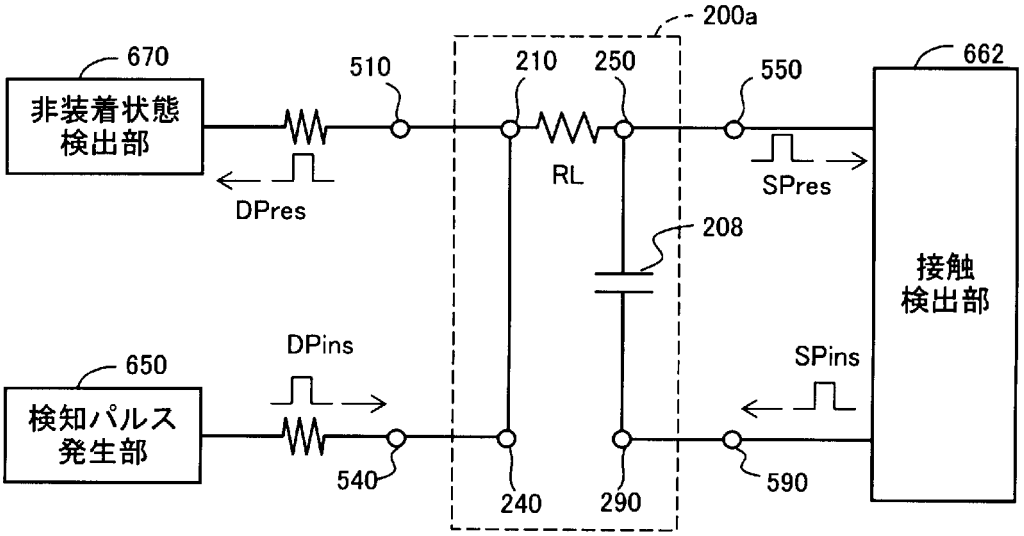
[図15A]



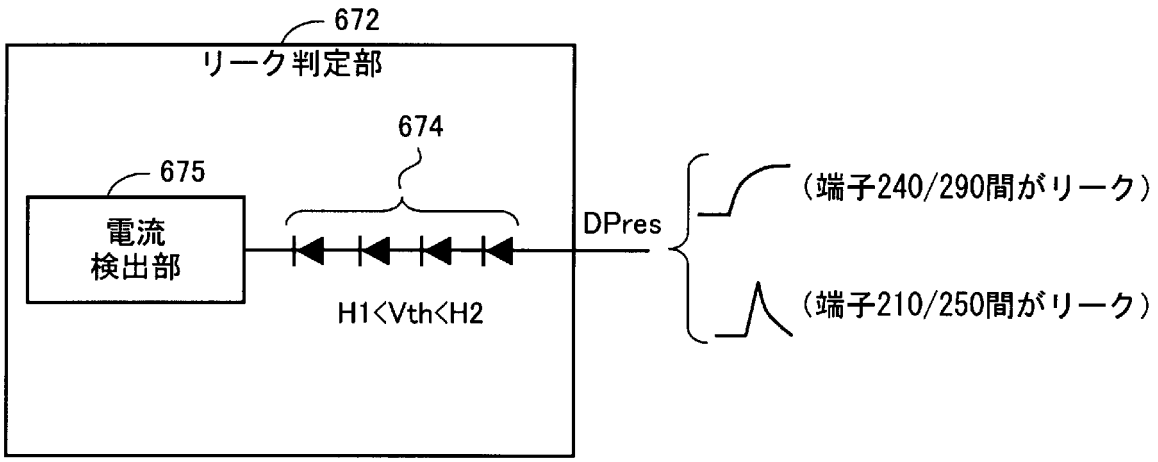
[図15B]



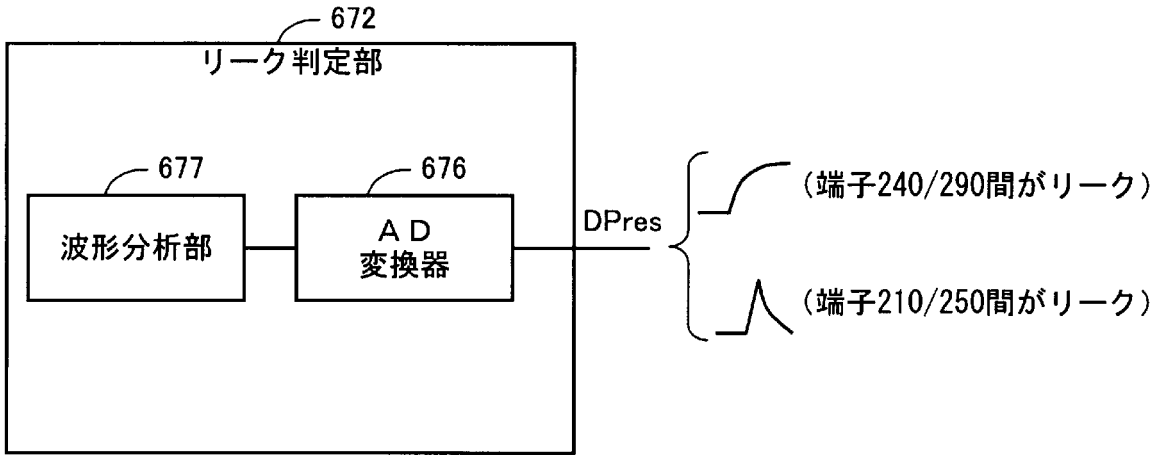
[図15C]



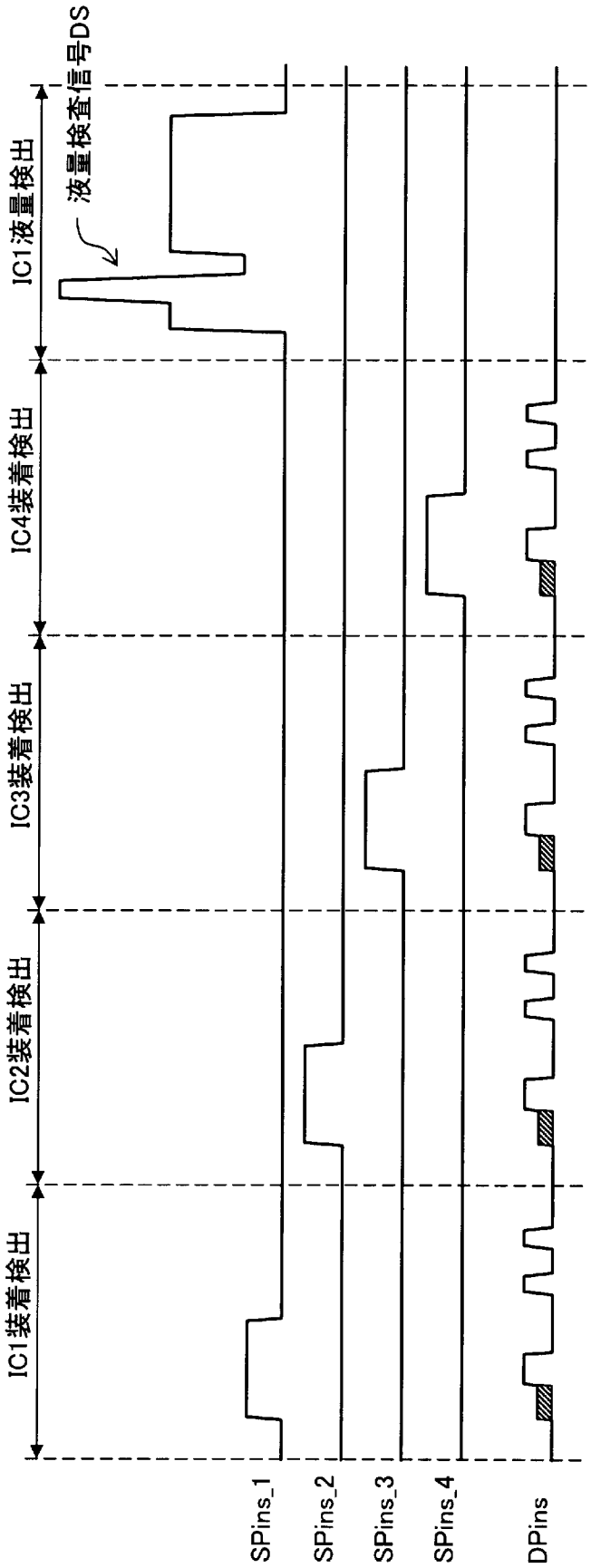
[図16A]


672
リーク判定部
674
675
電流
検出部
H1<Vth<H2
DPres
(端子240/290間がリーク)
(端子210/250間がリーク)

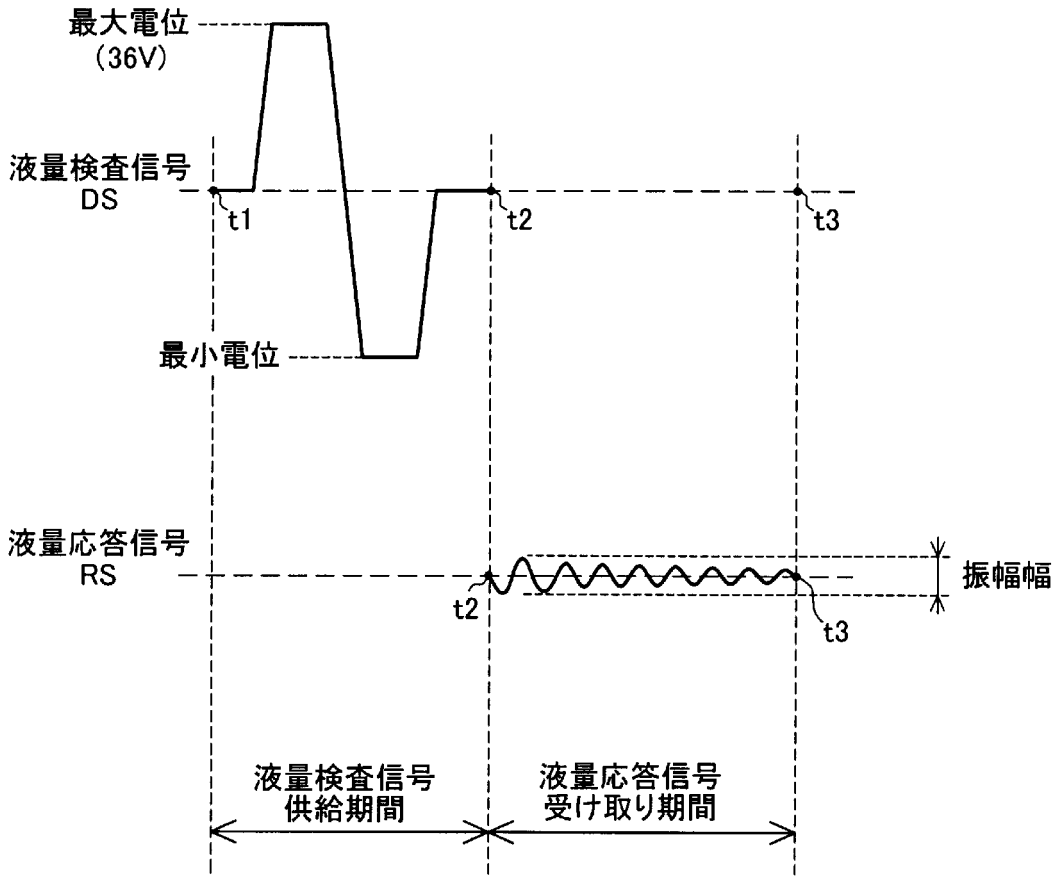
[図16B]


672
リーク判定部
677
676
波形分析部
A D
変換器
DPres
(端子240/290間がリーク)
(端子210/250間がリーク)

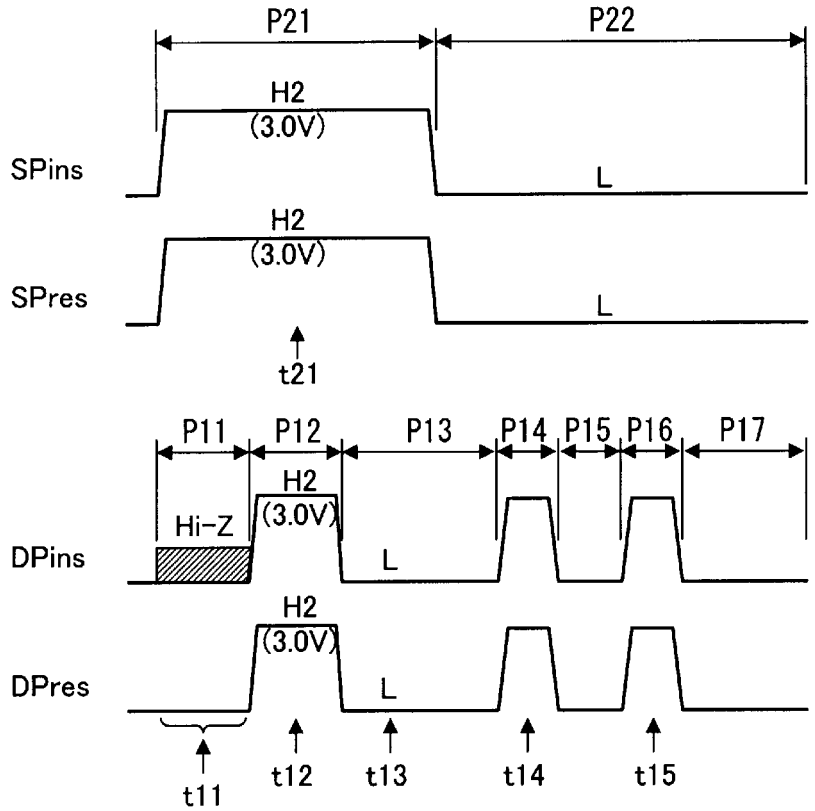
[図17]


液量検査信号DS
IC1液量検出
IC4装着検出
IC3装着検出
IC2装着検出
IC1装着検出
SPins_1
SPins_2
SPins_3
SPins_4
DPins

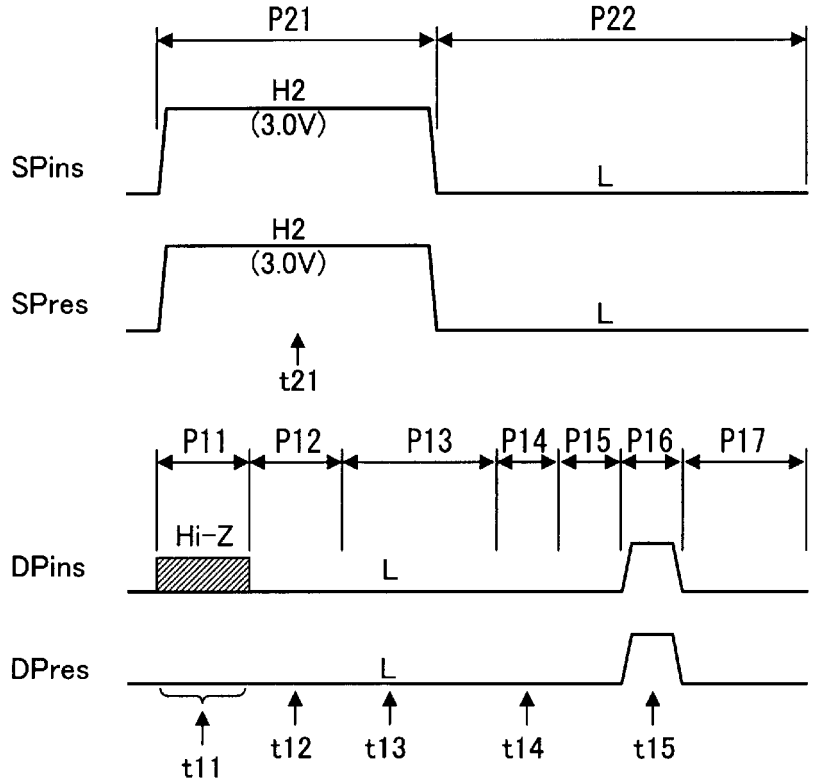
[図18]


最大電位
(36V)
液量検査信号
DS
t1
t2
t3
最小電位
液量応答信号
RS
t2
t3
振幅幅
液量検査信号
供給期間
液量応答信号
受け取り期間

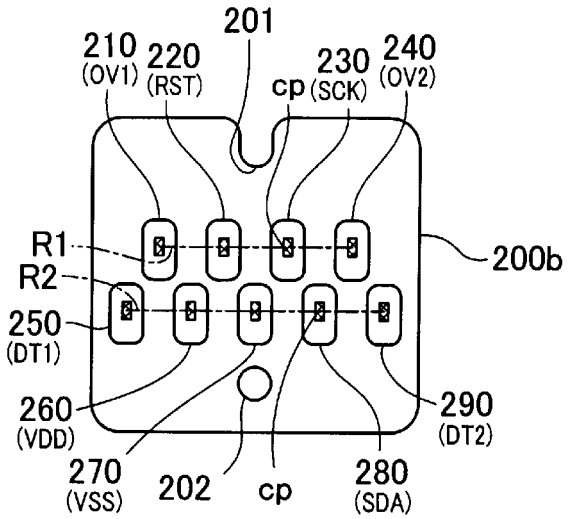
[図19A]


P21
P22
H2
(3.0V)
SPins
L
H2
(3.0V)
SPres
L
t21
P11
P12
P13
P14
P15
P16
P17
H2
(3.0V)
Hi-Z
DPins
L
H2
(3.0V)
DPres
L
t11
t12
t13
t14
t15

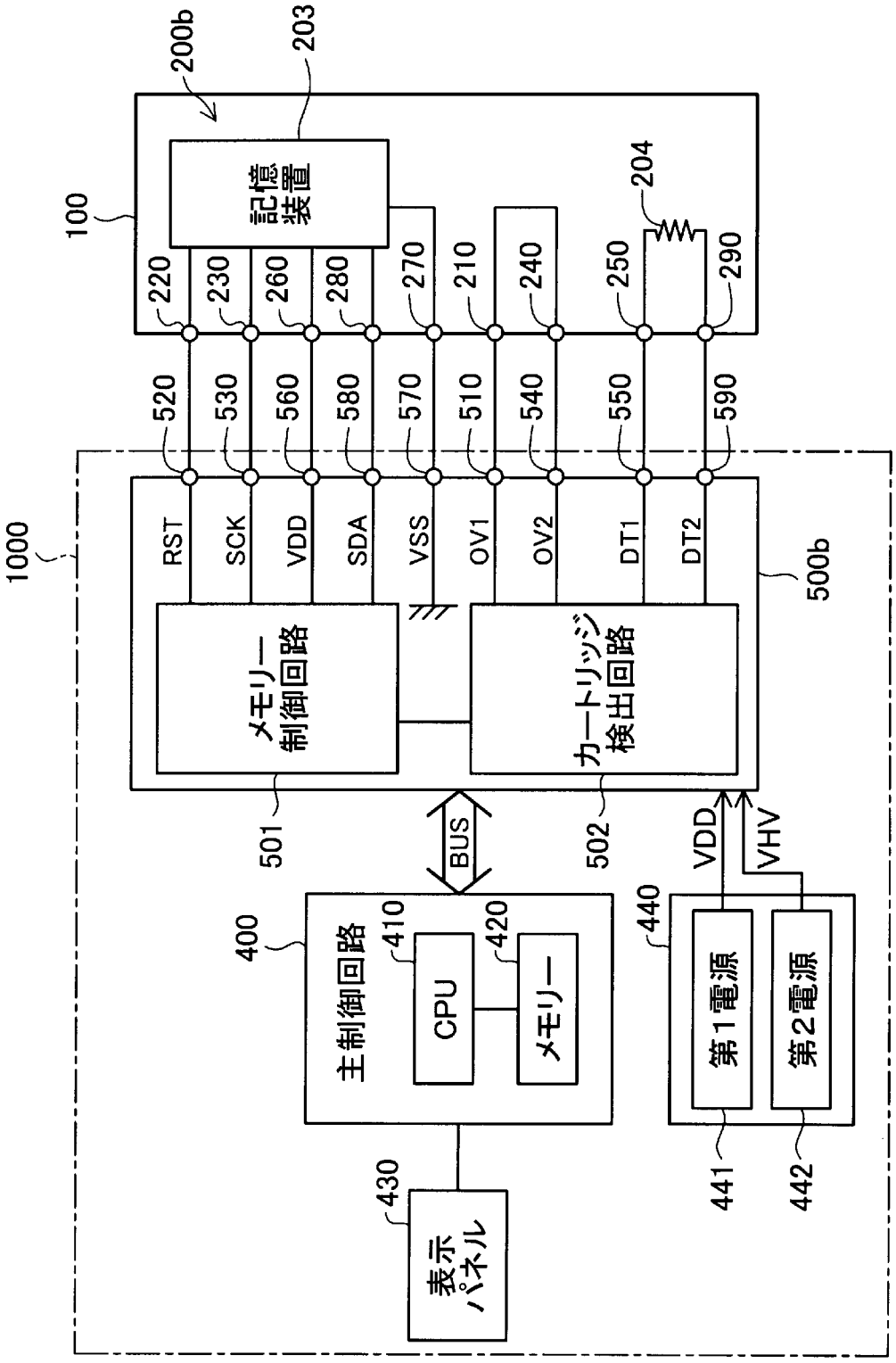
[図19B]


P21
P22
H2
(3.0V)
SPins
L
H2
(3.0V)
SPres
L
t21
P11
P12
P13
P14
P15
P16
P17
Hi-Z
DPins
L
DPres
L
t11
t12
t13
t14
t15

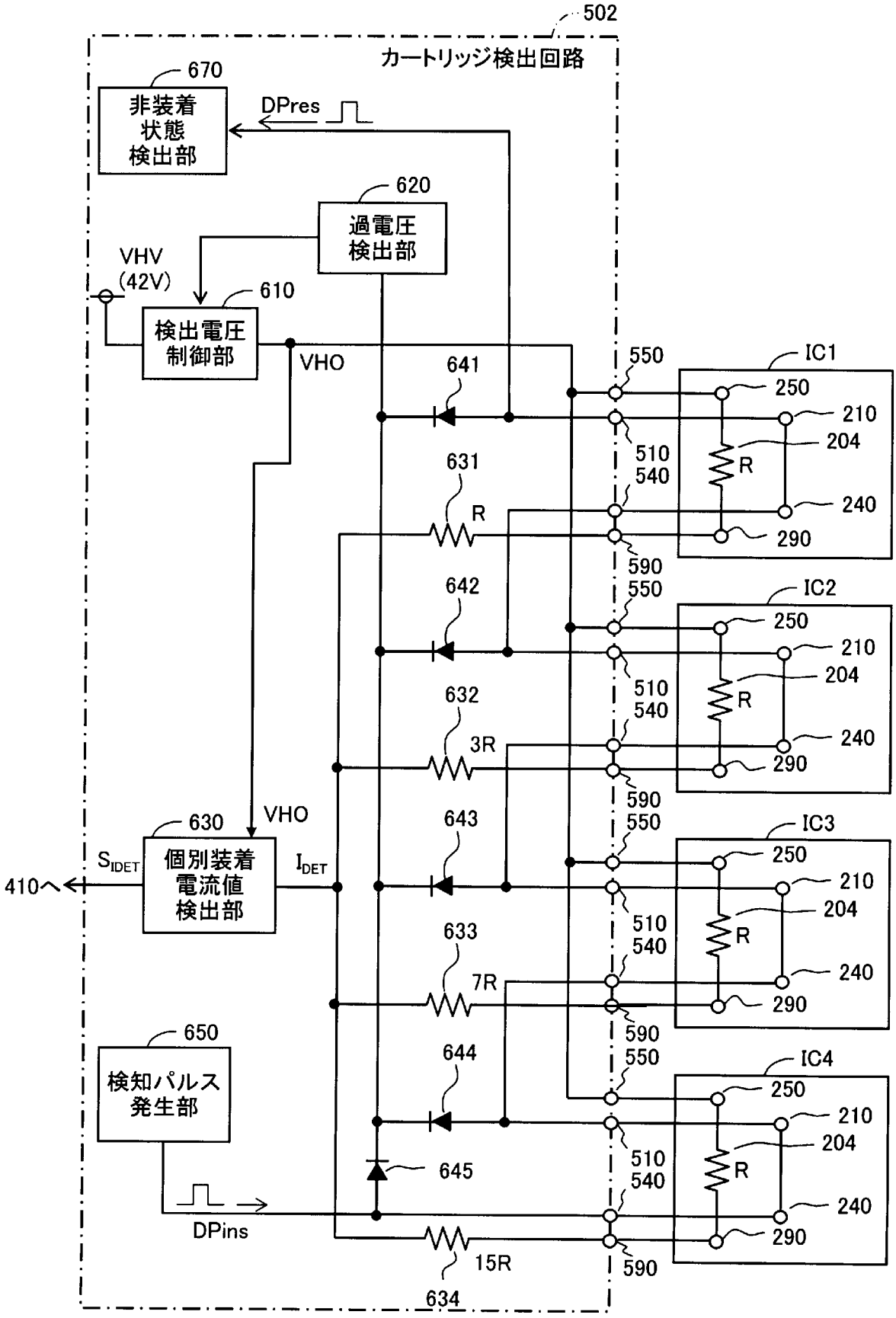
[図20]


201
210
(OV1)
220
(RST)
cp
230
(SCK)
240
(OV2)
R1
R2
200b
250
(DT1)
260
(VDD)
290
(DT2)
270
(VSS)
202
cp
280
(SDA)

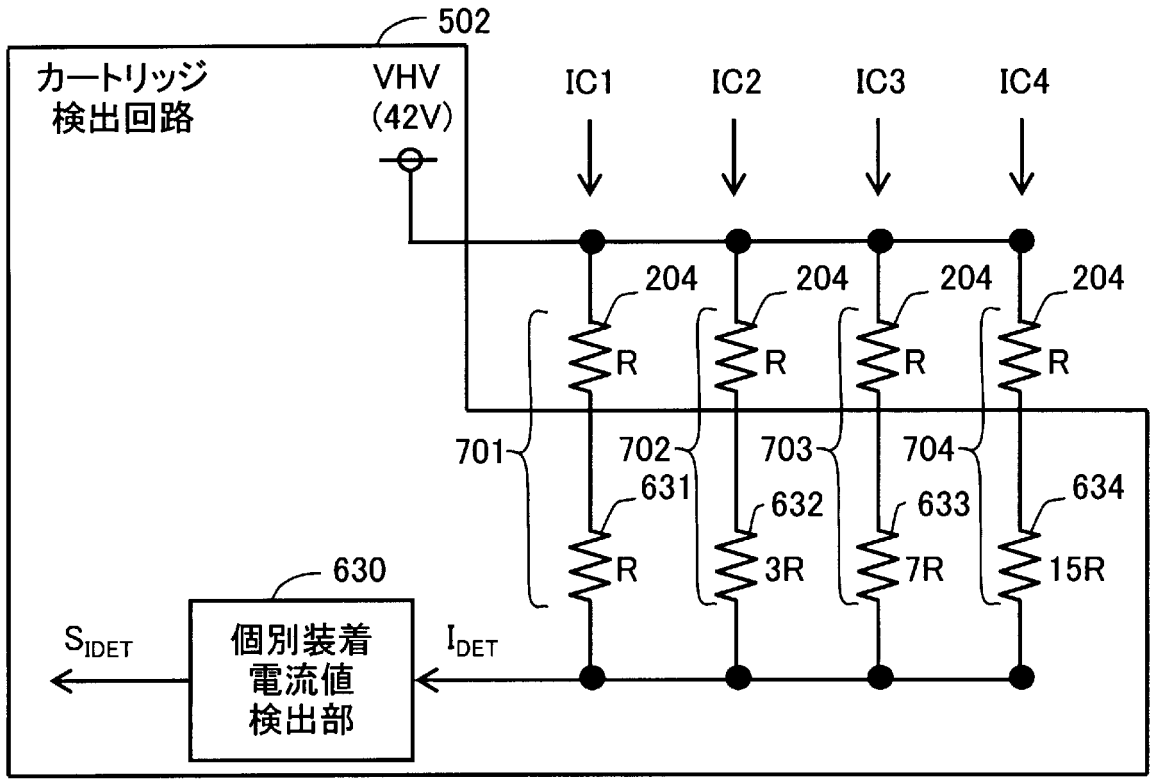
[図21]


200b
203
記憶装置
100
204
220
230
260
280
270
210
240
250
290
520
530
560
580
570
510
540
550
590
1000
RST
SCK
VDD
SDA
VSS
OV1
OV2
DT1
DT2
500b
メモリー制御回路
カートリッジ検出回路
501
502
BUS
VDD
VHV
400
主制御回路
410
420
CPU
メモリー
440
第1電源
第2電源
430
表示パネル
441
442

[図22]

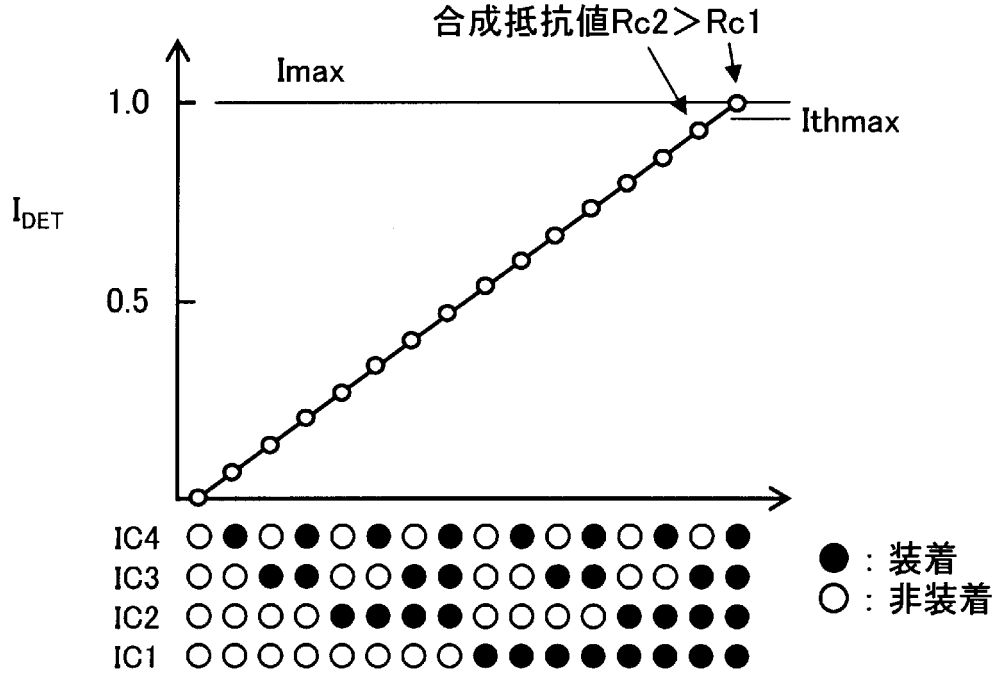

502
カートリッジ検出回路
670
非装着
状態
検出部
DPres
620
過電圧
検出部
VHV
(42V)
610
検出電圧
制御部
VHO
641
631
R
642
632
3R
643
633
7R
644
645
15R
634
630
個別装着
電流値
検出部
S_{IDET}
I_{DET}
410へ
650
検知パルス
発生部
DPins
550
510
540
590
IC1
IC2
IC3
IC4
250
210
204
R
240
290

[図23A]

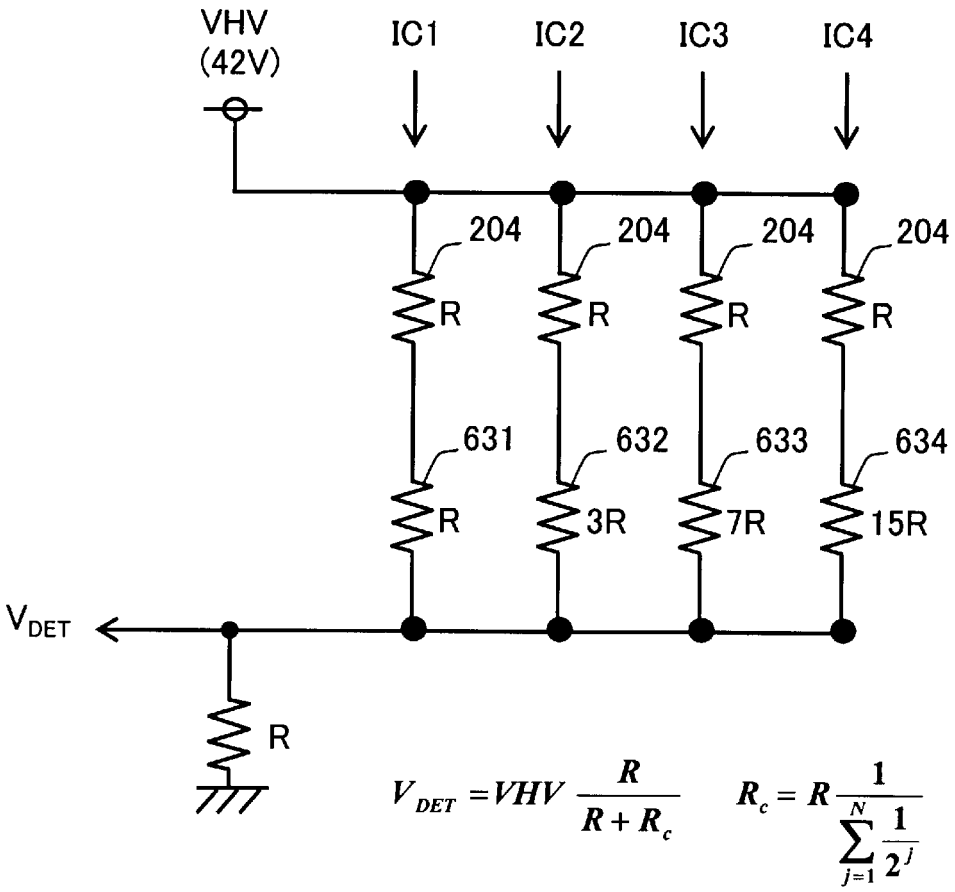


$$I_{DET} = \frac{VHV}{R_c} \qquad R_c = R \frac{1}{\sum_{j=1}^{N} \frac{1}{2^j}}$$

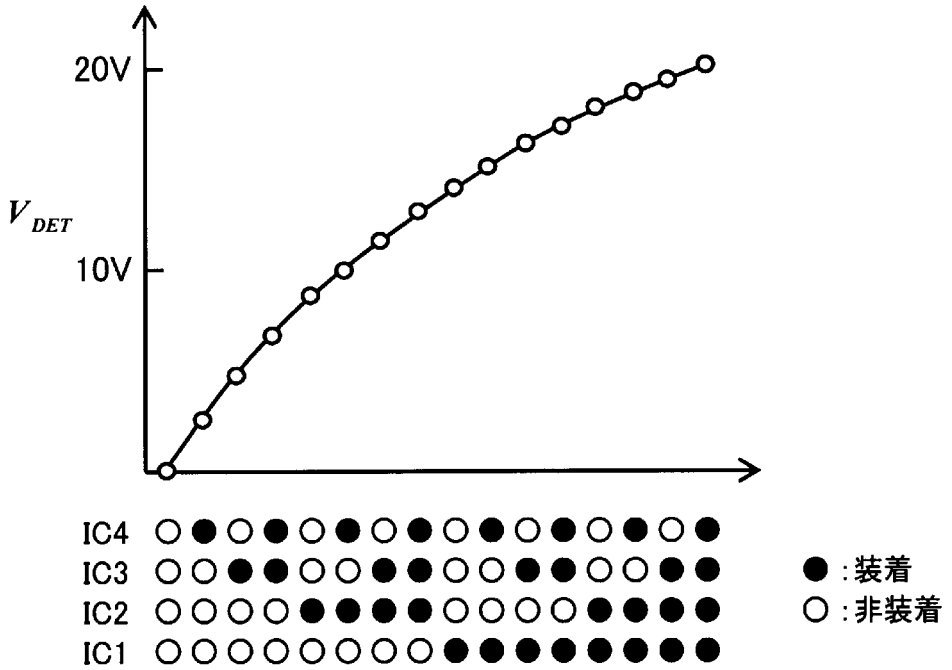
[図23B]



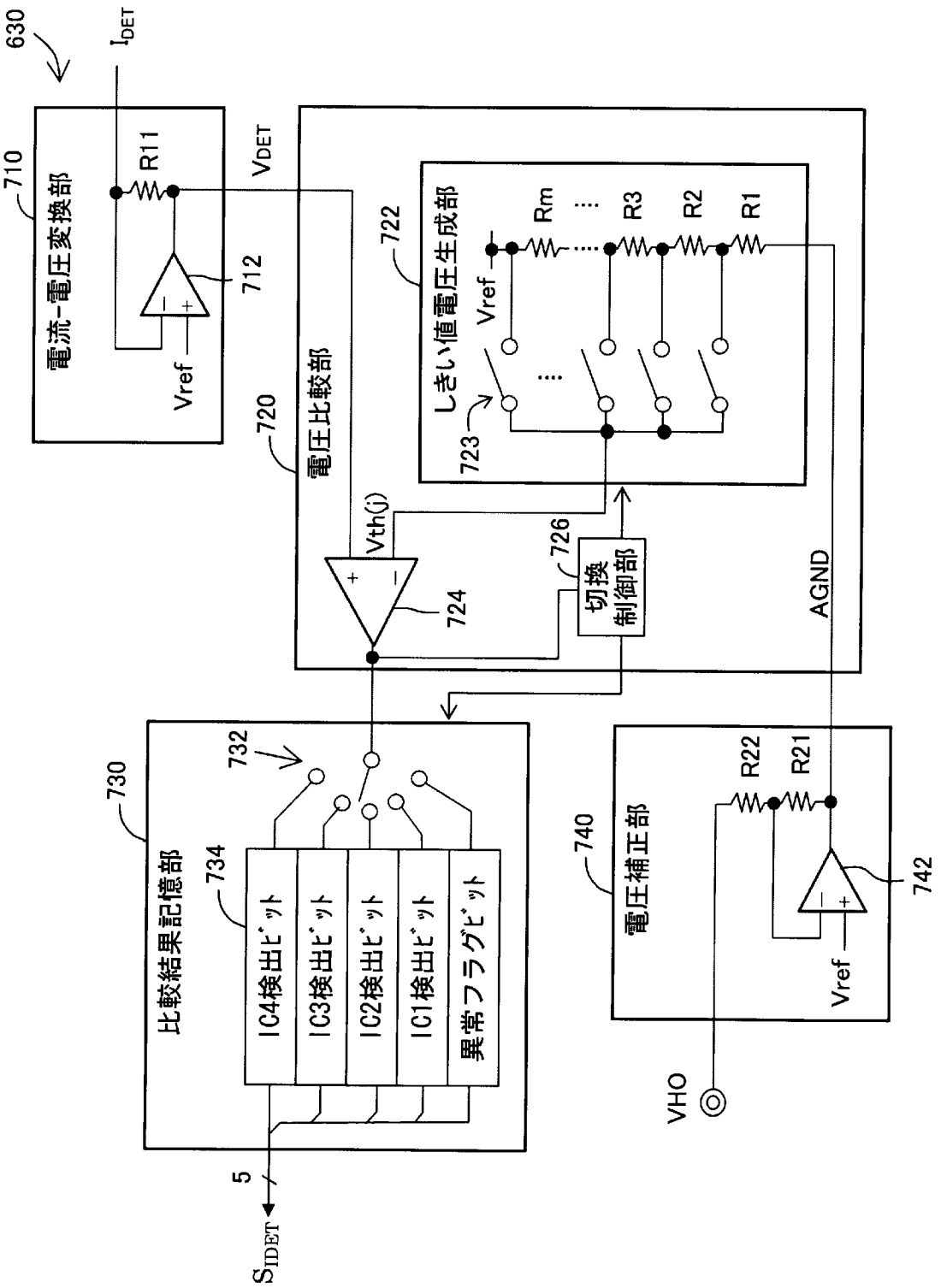
[図23C]


VHV
(42V)
IC1
IC2
IC3
IC4
204
R
631
632
633
634
3R
7R
15R
V_{DET}
$V_{DET} = VHV \frac{R}{R + R_c}$
$R_c = R \frac{1}{\sum_{j=1}^{N} \frac{1}{2^j}}$

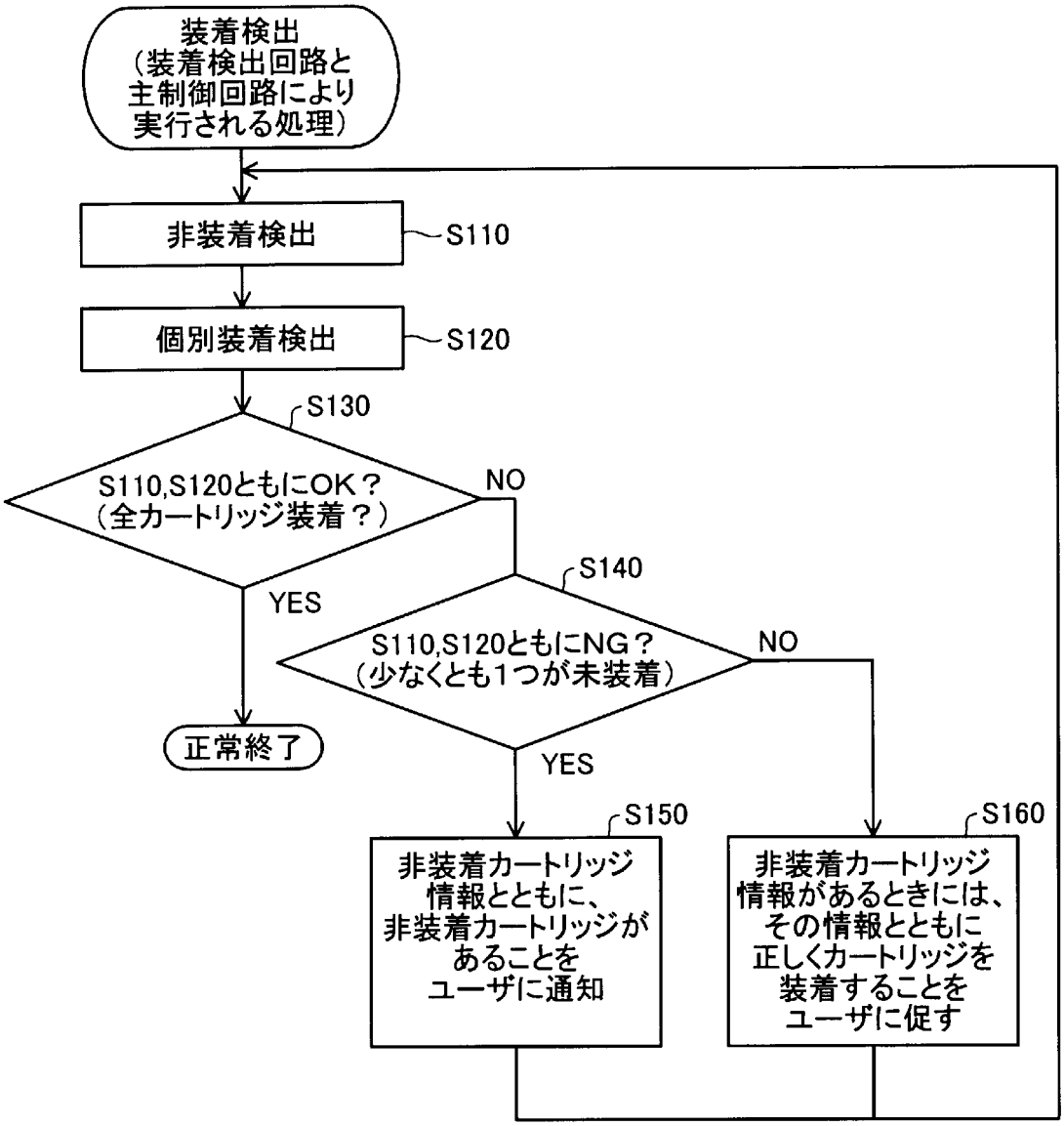
[図23D]


20V
10V
V_{DET}
IC4
IC3
IC2
IC1
●:装着
○:非装着

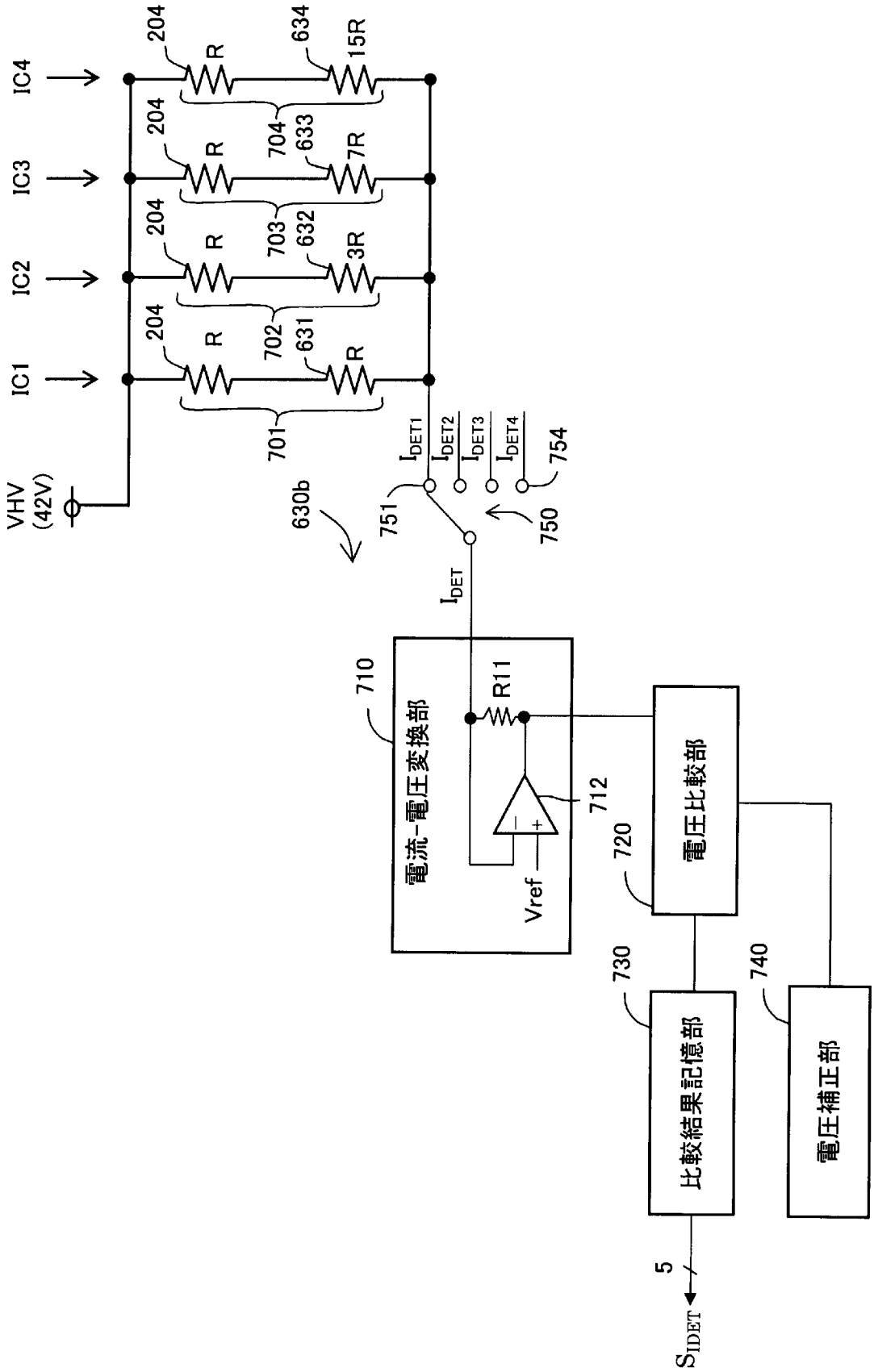
[図24]


630
I_{DET}
710
電流-電圧変換部
R11
712
Vref
V_{DET}
720
電圧比較部
722
しきい値電圧生成部
Rm
R3
R2
R1
Vref
723
Vth(j)
724
726
切換制御部
AGND
730
比較結果記憶部
732
734
IC4検出ビット
IC3検出ビット
IC2検出ビット
IC1検出ビット
異常フラグビット
5
S_{IDET}
740
電圧補正部
R22
R21
742
Vref
VHO

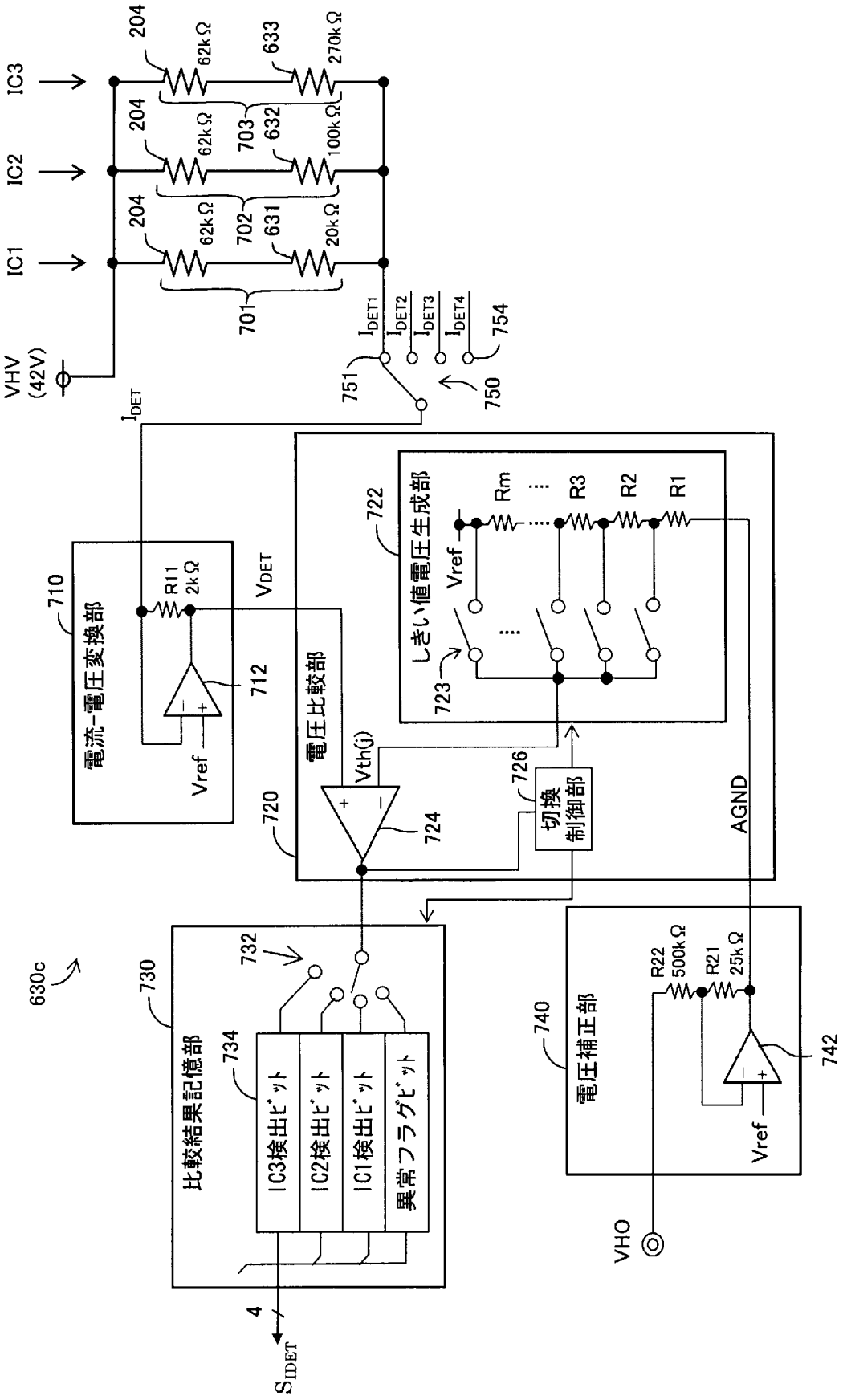
[図25]


装着検出
（装着検出回路と
主制御回路により
実行される処理）
非装着検出
S110
個別装着検出
S120
S130
S110,S120ともにOK？
（全カートリッジ装着？）
NO
YES
S140
S110,S120ともにNG？
（少なくとも1つが未装着）
NO
YES
正常終了
S150
非装着カートリッジ
情報とともに、
非装着カートリッジが
あることを
ユーザに通知
S160
非装着カートリッジ
情報があるときには、
その情報とともに
正しくカートリッジを
装着することを
ユーザに促す

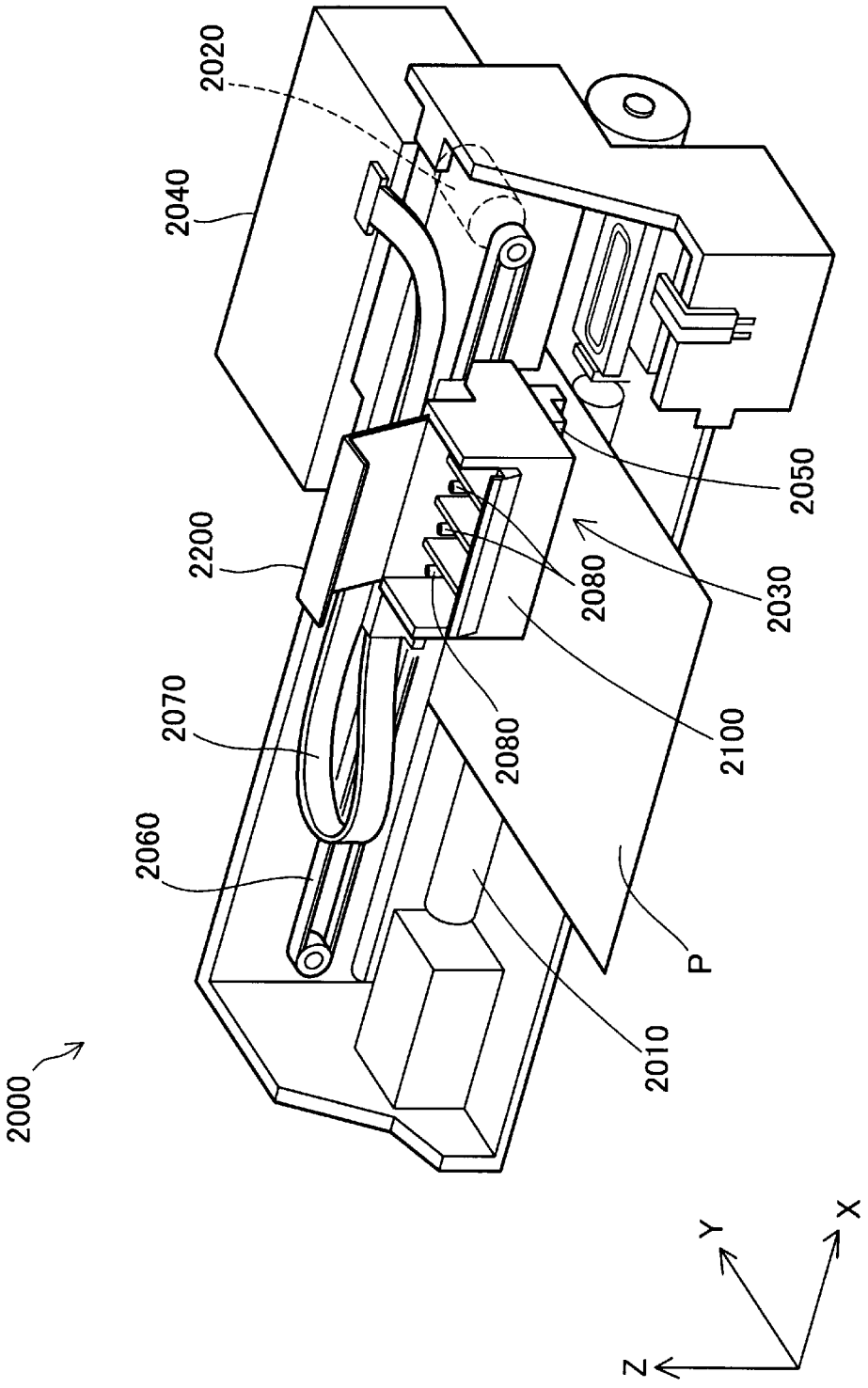
[図26A]


IC4
IC3
IC2
IC1
VHV
(42V)
204
R
634
15R
704
633
7R
703
632
3R
702
631
R
701
630b
751
750
754
I_{DET1}
I_{DET2}
I_{DET3}
I_{DET4}
I_{DET}
710
電流-電圧変換部
R11
712
Vref
720
電圧比較部
730
比較結果記憶部
740
電圧補正部
5
S_{IDET}

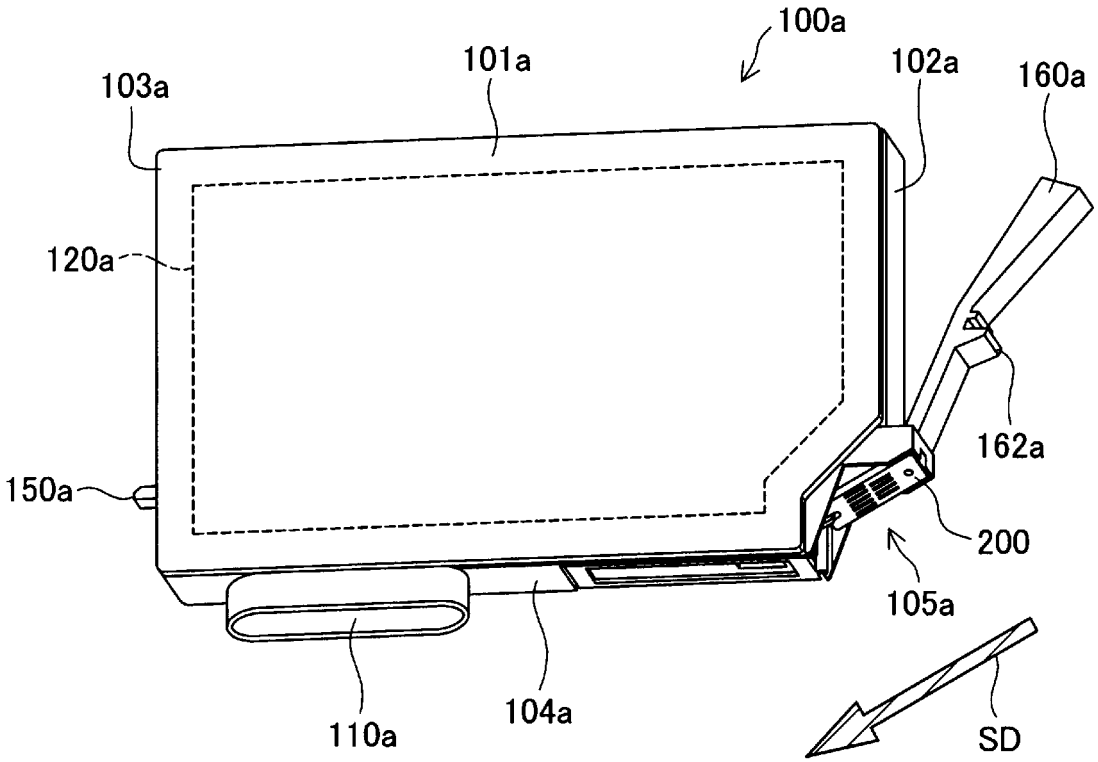
[図26B]

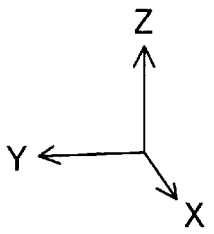

IC3
IC2
IC1
204
62kΩ
633
270kΩ
703
632
100kΩ
702
631
20kΩ
701
VHV
(42V)
IDET1
IDET2
IDET3
IDET4
754
751
750
IDET
710
電流-電圧変換部
R11
2kΩ
712
Vref
VDET
720
電圧比較部
Vth(j)
724
722
しきい値電圧生成部
Rm
R3
R2
R1
723
726
切換
制御部
AGND
630c
730
比較結果記憶部
732
734
IC3検出ビット
IC2検出ビット
IC1検出ビット
異常フラグビット
4
SIDET
740
電圧補正部
R22
500kΩ
R21
25kΩ
742
VHO

[図27]

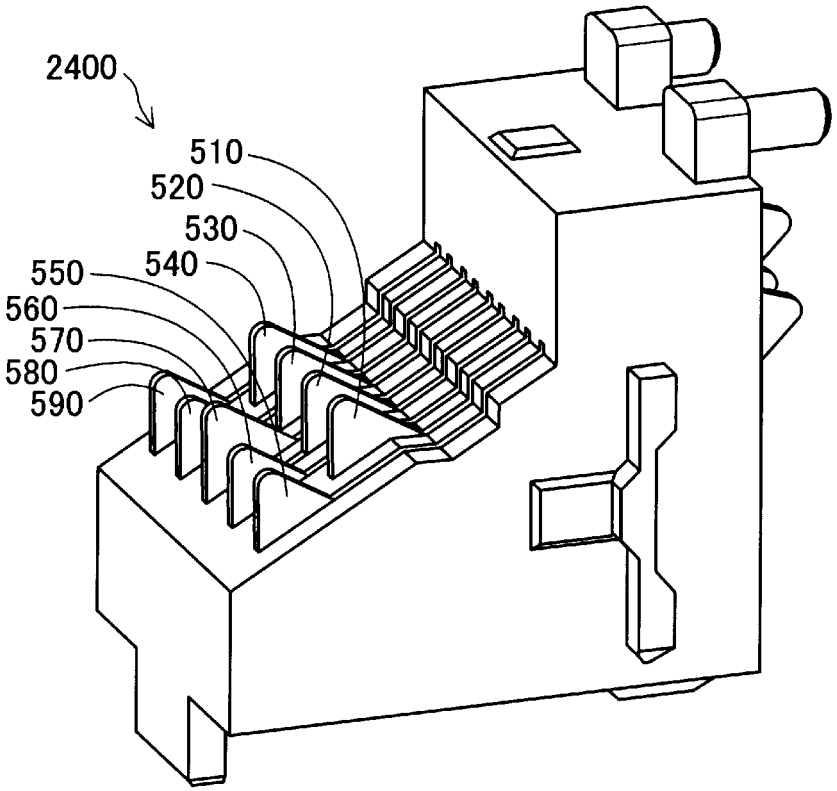

2020
2040
2050
2200
2080
2030
2070
2080
2100
2060
P
2010
2000
Y
X
Z

[図28]

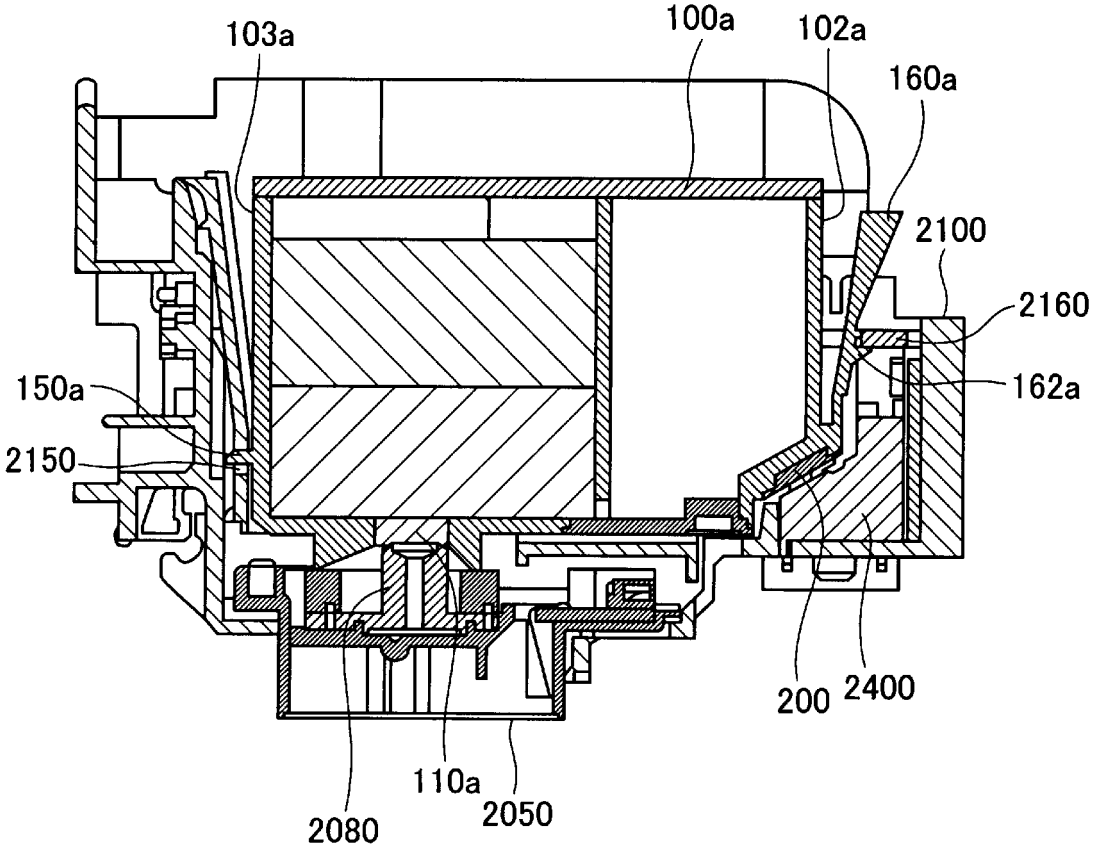

100a
101a
102a
160a
103a
120a
150a
162a
200
105a
110a
104a
SD


Z
Y
X

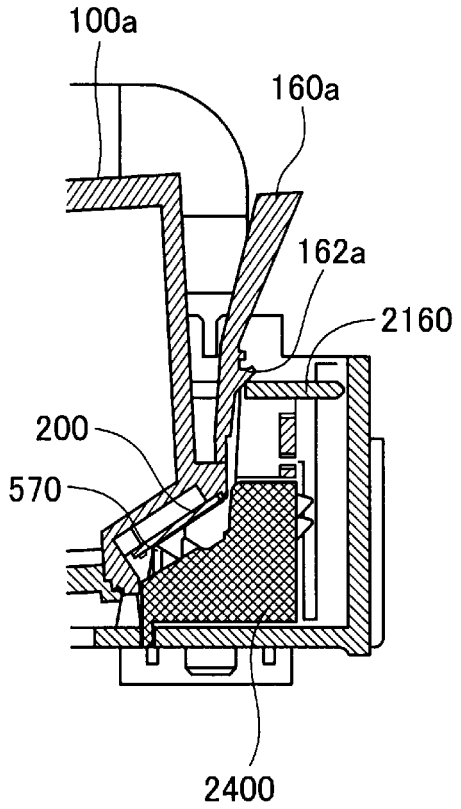
[図29]


2400
510
520
530
540
550
560
570
580
590

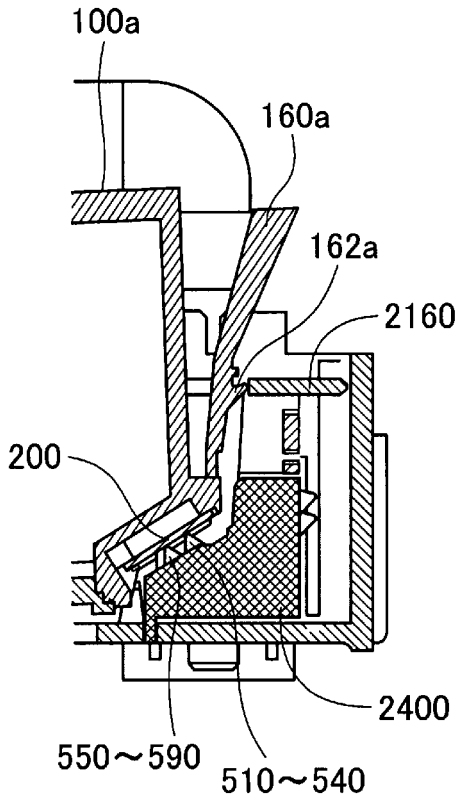
[図30]


103a
100a
102a
160a
2100
2160
150a
162a
2150
200
2400
110a
2050
2080

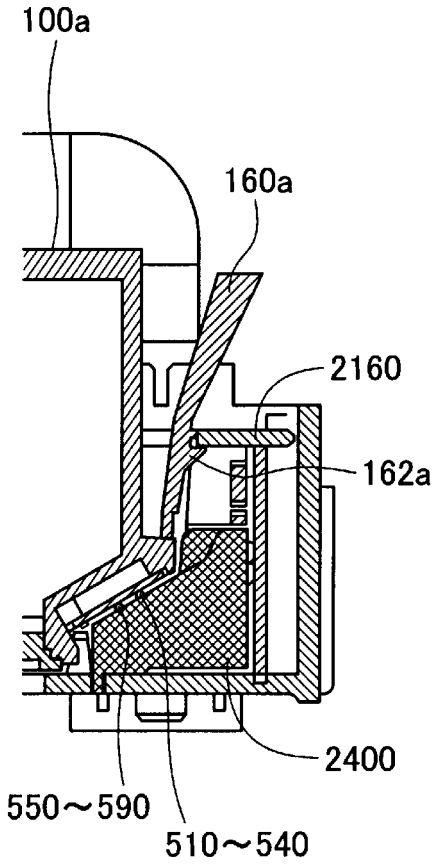
[図31A]


100a
160a
162a
2160
200
570
2400

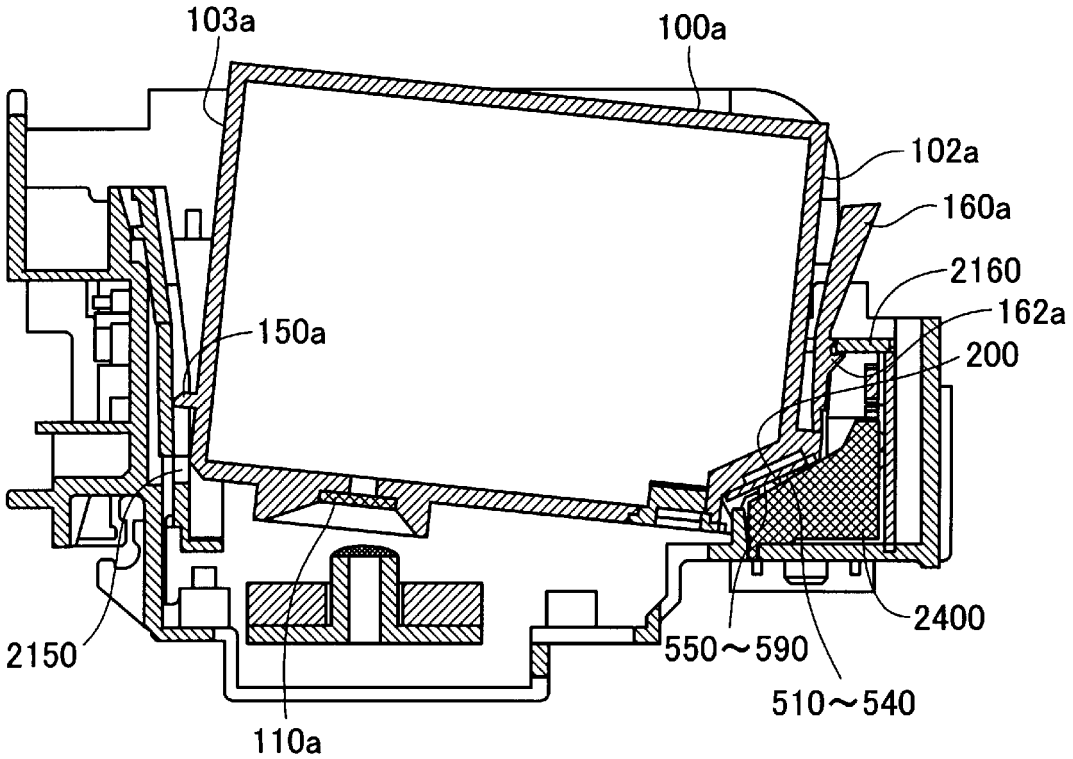
[図31B]


100a
160a
162a
2160
200
2400
550～590
510～540

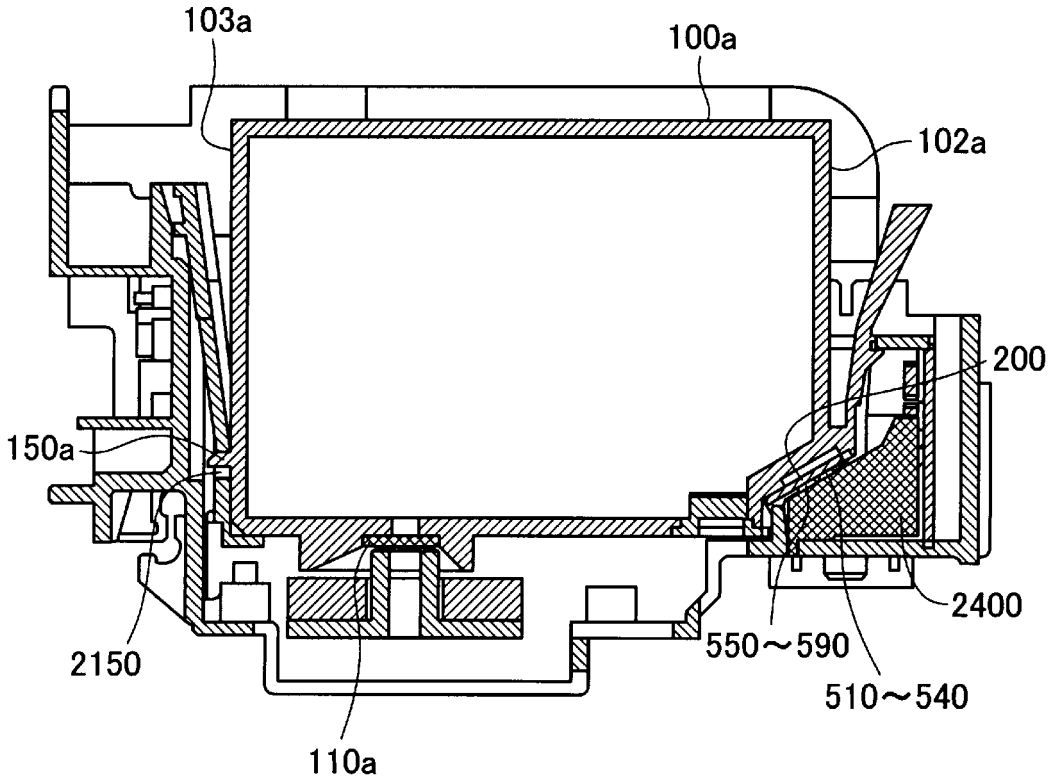
[図31C]


100a
160a
2160
162a
2400
550～590
510～540

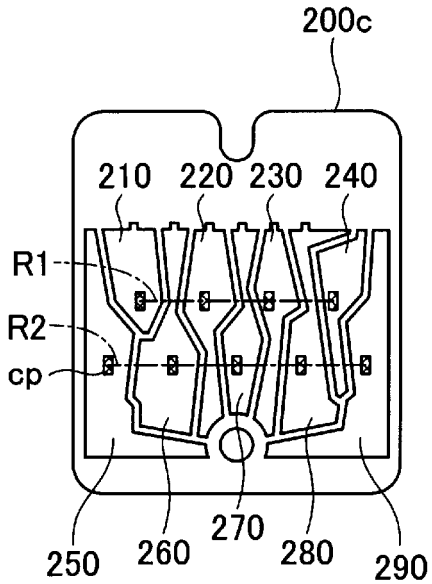
[図32A]


103a
100a
102a
160a
2160
162a
200
150a
2400
2150
550～590
510～540
110a

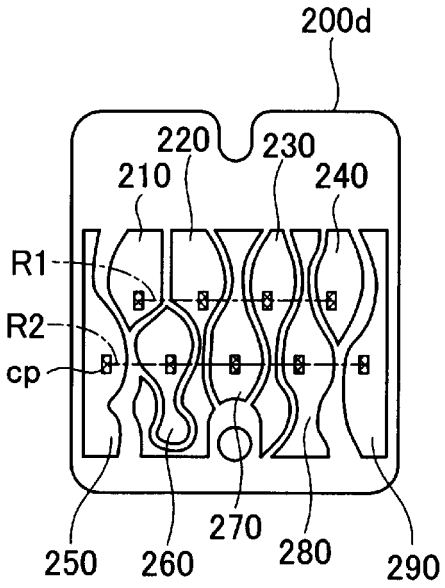
[図32B]


103a
100a
102a
200
150a
2400
2150
550～590
510～540
110a

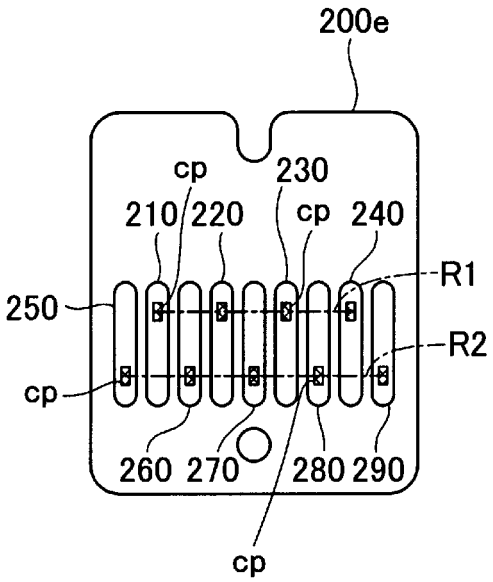
[図33A]


200c
210
220
230
240
R1
R2
cp
250
260
270
280
290

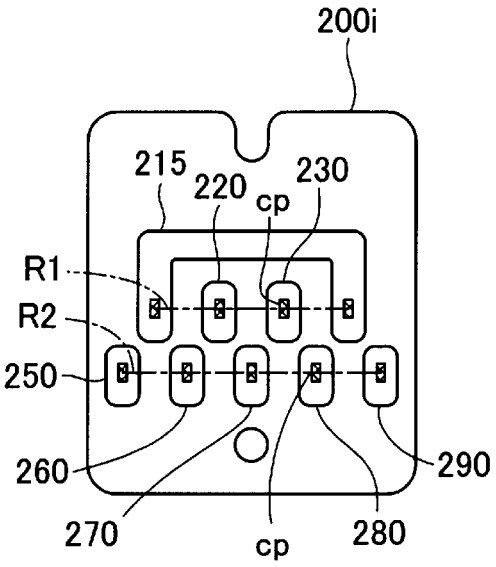
[図33B]


200d
220
230
210
240
R1
R2
cp
250
260
270
280
290

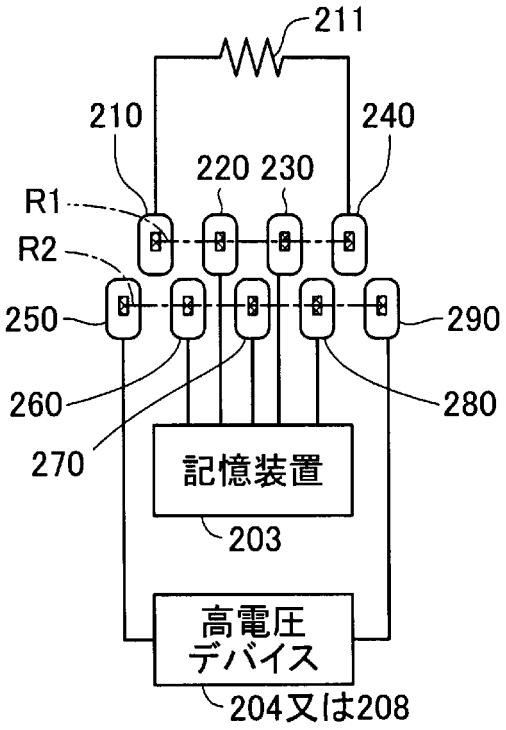
[図33C]


200e
cp
230
210
220
cp
240
R1
250
R2
cp
260
270
280
290
cp

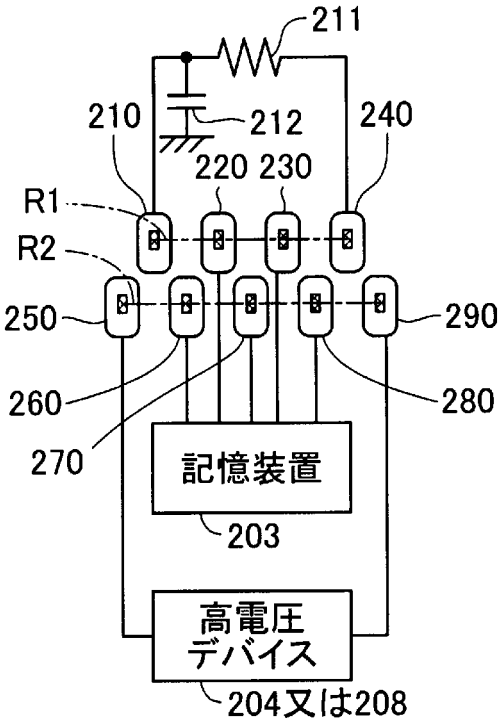
[図33D]


200i
215
220
cp
230
R1
R2
250
260
270
cp
280
290

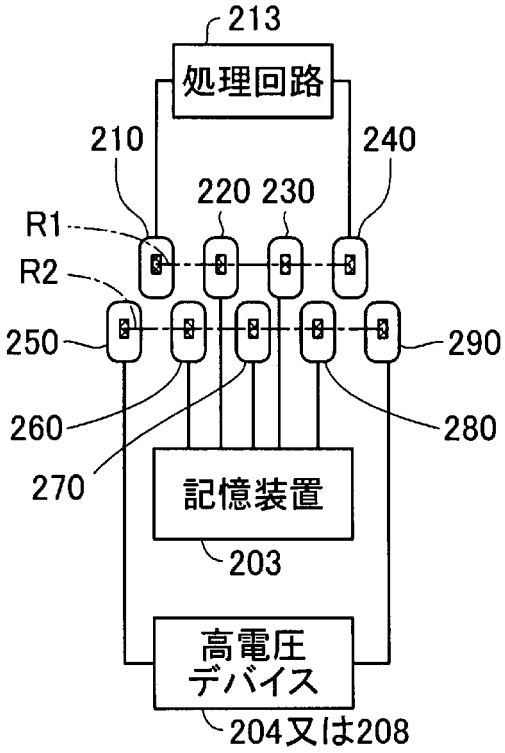
[図33E]


211
210
240
220 230
R1
R2
250
290
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

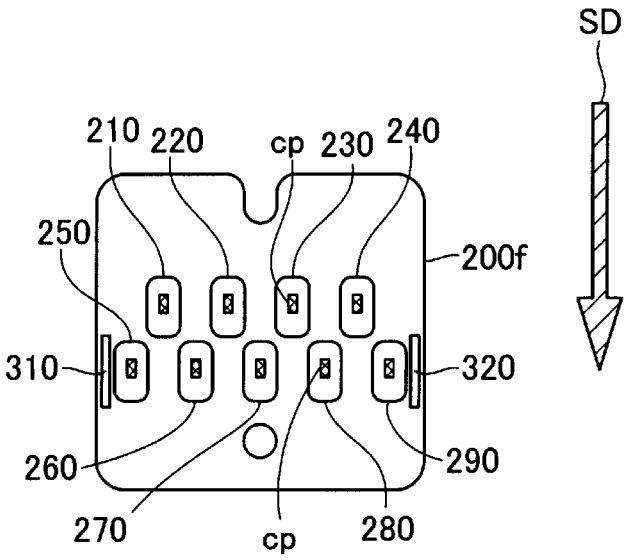
[図33F]


211
210
212
240
220 230
R1
R2
250
290
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

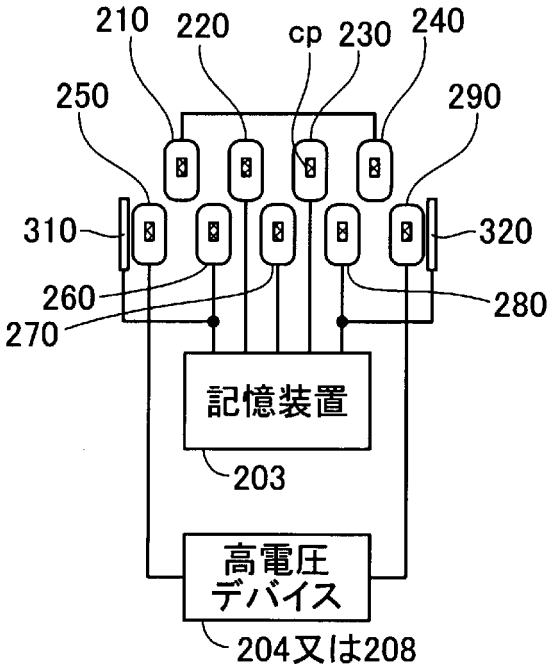
[図33G]


213
処理回路
210
240
220 230
R1
R2
250
290
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

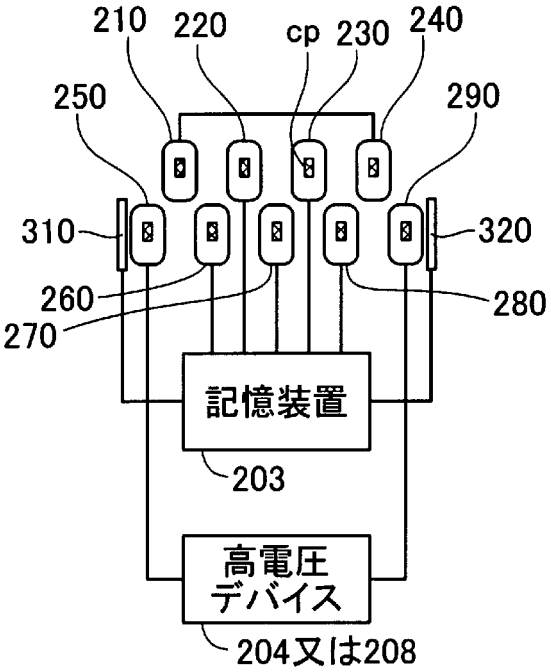
[図34A]


SD
210
220
cp
230
240
250
200f
310
320
260
290
270
cp
280

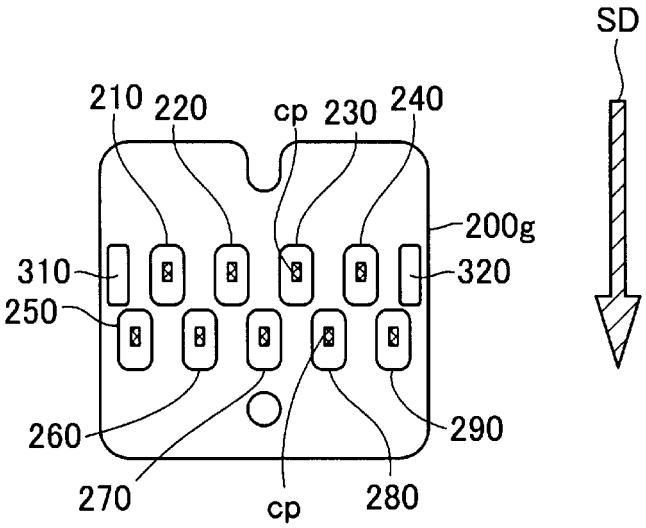
[図34B]


210
220
cp
230
240
250
290
310
320
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

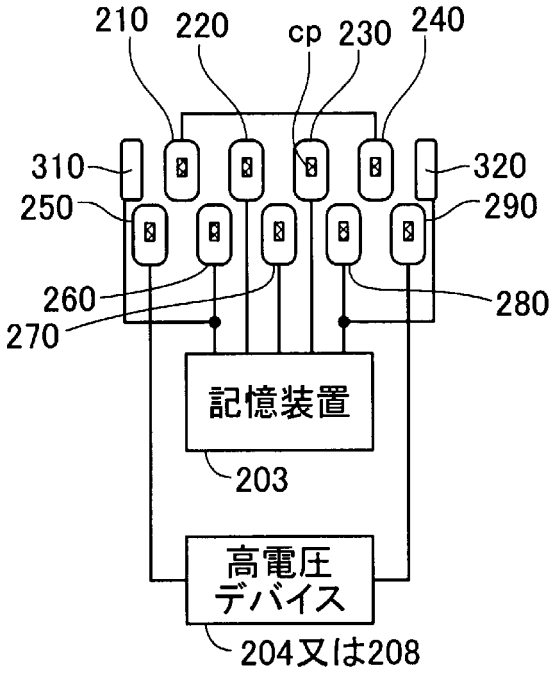
[図34C]


210
220
cp
230
240
250
290
310
320
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

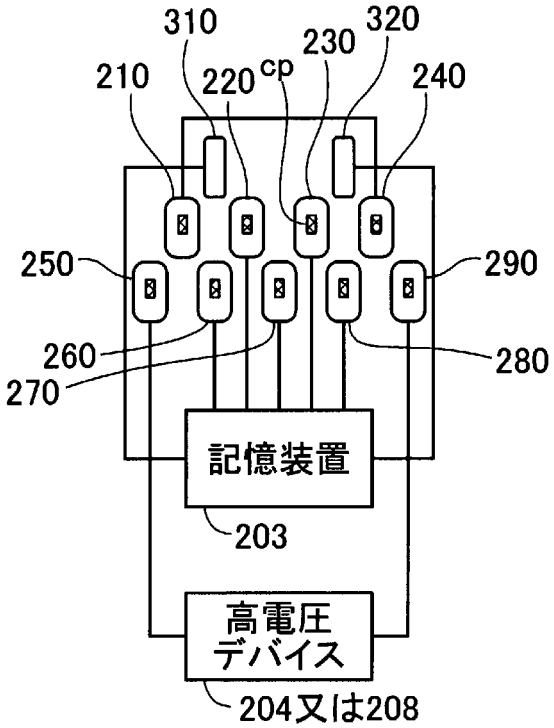
[図35A]


SD
210
220
cp
230
240
200g
310
320
250
260
290
270
cp
280

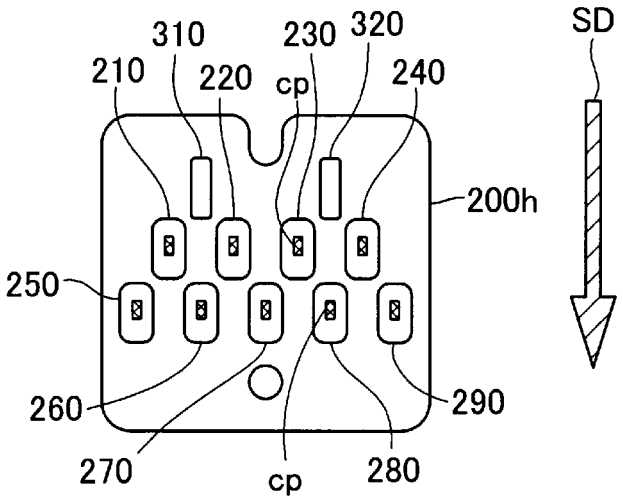
[図35B]


210
220
cp
230
240
310
320
250
290
260
270
280
記憶装置
203
高電圧
デバイス
204又は208

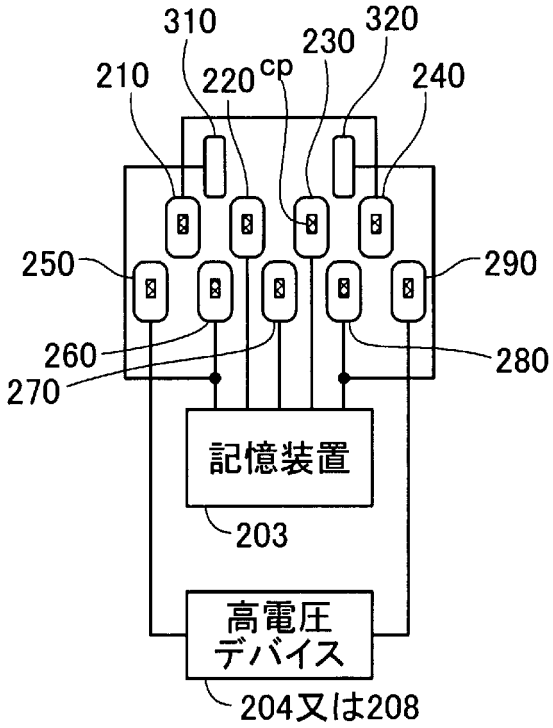
[図35C]


310
320
210
220
cp
230
240
250
290
260
270
280
記憶装置
203
高電圧
デバイス
204又は208

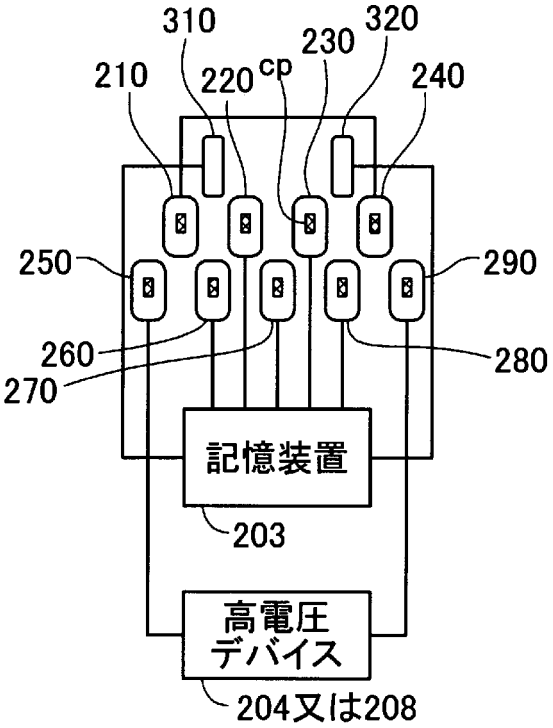
[図36A]


310
230
320
210
220
cp
240
SD
200h
250
260
290
270
cp
280

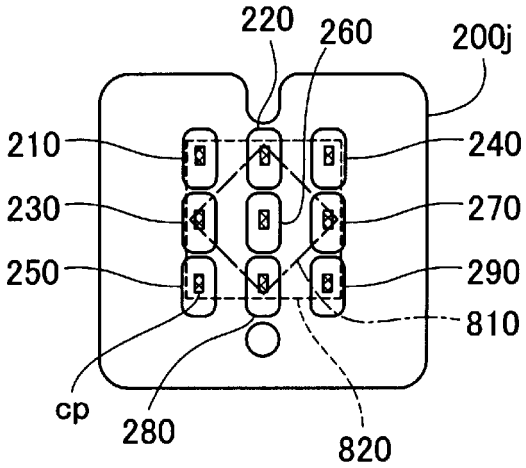
[図36B]


310
320
230
210
220
cp
240
250
290
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

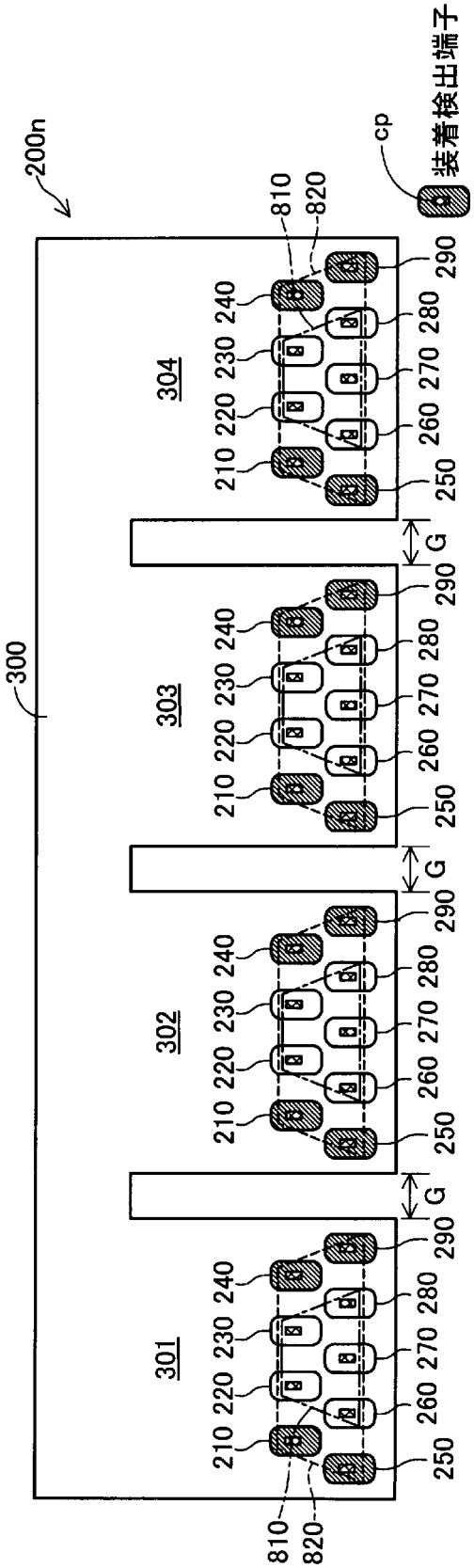
[図36C]


310
320
230
210
220
cp
240
250
290
260
280
270
記憶装置
203
高電圧
デバイス
204又は208

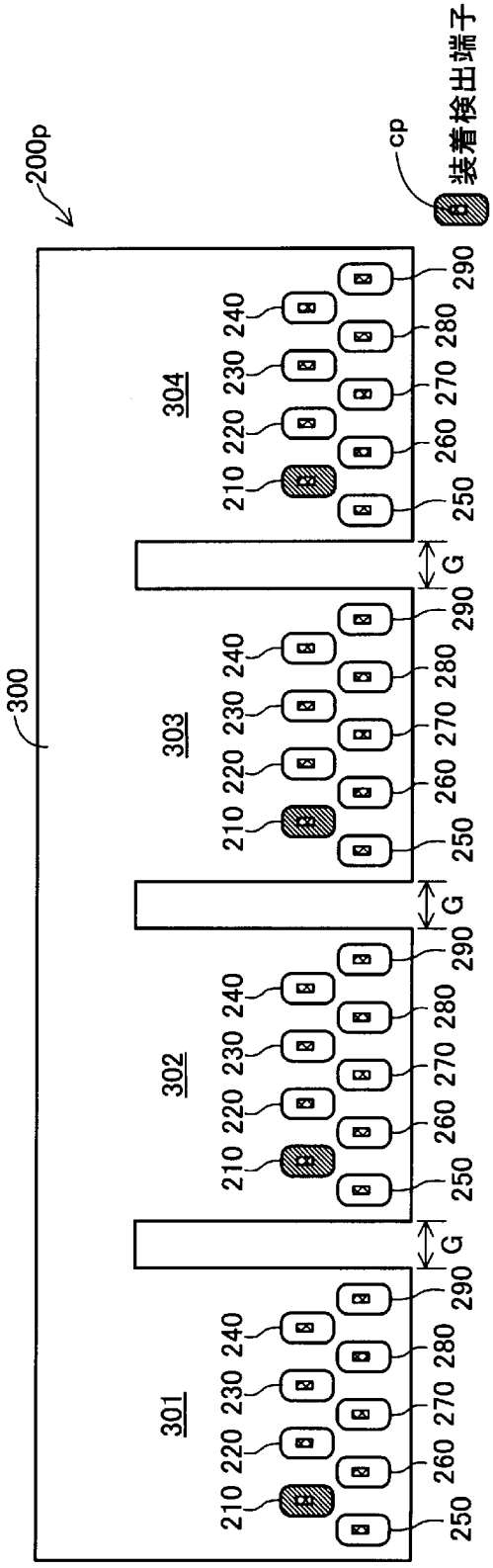
[図37]


220
260
200j
210
240
230
270
250
290
810
cp
280
820

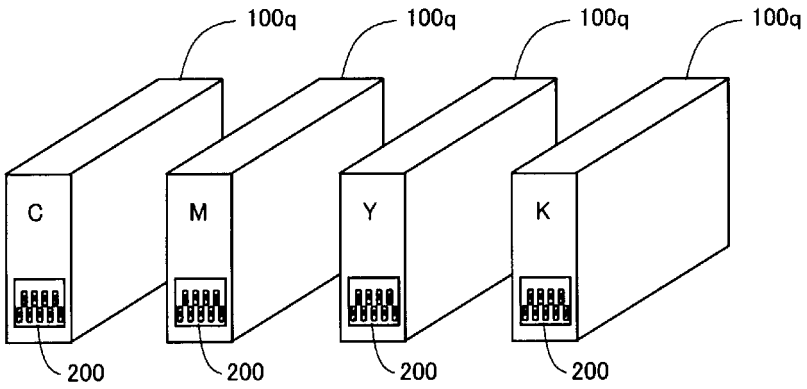
[図38A]


200n
300
301
302
303
304
210
220
230
240
250
260
270
280
290
810
820
G
cp
装着検出端子

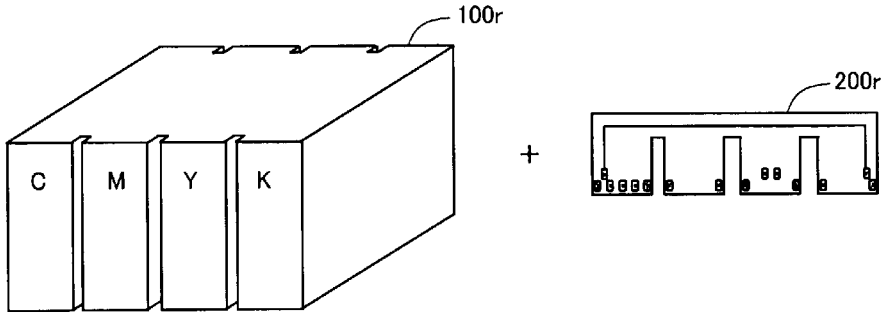
[図38B]


200p
cp
装着検出端子
300
301
302
303
304
210
220
230
240
250
260
270
280
290
G

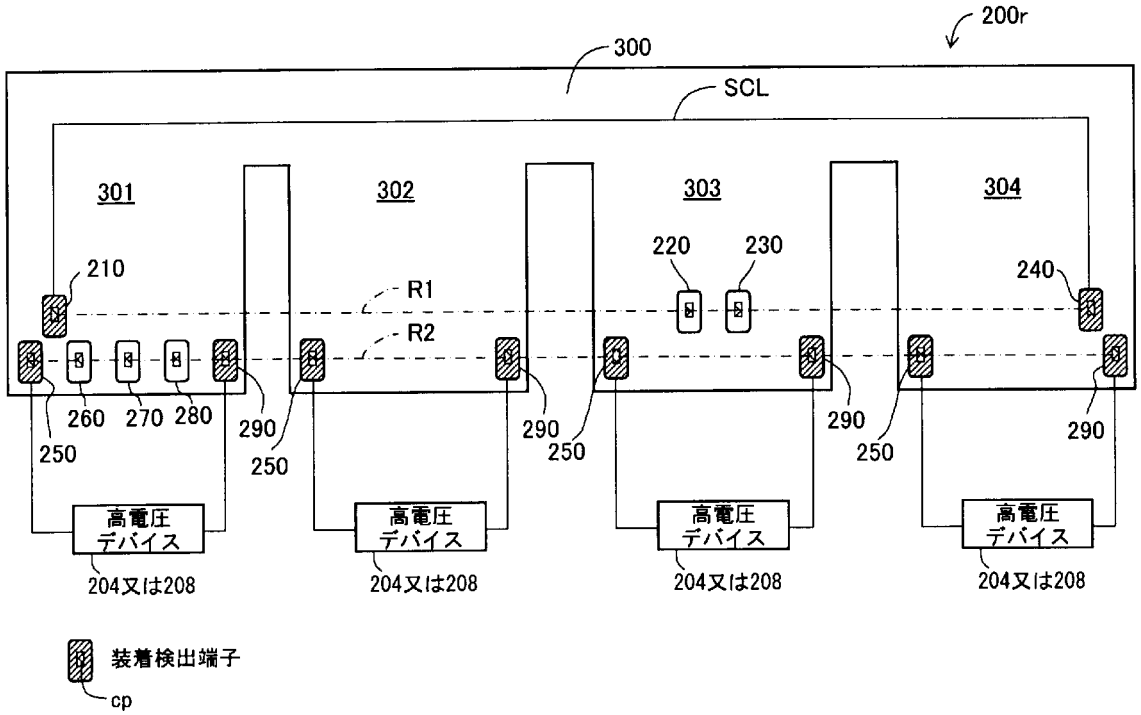
[図39A]



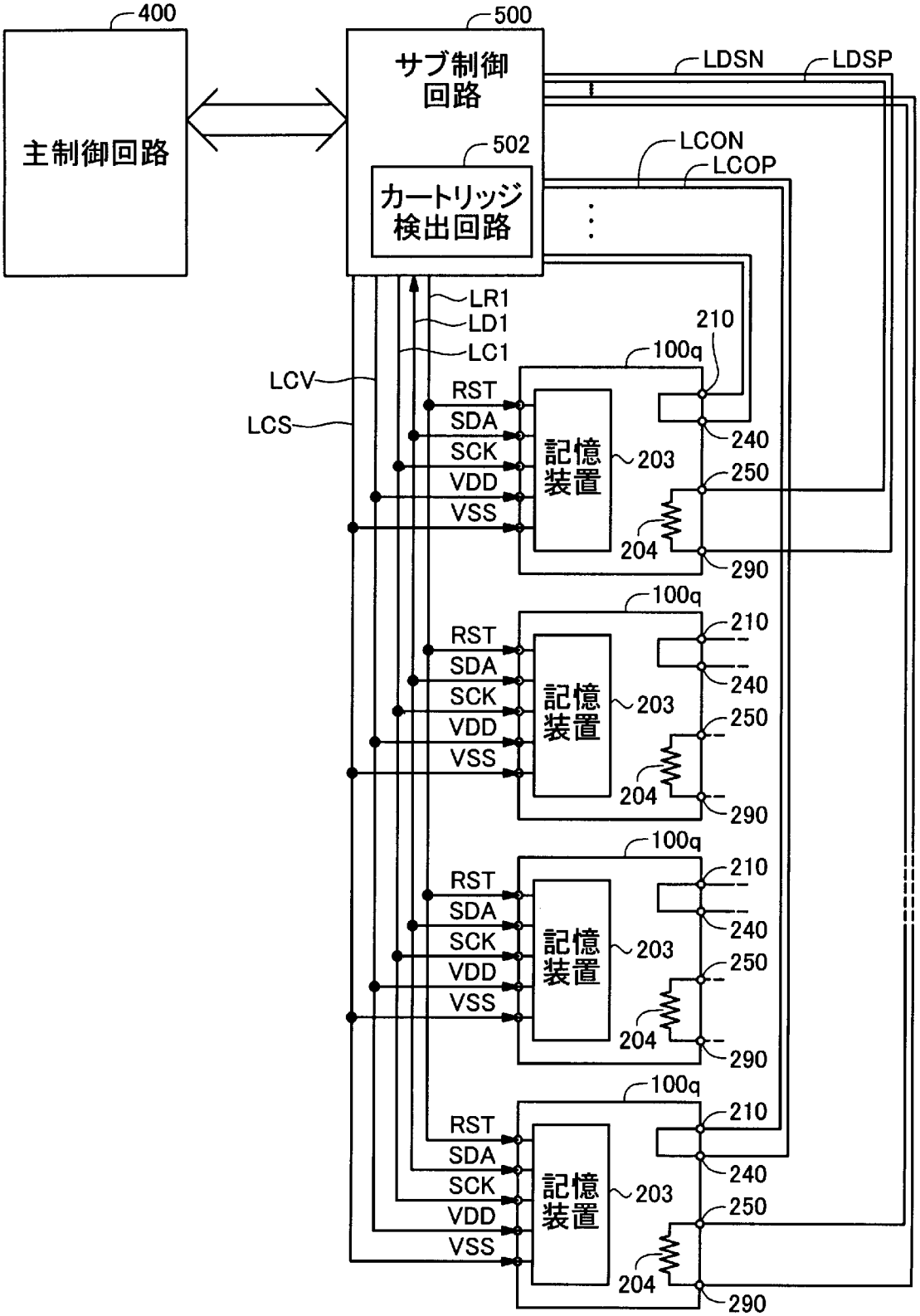
[図39B]



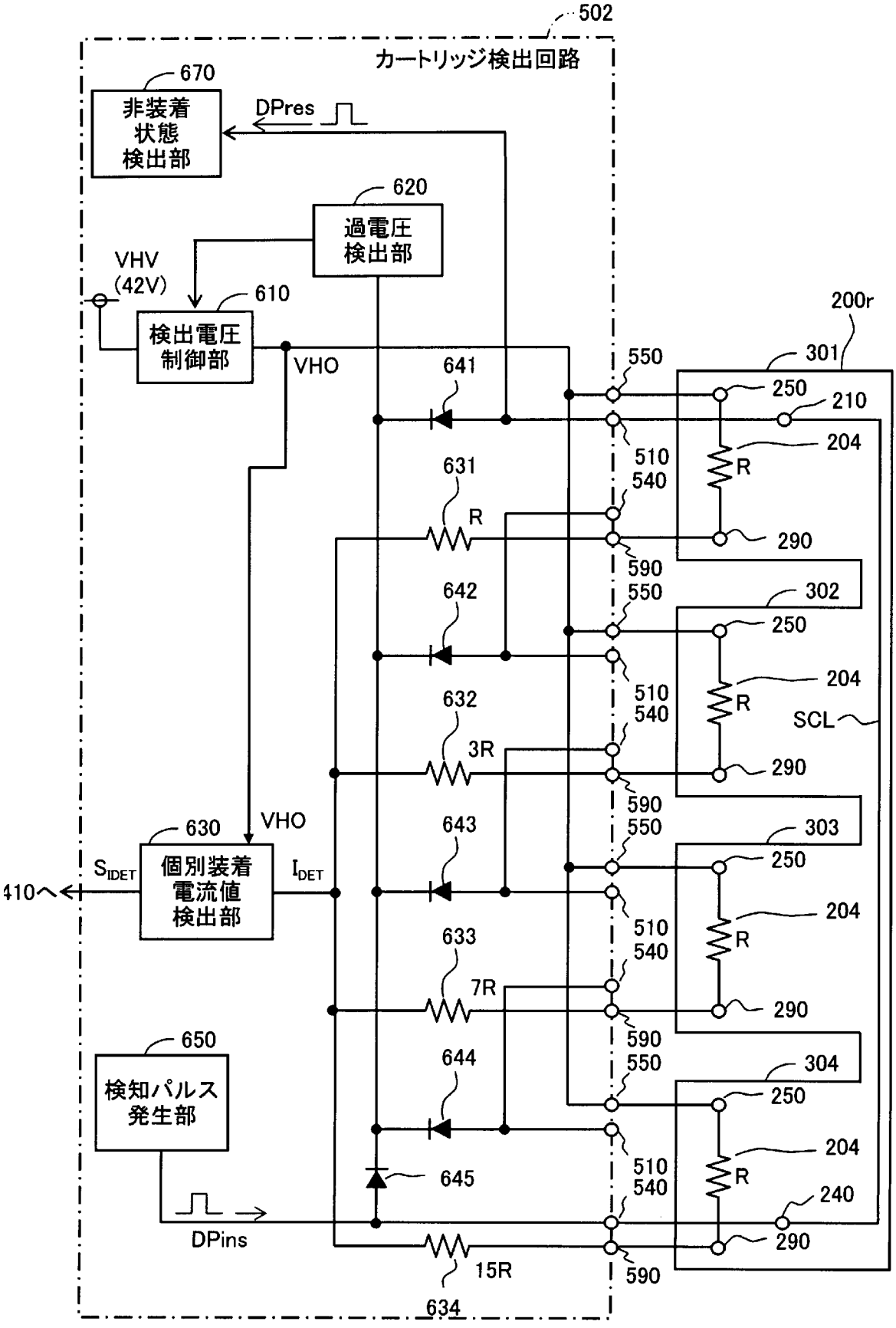
[図39C]



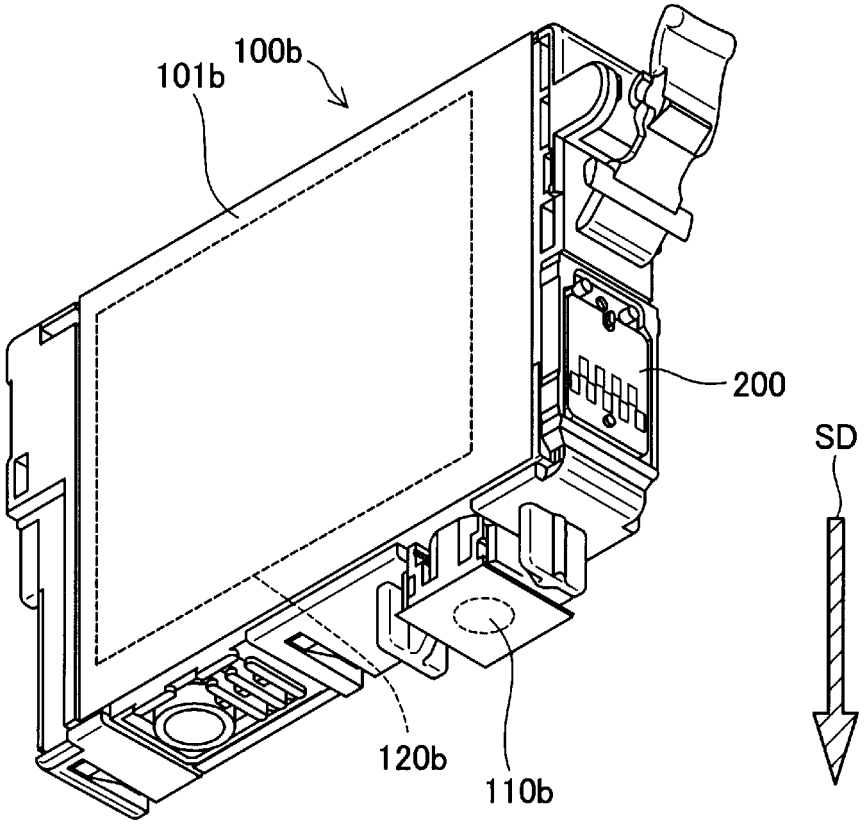
[図40]


400
主制御回路
500
サブ制御回路
502
カートリッジ検出回路
LDSN
LDSP
LCON
LCOP
LR1
LD1
LC1
LCV
LCS
RST
SDA
SCK
VDD
VSS
記憶装置
203
204
210
240
250
290
100q

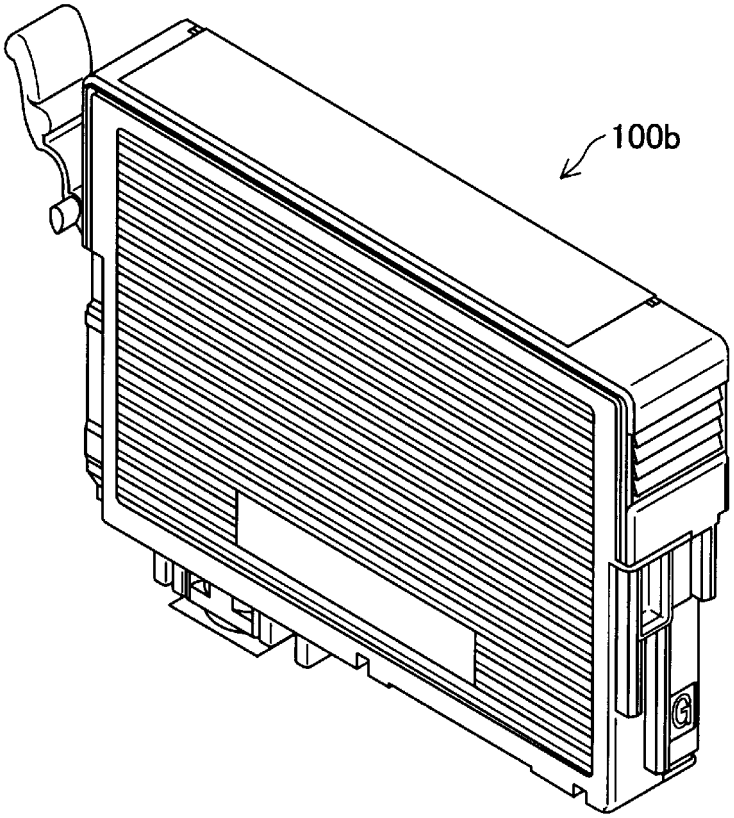
[図41]


502
カートリッジ検出回路
670
非装着
状態
検出部
DPres
620
過電圧
検出部
VHV
(42V)
610
検出電圧
制御部
VHO
641
631
R
642
632
3R
643
633
7R
644
645
650
検知パルス
発生部
DPins
15R
634
630
個別装着
電流値
検出部
SIDET
IDET
410へ
VHO
200r
301
302
303
304
550
590
510
540
250
210
204
R
290
240
SCL

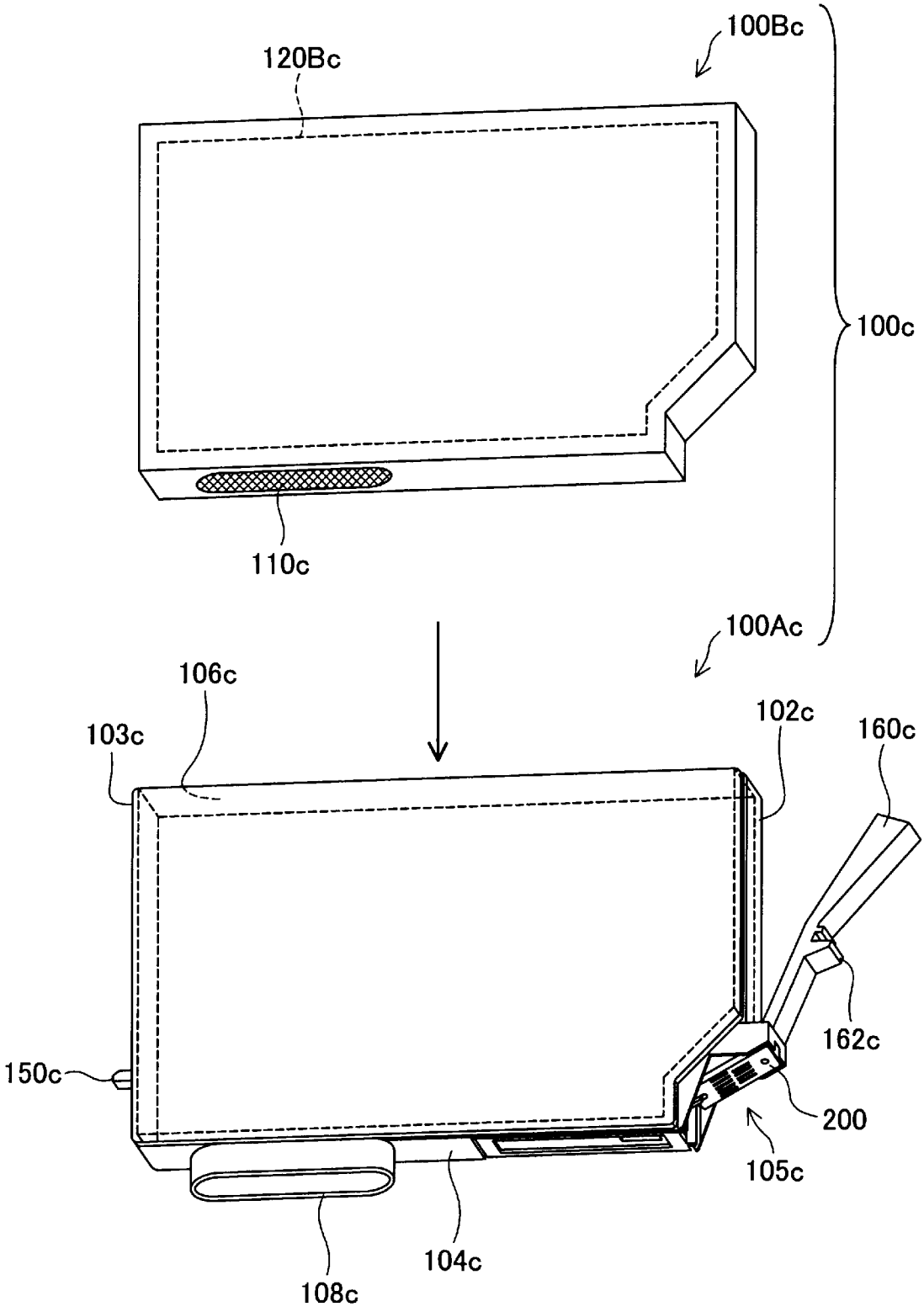
[図42A]



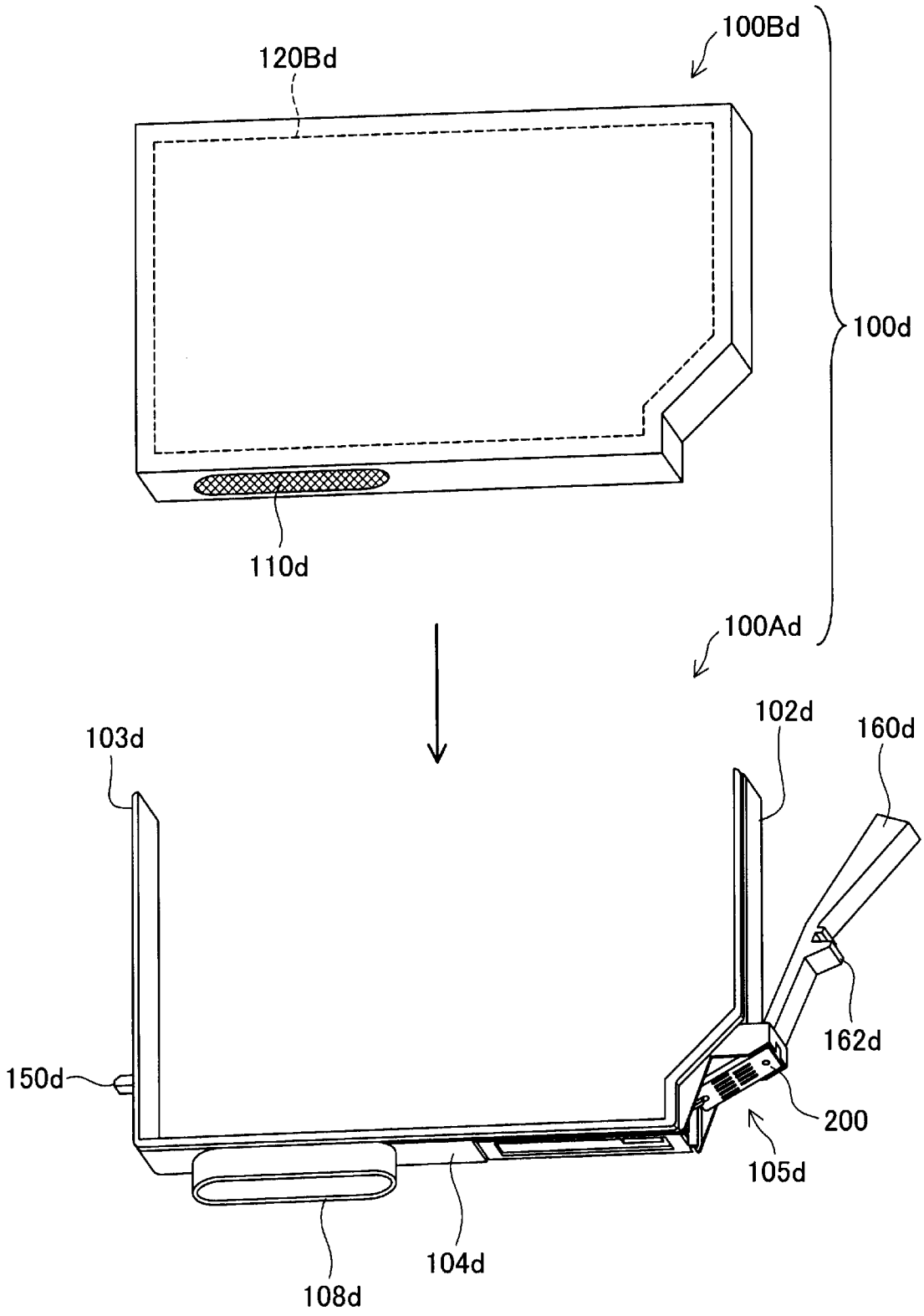
[図42B]



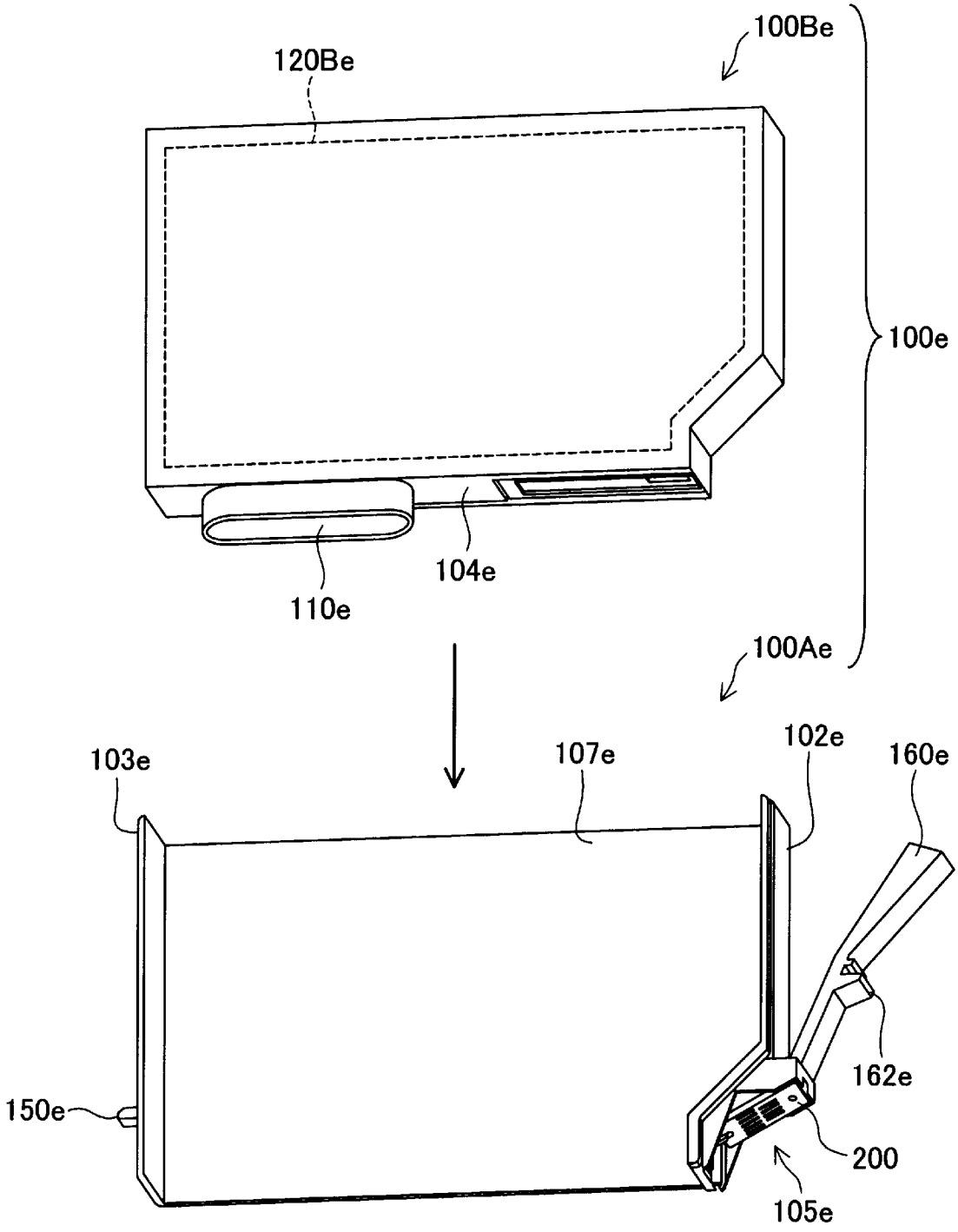
[図43]


100Bc
120Bc
100c
110c
100Ac
106c
103c
102c
160c
150c
162c
200
105c
104c
108c

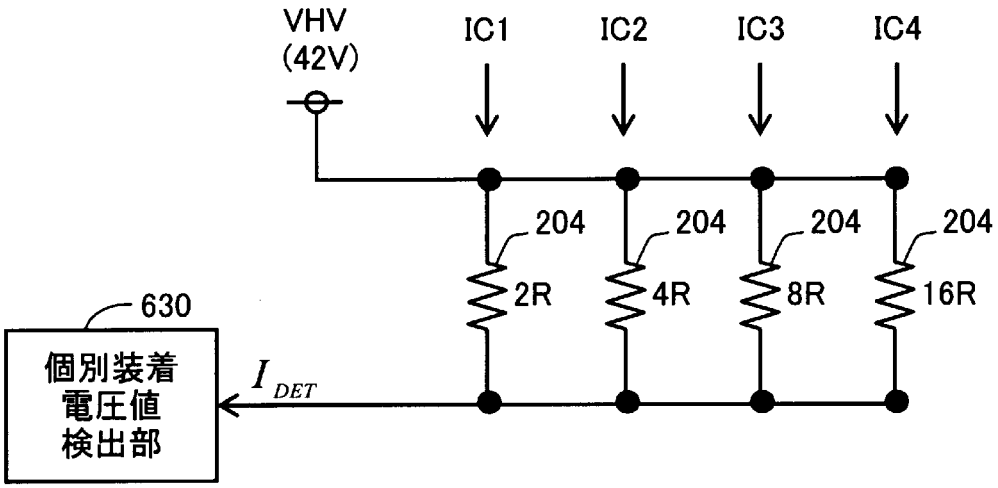
[図44]


100Bd
120Bd
100d
110d
100Ad
102d
160d
103d
162d
150d
200
105d
104d
108d

[図45]


100Be
120Be
100e
104e
110e
100Ae
103e
107e
102e
160e
162e
150e
200
105e

[図46]


VHV
(42V)
IC1
IC2
IC3
IC4
204
204
204
204
2R
4R
8R
16R
630
個別装着
電圧値
検出部
I_{DET}