

明 細 書

発明の名称：不揮発性半導体記憶装置

技術分野

[0001] 本発明は、不揮発性半導体記憶装置に関するものである。

背景技術

[0002] 従来、不揮発性半導体記憶装置としては、例えば量子トンネル効果により、メモリセルトランジスタの電荷蓄積層内に電荷を蓄積させることで、データを書き込む不揮発性半導体記憶装置が知られている（例えば、特許文献 1 参照）。實際上、図 6 に示すように、この種の不揮発性半導体記憶装置 100 は、上位ビット線 101a, 101b とワード線 102a ~ 102h とが交差するように配置され、これら上位ビット線 101a, 101b とワード線 102a ~ 102h とに対して複数のメモリセルトランジスタ 103 が行列状に配置された構成を有する。

[0003] 上位ビット線 101a には、複数の第 1 半導体スイッチ 104a, 104c が設けられており、各第 1 半導体スイッチ 104a, 104c にそれぞれ 1 つの下位ビット線 105a, 105c が接続されている。また、この実施の形態の場合、他方の上位ビット線 101b にも、同様に、複数の第 1 半導体スイッチ 104b, 104d が設けられており、各第 1 半導体スイッチ 104b, 104d にそれぞれ 1 つの下位ビット線 105b, 105d が接続されている。このような不揮発性半導体記憶装置 100 は、各下位ビット線 105a, 105b, 105c, 105d 毎にメモリブロック 106a, 106b, 106c, 106d を構成しており、各メモリブロック 106a, 106b, 106c, 106d 毎に複数のメモリセルトランジスタ 103 を有している。

[0004] ここで、第 1 半導体スイッチ 104a, 104b, 104c, 104d は、N 型 MOS (Metal-Oxide-Semiconductor) トランジスタから構成されている。そして、例えばメモリブロック 106a の第 1 半導体スイッチ 104a は、ソースに上位ビット線 101a が接続され、ドレインに下位ビット線 105a が接続されており、メモリブロック 106a と行方向に並ぶ他のメモリブロック 106b と共有する第 1 選択ゲート線 108a がゲートに接続されている。かくして、図 6 の上段に配置したメモリブロ

ック106a, 106bに設けられた2つの第1半導体スイッチ104a, 104bには、共通した1つの第1選択ゲート線108aから所定のゲート電圧が一律に印加され得るようになされている。

[0005] また、図6の下段にて行方向に並ぶ2つのメモリブロック106c, 106dでも、同様に2つの第1半導体スイッチ104c, 104dに対して1つの第1選択ゲート線108bが接続されており、この共通した第1選択ゲート線108bから2つの第1半導体スイッチ104c, 104dに所定のゲート電圧が一律に印加され得るようになされている。

[0006] これに加えて、上位ソース線110aには、複数の第2半導体スイッチ111a, 111bが設けられており、各第2半導体スイッチ111a, 111bにそれぞれ1つの下位ソース線112a, 112bが接続されている。また、他方の上位ソース線110bにも、同様に、複数の第2半導体スイッチ111c, 111dが設けられており、各第2半導体スイッチ111c, 111dにそれぞれ1つの下位ソース線112c, 112dが接続されている。そして、これら第2半導体スイッチ111a, 111b, 111c, 111dは、第1半導体スイッチ104a, 104b, 104c, 104dと同じ極性のN型MOSトランジスタから構成されている。

[0007] ここで、例えばメモリブロック106aの第2半導体スイッチ111aは、ソースに上位ソース線110aが接続されているとともに、ドレインに下位ソース線112aが接続されており、行方向に並ぶ上段の他のメモリブロック106bと共有する第2選択ゲート線113aがゲートに接続されている。かくして、上段の異なるメモリブロック106a, 106bに設けられた2つの第2半導体スイッチ111a, 111bには、共通した1つの第2選択ゲート線113aから所定のゲート電圧が一律に印加され得るようになされている。

[0008] また、下段の行方向に並ぶ2つのメモリブロック106c, 106dでも、同様に2つの第2半導体スイッチ111c, 111dに対して1つの第2選択ゲート線113bが接続されており、この共通した第2選択ゲート線113bから2つの第2半導体スイッチ111c, 111dに所定のゲート電圧が一律に印加され得るようになされている。

[0009] また、例えばメモリブロック106aの各メモリセルトランジスタ103は、下位ビット線105aに一端が接続されているとともに、下位ソース線112aに他端が接続され、下位ビット線105a及び下位ソース線112a間に並列に配置されている。このメモリブロック106aのこれらメモリセルトランジスタ103には、行方向に並ぶ異なるメモリブロック106bと共有するワード線102a, 102b, 102c, 102dが制御ゲートに接続されている。これにより、例えば共通化した1つのワード線102aは、上段のメモリブロック106aの1つのメモリセルトランジスタ103と、これと行方向に並ぶ同じく上段の他のメモリブロック106bの1つのメモリセルトランジスタ103とに対し、所定のゲート電圧を一律に印加し得るようになされている。

[0010] 因みに、メモリセルトランジスタ103は、全て同一構成を有しており、半導体基板に所定の間隔を設けて形成された一端及び他端間にチャネル領域を備え、半導体基板のチャネル領域上にトンネル絶縁層を介して電荷蓄積層、層間絶縁層及び制御ゲートが順に積層された構造を有する。このようなメモリセルトランジスタ103は、Nチャネル型からなり、一端及び他端間と、制御ゲートとに印加される電圧により、電荷蓄積層内に電荷を注入してデータを書き込んだり、或いは電荷蓄積層に蓄積した電荷を引き抜き、データを消去し得る。

[0011] かかる構成でなる不揮発性半導体記憶装置100は、これら上位ビット線101a, 101bや上位ソース線110a, 110b、ワード線102a~102hにそれぞれ印加する電圧を調整するとともに、第1半導体スイッチ104a~104d及び第2半導体スイッチ111a~111dのオンオフ状態を制御することで、所定のメモリセルトランジスタ103に対するデータの書き込みや、所定のメモリセルトランジスタ103からのデータの読み出し、メモリセルトランジスタ103に書き込まれたデータの消去を実行し得るようになされている。

[0012] 図6では、メモリブロック106aの第1行目のメモリセルトランジスタ103をデータが書き込まれる選択メモリセルトランジスタ115とし、それ以外の全てのメモリセルトランジスタ103をデータが書き込まれない非選択メモリセルトラ

ンジスタ116としている。

[0013] なお、ここでは、説明の便宜上、選択メモリセルトランジスタ115が配置されたメモリブロック106aを選択ブロック117と呼び、非選択メモリセルトランジスタ116しか配置されていないメモリブロック106b, 106c, 106dを非選択ブロック118と呼ぶ。

[0014] 實際上、不揮発性半導体記憶装置100では、例えば選択ブロック117において第1列目の選択メモリセルトランジスタ115にだけデータを書き込む場合、複数のワード線102a~102hのうち、選択メモリセルトランジスタ115に接続されたワード線（以下、これを選択ワード線と呼ぶ）120に高電圧の12[V]を印加し、それ以外の他の選択ワード線（以下、これを非選択ワード線と呼ぶ）121に低電圧の4[V]を印加する。

[0015] また、このとき不揮発性半導体記憶装置100では、選択メモリセルトランジスタ115が接続された上位ビット線（ここでは、これを選択ビット線と呼ぶ）122に、低電圧な0[V]の書き込み電圧を印加し得るとともに、非選択メモリセルトランジスタ116のみが接続された上位ビット線（ここでは、これを非選択ビット線と呼ぶ）123に、高電圧な8[V]の書き込み禁止電圧を印加し得る。さらに、この不揮発性半導体記憶装置100では、選択ブロック117に接続された第1選択ゲート線108aから第1半導体スイッチ104a, 104bに対し、非選択ビット線123の電圧よりも高い10[V]のゲート電圧を印加し得るとともに、第2選択ゲート線113aから第2半導体スイッチ111a, 111bに0[V]のゲート電圧を印加し得る。

[0016] これにより、不揮発性半導体記憶装置100では、非選択ビット線123からの書き込み禁止電圧と、第1選択ゲート線108aからのゲート電圧とにより、非選択ビット線123の第1半導体スイッチ104bがオン状態に切り替わり、選択ワード線120と交差する非選択ビット線123上の非選択メモリセルトランジスタ116に8[V]の書き込み禁止電圧を印加し得る。このとき、第2半導体スイッチ111a, 111b, 111c, 111dは、上位ソース線110a, 110bから0[V]が印加され、第2選択ゲート線113a, 113bから0[V]が印加されることでオフ状態となり、

下位ソース線112a, 112b, 112c, 112dをフローティング状態とし得る。

[0017] かくして、選択ワード線120と、非選択ビット線123とが交差する非選択メモリセルトランジスタ116では、制御ゲート及び半導体基板間の電圧差が小さくなり、その結果、量子トンネル効果が発生することなく、電荷蓄積層中に電荷が注入され得ない。

[0018] また、このとき選択ビット線122からの書き込み電圧と、第1選択ゲート線108aからのゲート電圧とにより、選択ビット線122の第1半導体スイッチ104aがオン状態に切り替わり、選択ワード線120と交差する選択ビット線122上の選択メモリセルトランジスタ115に0 [V] の書き込み電圧を印加し得る。これにより、選択ワード線120と、選択ビット線122とが交差する選択メモリセルトランジスタ115では、選択ワード線120から印加される書き込みゲート電圧により、制御ゲート及び半導体基板間の電圧差が大きくなり、その結果、量子トンネル効果が発生して、当該選択メモリセルトランジスタ115にだけ電荷蓄積層中に電荷を注入し得る。その結果、不揮発性半導体記憶装置100では、選択メモリセルトランジスタ115にだけ電荷蓄積層中に電荷が蓄積して、データが書き込まれた状態となり得る。

先行技術文献

特許文献

[0019] 特許文献1：特開平10-144807号公報

発明の概要

発明が解決しようとする課題

[0020] しかしながら、かかる構成でなる不揮発性半導体記憶装置100では、選択ワード線120上の非選択メモリセルトランジスタ116に対し、非選択ビット線123から書き込み禁止電圧を印加する際、第1半導体スイッチ104bがN型MOSトランジスタから構成されていることから、この第1半導体スイッチ104bをオン状態にするためには、非選択ビット線123から印加される8 [V] の書き込み禁止電圧よりも高い10 [V] 程度のゲート電圧を印加させる必要があり、そ

の分だけ電圧が高くならざるを得ないという問題があった。

[0021] そして、この第1選択ゲート線108aは、非選択ビット線123の第1半導体スイッチ104bに接続されているだけでなく、選択メモリセルトランジスタ115に書き込み電圧を印加する選択ビット線122側の第1半導体スイッチ104aにも接続されていることから、非選択ビット線123側の第1半導体スイッチ104bをオン状態にするため比較的高く設定された10[V]のゲート高電圧が、選択ビット線122側の第1半導体スイッチ104aにもそのまま印加され得る。

[0022] このように非選択ビット線123側でオン状態となる第1半導体スイッチ104aと、選択ビット線122側でオン状態となる第1半導体スイッチ104bでは、それぞれ印加されるゲート電圧が一律に同じ電圧値となってしまう、選択メモリセルトランジスタに電荷を印加する際に、各ゲート電圧を個別に調整して各ゲート電圧の電圧値を低減させる等、自由に設定し難いという問題があった。

[0023] そこで、本発明は以上の点を考慮してなされたもので、選択メモリセルトランジスタに電荷を蓄積する際の電圧を従来よりも低減させたり自由に設定し得る不揮発性半導体記憶装置を提案することを目的とする。

課題を解決するための手段

[0024] かかる課題を解決するため本発明の請求項1は、電荷蓄積電圧又は電荷蓄積禁止電圧が印加される複数のメモリセル列配線と、前記複数のメモリセル列配線と複数のワード線とに対し行列状に配置されたNチャネル型の構成でなる複数のメモリセルトランジスタとを備え、前記電荷蓄積電圧と、前記ワード線に印加される電圧との電圧差を基に、前記複数のメモリセルトランジスタのうち選択メモリセルトランジスタに電荷を蓄積させる不揮発性半導体記憶装置であって、前記メモリセル列配線毎に設けられたP型MOSトランジスタでなる複数の第1半導体スイッチと、前記メモリセル列配線毎に設けられ、N型MOSトランジスタでなる複数の第2半導体スイッチとを備え、前記選択メモリセルトランジスタ以外の非選択メモリセルトランジスタのみが配置される非選択メモリセル列配線では、第1ゲート電圧により前記第1

半導体スイッチがオン状態になり、該第1半導体スイッチから前記非選択メモリセルトランジスタに前記電荷蓄積禁止電圧を印加し、前記選択メモリセルトランジスタが配置される選択メモリセル列配線では、第2ゲート電圧により前記第2半導体スイッチがオン状態になり、該第2半導体スイッチから前記選択メモリセルトランジスタに前記電荷蓄積電圧を印加することを特徴とする。

発明の効果

- [0025] 本発明によれば、選択メモリセルトランジスタに電荷を蓄積させる際、非選択メモリセルトランジスタへ電荷蓄積禁止電圧を印加する第1半導体スイッチとは別に、当該第1半導体スイッチとは逆極性でなる第2半導体スイッチを設け、第2ゲート電圧により当該第2半導体スイッチをオン状態にして選択メモリセルトランジスタへ電荷蓄積電圧を印加するようにしたことで、第1半導体スイッチをオン状態とする第1ゲート電圧と、第2半導体スイッチをオン状態とする第2ゲート電圧とを個別に設定でき、かくして、選択メモリセルトランジスタに電荷を蓄積する際の電圧を従来よりも自由に設定し得る。
- [0026] また、本発明によれば、例えば第1半導体スイッチをオン状態とする第1ゲート電圧と、第2半導体スイッチをオン状態とする第2ゲート電圧とを、互いに拘束されることなく、それぞれ個別にオン状態可能な低い電圧値まで下げることができるので、オン状態時の第1半導体スイッチ及び第2半導体スイッチの基板及びゲート間の電圧差を小さくして、各ゲート絶縁膜に印加される電界を従来よりも緩和させることもできる。
- [0027] また、本発明によれば、第1半導体スイッチとしてP型MOSトランジスタを適用し、第2半導体スイッチとしてN型MOSトランジスタを適用することで、P型MOSトランジスタをオン状態にする第1ゲート電圧を、比較的電圧値が高い電荷蓄積禁止電圧よりも低く抑えることができ、かくして、その分だけ従来よりも選択メモリセルトランジスタに電荷を蓄積する際の電圧を低減し得る。

図面の簡単な説明

[0028] [図1]第1の実施の形態による不揮発性半導体記憶装置の回路構成を示す回路図である。

[図2]第1の実施の形態による不揮発性半導体記憶装置のデータの書き込み動作時における各箇所の電圧値を示す回路図である。

[図3]不揮発性半導体記憶装置のデータの読み出し動作時における各箇所の電圧値を示す回路図である。

[図4]不揮発性半導体記憶装置のデータの消去動作時における各箇所の電圧値を示す回路図である。

[図5]第1変形例の書き込み動作時における各箇所の電圧値を示す回路図である。

[図6]従来の不揮発性半導体記憶装置の回路構成を示す回路図である。

符号の説明

- [0029] 1、25 不揮発性半導体記憶装置
2a、2b メモリセル列配線
9a、9b、9c、9d P型MOSトランジスタ（第1半導体スイッチ）
15a、15b、15c、15d N型MOSトランジスタ（第2半導体スイッチ）
18a 選択メモリセル列配線
18b 非選択メモリセル列配線
102a～102h ワード線
103 メモリセルトランジスタ
115 選択メモリセルトランジスタ
116 非選択メモリセルトランジスタ

発明を実施するための形態

[0030] 以下図面に基づいて本発明の実施の形態を詳述する。

[0031] (1) 第1の実施の形態

(1-1) 不揮発性半導体記憶装置の全体構成

図6との対応部分に同一符号を付して示す図1において、1は本発明による

不揮発性半導体記憶装置を示し、複数のメモリセル列配線2a, 2bと、複数のワード線102a~102hとが設けられ、これらメモリセル列配線2a, 2bとワード線102a~102hとに対して複数のメモリセルトランジスタ103が行列状に配置されている。ここで、2つのメモリセル列配線2a, 2bは同一構成を有していることから、説明の便宜上、1つのメモリセル列配線2aに着目し、他のメモリセル列配線2bの説明については省略する。

[0032] 実際上、このメモリセル列配線2aは、ビット線4aとソース線5aとで構成されており、これらビット線4a及びソース線5a間に複数のメモリセルトランジスタ103が並列に配置された構成を有している。この実施の形態の場合、ビット線4aは、上位ビット線7aと、2つの下位ビット線8a, 8cとから構成されており、上位ビット線7aに複数のP型MOSトランジスタ9a, 9cが設けられ、各P型MOSトランジスタ9a, 9cにそれぞれ1つの下位ビット線8a, 8cが接続されている。

[0033] なお、図1では、他のビット線4bにも、上位ビット線7bに対して複数のP型MOSトランジスタ9b, 9dが設けられており、第1半導体スイッチとしての各P型MOSトランジスタ9b, 9dにそれぞれ1つの下位ビット線8b, 8dが接続されている。かくして、この不揮発性半導体記憶装置1は、2つの上位ビット線7a, 7bにより合計4つの下位ビット線8a, 8b, 8c, 8dが設けられ、各下位ビット線8a, 8b, 8c, 8d毎にメモリブロック10a, 10b, 10c, 10dが形成されている。ここで、各下位ビット線8a, 8b, 8c, 8d毎に形成される4つのメモリブロック10a, 10b, 10c, 10dは全て同一構成を有していることから、説明の便宜上、1つのメモリブロック10aに着目して説明し、他のメモリブロック10b, 10c, 10dについての説明は省略する。

[0034] 本発明による不揮発性半導体記憶装置1は、従来の不揮発性半導体記憶装置100と異なり、上位ビット線7a, 7bと下位ビット線8a, 8b, 8c, 8dとの間に、第1半導体スイッチとしてN型MOSトランジスタではなく、P型MOSトランジスタ9a, 9b, 9c, 9dが設けられている点に特徴を有している。例えば、メモリブロック10aのP型MOSトランジスタ9aには、ソースに上位ビット線7aが接

続されているとともに、ドレインに下位ビット線8aが接続されており、行方向に延びる第1選択ゲート線108aがゲートに接続されている。この第1選択ゲート線108aは、行方向に並ぶ上段のメモリブロック10a, 10bにそれぞれ設けられたP型MOSトランジスタ9a, 9bに接続されている。

[0035] かくして、上段の異なるメモリブロック10a, 10bに設けられた2つのP型MOSトランジスタ9a, 9bには、共通した1つの第1選択ゲート線108aから所定のゲート電圧が一律に印加され得るようになされている。また、下段の行方向に並ぶ2つのメモリブロック10c, 10dでも、同様に2つのP型MOSトランジスタ9c, 9dに対して1つの第1選択ゲート線108bが接続されており、この共通した第1選択ゲート線108bから2つのP型MOSトランジスタ9c, 9dに所定のゲート電圧が一律に印加され得るようになされている。

[0036] 一方、この実施の形態の場合、メモリセル列配線2aを構成するソース線5aは、上位ソース線12aと、2つの下位ソース線13a, 13cとから構成されており、上位ソース線12aに複数のN型MOSトランジスタ15a, 15cが設けられ、各N型MOSトランジスタ15a, 15cにそれぞれ1つの下位ソース線13a, 13cが接続されている。

[0037] なお、図1では、他のソース線5bにも、上位ソース線12bに対して複数のN型MOSトランジスタ15b, 15dが設けられており、第2半導体スイッチとしての各N型MOSトランジスタ15b, 15dにそれぞれ1つの下位ソース線13b, 13dが接続されている。この実施の形態の場合、メモリセル列配線2aは、上位ビット線7a、下位ビット線8a、上位ソース線12a及び下位ソース線13aが全て列方向に延びるように配置され、これら上位ビット線7a、下位ビット線8a、上位ソース線12a及び下位ソース線13aに対し、行方向に延びる複数のワード線102a~102dが交差するように配置されている。

[0038] ここで、上位ソース線12a及び下位ソース線13a間に配置されている第2半導体スイッチとしてのN型MOSトランジスタ15aは、ソースに上位ソース線12aが接続されるとともに、ドレインに下位ソース線13aが接続されており、行方向に延びる第2選択ゲート線113aがゲートに接続されている。この第2

選択ゲート線113aは、行方向に並ぶ上段のメモリブロック10a, 10bにそれぞれ設けられたN型MOSトランジスタ15a, 15bに接続されている。

[0039] かくして、上段の異なるメモリブロック10a, 10bに設けられた2つのN型MOSトランジスタ15a, 15bには、共通した1つの第2選択ゲート線113aから所定のゲート電圧が一律に印加され得るようになされている。また、下段の行方向に並ぶ2つのメモリブロック10c, 10dでも、同様に2つのN型MOSトランジスタ15c, 15dに対して1つの第2選択ゲート線113bが接続されており、この共通した第2選択ゲート線113bから2つのN型MOSトランジスタ15c, 15dに所定のゲート電圧が一律に印加され得るようになされている。

[0040] ビット線4a及びソース線5a間に設けられるメモリセルトランジスタ103は、N型MOS構造でなるNチャネル型メモリセルトランジスタであって、一端に下位ビット線8aが接続されているとともに、他端に下位ソース線13aが接続され、ゲートに例えばワード線102aが接続されている。因みに、各メモリセルトランジスタ103は、全て同一構成を有しており、半導体基板において一端及び他端間にチャネル領域を備え、チャネル領域上にトンネル絶縁層を介して電荷蓄積層、層間絶縁層及び制御ゲートが順次積層された構造を有している。かくして、メモリセルトランジスタ103は、チャネル領域と制御ゲートとに印加される電圧により電荷蓄積層内に電荷を蓄積させたり、或いは電荷蓄積層に蓄積した電荷を引き抜いたりし得るようになされている。

[0041] かかる構成を有する不揮発性半導体記憶装置1は、データの書き込み動作により、所望するメモリセルトランジスタ103にだけ電荷蓄積層に電荷を蓄積させてデータを書き込むことができ、また所定のメモリセルトランジスタ103に書き込んだデータを読み出せ、さらにはメモリセルトランジスタ103の電荷蓄積層から電荷を引き抜くことでデータを消去し得る。以下、不揮発性半導体記憶装置1におけるデータの書き込み動作、読み出し動作及び消去動作について順に説明する。

[0042] なお、本発明における実施の形態においては、不揮発性半導体記憶装置1において、所定のメモリセルトランジスタ103の電荷蓄積層に電荷が蓄積された

状態を、データが書き込まれた状態とし、当該電荷蓄積層に蓄積された電荷を引き抜くことでデータを消去することとするが、本発明はこれに限らず、不揮発性半導体記憶装置1において、所定のメモリセルトランジスタ103の電荷蓄積層に電荷が蓄積されていない状態を、データが書き込まれた状態とし、当該電荷蓄積層に電荷を蓄積させることでデータを消去することとしてもよい。

[0043] (1-2) 不揮発性半導体記憶装置におけるデータの書き込み動作

図1及び図6との対応部分に同一符号を付して示す図2は、不揮発性半導体記憶装置1において、メモリブロック10aを選択ブロック117とし、この選択ブロック117の第1行目のメモリセルトランジスタ103を選択メモリセルトランジスタ115として、それ以外の全てのメモリブロック10b, 10c, 10dを非選択ブロック118としたときの各箇所の電圧値を示している。

[0044] 實際上、この不揮発性半導体記憶装置1では、選択メモリセルトランジスタ115のゲートに接続されたワード線102aを選択ワード線120とし、この選択ワード線120に12 [V] の書き込みゲート電圧が印加され得る。また、不揮発性半導体記憶装置1では、選択ブロック117において選択ワード線120以外の他の残りの非選択ワード線121に、書き込みゲート電圧より低い4 [V] の書き込み禁止ゲート電圧が印加され得る。

[0045] さらに、この際、不揮発性半導体記憶装置1では、選択メモリセルトランジスタ115が配置されるメモリセル列配線（以下、これを選択メモリセル列配線と呼ぶ）18aの上位ソース線12aに0 [V] の書き込み電圧（電荷蓄積電圧）が印加されるとともに、選択メモリセル列配線18aの上位ビット線7aにも0 [V] の電圧が印加され得る。そして、さらに不揮発性半導体記憶装置1では、非選択ブロック118だけが配置されたメモリセル列配線（以下、これを非選択メモリセル列配線と呼ぶ）18bの上位ソース線12bに、8 [V] の電圧が印加されるとともに、非選択メモリセル列配線18bの上位ビット線7bに8 [V] の書き込み禁止電圧（電荷蓄積禁止電圧）が印加され得る。

[0046] これに加えて、不揮発性半導体記憶装置1では、選択ブロック117と同じ行

(以下、選択ブロック行と呼ぶ)にて共通している第1選択ゲート線108aに、0 [V] のP側ゲート電圧(第1ゲート電圧)を印加し得るようになされている。これにより非選択メモリセル列配線18bでは、上位ビット線から8 [V] の書き込み禁止電圧が印加されているP型MOSトランジスタ9aがオン状態になり得る。

[0047] かくして、不揮発性半導体記憶装置1では、非選択メモリセル列配線18bのP型MOSトランジスタ9bがオン状態となることで、選択ワード線120と交差する非選択メモリセル列配線18bの下位ビット線8bに対し、P型MOSトランジスタ9bを介して8 [V] の書き込み禁止電圧を印加し得る。このとき、非選択メモリセル列配線18bでは、上位ソース線12bから8 [V] が印加され、第2選択ゲート線113aから8 [V] が印加されることでN型MOSトランジスタ15bがオフ状態になり、下位ソース線13bが下位ビット線8bと同じ電位になる。

[0048] これにより、選択ワード線120と非選択メモリセル列配線18bの下位ビット線8bとが交差する非選択メモリセルトランジスタ116では、選択ワード線120からゲートに高電圧の12 [V] のゲート電圧が印加されるものの、非選択メモリセル列配線18bの上位ビット線7bからP型MOSトランジスタ9bを介して8 [V] の書き込み禁止電圧が一端に印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0049] このように本発明では、第1半導体スイッチとしてP型MOSトランジスタ9bを用いていることから、N型MOSトランジスタを用いた場合と異なり、上位ビット線7bからソースに印加される8 [V] の書き込み禁止電圧よりも低い0 [V] のP側ゲート電圧を第1選択ゲート線108aから印加しても、オン状態になり得る。かくして不揮発性半導体記憶装置1では、選択ワード線120と交差する非選択メモリセル列配線18bの下位ビット線8bへ書き込み禁止電圧を印加させるスイッチにP型MOSトランジスタ9bを用いることで、当該P型MOSトランジスタ9bをオン状態とさせるP側ゲート電圧を、書き込み禁止電圧よりも低くでき、その分だけ装置全体の電圧を低減し得るようになさ

れている。

[0050] また、この際、不揮発性半導体記憶装置1では、選択ブロック行にて共通させている第2選択ゲート線113aに8[V]のN側ゲート電圧（第2ゲート電圧）を印加することで、選択メモリセル列配線18aのN型MOSトランジスタ15aのゲートに、N側ゲート電圧を印加し得る。選択メモリセル列配線18aのN型MOSトランジスタ15aは、選択メモリセル列配線18aの上位ソース線12aからソースに0[V]の書き込み電圧が印加され、第2選択ゲート線113aからゲートに8[V]のN側ゲート電圧が印加されることで、オン状態となる。

[0051] かくして、不揮発性半導体記憶装置1では、選択ワード線120と交差する選択メモリセル列配線18aの下位ソース線13aに対し、N型MOSトランジスタ15aを介して0[V]の書き込み電圧を印加し得る。このとき、選択メモリセル列配線18aでは、上位ビット線7aから0[V]が印加され、第1選択ゲート線108aから0[V]が印加されることから、P型MOSトランジスタ9aがオフ状態になり、下位ビット線8aがフローティング状態となり得る。

[0052] これにより、選択ワード線120と、選択メモリセル列配線18aの下位ソース線13aとが交差する選択メモリセルトランジスタ115には、選択ワード線120からゲートに高電圧の12[V]のゲート電圧が印加され、かつ選択メモリセル列配線18aのN型MOSトランジスタ15aを介して下位ソース線13aから他端に、0[V]の書き込み電圧が印加されることから、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生し、チャネル領域から電荷蓄積層に電荷が注入され得る。

[0053] そして、このように本発明による不揮発性半導体記憶装置1では、書き込み禁止電圧の印加を、P型MOSトランジスタ9bをオン状態にして行うようにし、これとは別に書き込み電圧の印加を、N型MOSトランジスタ15aをオン状態にして行うようにしたことから、P側ゲート電圧とN側ゲート電圧は、それぞれがオン状態になる範囲で、書き込み禁止電圧と書き込み電圧との間の電圧値に個別に設定し得、従来よりも低い電圧にも設定し得る。

[0054] 因みに、非選択ブロック118のみが並ぶ行（以下、これを非選択ブロック行

と呼ぶ)にある非選択ブロック118では、これら非選択ブロック118に共通する第1選択ゲート線108bに8[V]のP側ゲート電圧が印加され、当該第1選択ゲート線108bに接続された全てのP型MOSトランジスタ9c, 9dを一律にオフ状態にし得る。また、非選択ブロック行の非選択ブロック118では、これら非選択ブロック118に共通する第2選択ゲート線113bに0[V]が印加され、当該第2選択ゲート線113bに接続された全てのN型MOSトランジスタ15c, 15dを一律にオフ状態にし得る。

[0055] なお、不揮発性半導体記憶装置1では、非選択ブロック行の非選択ワード線121にそれぞれ0[V]が印加され、非選択ブロック行の非選択ブロック118において各非選択メモリセルトランジスタ116に電圧が印加されることがなく、これら全ての非選択メモリセルトランジスタ116で量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入されることはない。

[0056] かくして、不揮発性半導体記憶装置1は、選択ワード線120と、選択メモリセル列配線18aの下位ソース線13aとが交差する選択メモリセルトランジスタ115の電荷蓄積層だけに電荷を蓄積させてデータを書き込むことができるとともに、他の全ての非選択メモリセルトランジスタ116の電荷蓄積層に電荷が蓄積させることなく、データの書き込みを防止し得る。

[0057] (1-3) 不揮発性半導体記憶装置におけるデータの読み出し動作

ここで、このような不揮発性半導体記憶装置1では、以下のようにして、選択メモリセルトランジスタ115に書き込まれたデータを読み出すことができる。因みに、ここでは、図2との対応部分に同一符号を付して示す図3のように、不揮発性半導体記憶装置1の4つのメモリブロック10a, 10b, 10c, 10dのうち、例えば第1列第1行目のメモリブロック10aの第1行目のメモリセルトランジスタ103を、データを読み出す読出メモリセルトランジスタ20とし、その他残り全てを非読出メモリセルトランジスタ21として以下説明する。

[0058] なお、ここでは、メモリブロック10a, 10b, 10c, 10dのうち、読出メモリセルトランジスタ20が配置されたメモリブロック10aを読出ブロック22aと呼び、他の残りのメモリブロック10b, 10c, 10dを非読出ブロック23と呼ぶ。また、こ

ここでは、読出メモリセルトランジスタ20が配置されたメモリセル列配線2aを選択メモリセル列配線（読出メモリセル列配線）18aと呼ぶ。

[0059] 実際上、この不揮発性半導体記憶装置1では、選択メモリセル列配線18a及び非選択メモリセル列配線（非読出メモリセル列配線）18bの各上位ソース線12a, 12bにそれぞれ2 [V] の固定電圧が印加され得るとともに、選択メモリセル列配線18aの上位ビット線7aに3 [V] のプリチャージ電圧が印加され得る。また、非選択メモリセル列配線18bの上位ビット線7bには2 [V] の固定電圧が印加され得る。不揮発性半導体記憶装置1では、読出ブロック22aの位置する行（以下、これを読出ブロック行と呼ぶ）に共通する第1選択ゲート線108aに0 [V] のP側ゲート電圧が印加される。

[0060] すなわち、例えば読出ブロック22aのP型MOSトランジスタ9aには、上位ビット線7aから3 [V] のプリチャージ電圧がソースに印加されるとともに、第1選択ゲート線108aからゲートに0 [V] のP側ゲート電圧が印加され、その結果、オン状態となり得る。かくして、読出ブロック22aでは、上位ビット線7aからの3 [V] のプリチャージ電圧がP型MOSトランジスタ9aを介して下位ビット線8aにそれぞれ印加され、各下位ビット線8aに接続されたメモリセルトランジスタ103の一端にプリチャージ電圧を印加し得る。

[0061] この際、読出ブロック行に共通している第2選択ゲート線113aには、3 [V] のN側ゲート電圧が印加され得る。これにより読出ブロック行における各N型MOSトランジスタ15aは、上位ソース線12aからソースに2 [V] の固定電圧が印加されるとともに、第2選択ゲート線113aからゲートに3 [V] のN側ゲート電圧が印加され、その結果、オン状態となり得る。かくして、読出ブロック22aでは、上位ソース線12aからの2 [V] の固定電圧がN型MOSトランジスタ15aを介して下位ソース線13aに印加され、当該下位ソース線13aに接続されたメモリセルトランジスタ103の他端に固定電圧を印加し得る。

[0062] 一方、読出メモリセルトランジスタ20のゲートに接続された選択ワード線120には、2 [V] の読出ゲート電圧が印加され、選択ワード線120以外の他の残りの非選択ワード線121には、読出ゲート電圧より低い0 [V] の読出禁止ゲー

ト電圧が印加され得る。これにより、読出メモリセルトランジスタ20には、上位ビット線7aの3 [V] のプリチャージ電圧がP型MOSトランジスタ9aから一端に印加されるとともに、上位ソース線12aの2 [V] の固定電圧がN型MOSトランジスタ15aから他端に印加され、さらに、選択ワード線120から2 [V] の読出ゲート電圧が印加され得る。

[0063] ここで、読出メモリセルトランジスタ20の電荷蓄積層に電荷が蓄積されデータが書き込まれている場合には、電荷蓄積層に蓄積された電荷の影響により、制御ゲートに読出ゲート電圧を印加してもオフ状態のままとなり、上位ビット線7aにて3 [V] のプリチャージ電圧がそのまま維持され得る。これに対して、読出メモリセルトランジスタ20の電荷蓄積層に電荷が蓄積されておらずデータが書き込まれていない場合には、電荷蓄積層からの電荷の影響がなく、制御ゲートに印加された読出ゲート電圧によりオン状態となり、読出メモリセルトランジスタ20にて電流が流れる分だけ上位ビット線7aにて3 [V] のプリチャージ電圧が変動し得る。

[0064] なお、この際、非読出ブロック23だけが並ぶ行（以下、これを非読出ブロック行と呼ぶ）では、第1選択ゲート線108bからプリチャージ電圧と同じ3 [V] のP側ゲート電圧が各P型MOSトランジスタ9c, 9dに印加され、これらP型MOSトランジスタ9c, 9dをオフ状態とし得る。かくして、非読出ブロック行では、上位ビット線7b, 7bからの3 [V] のプリチャージ電圧がP型MOSトランジスタ9c, 9dにより遮断され、このP型MOSトランジスタ9c, 9dに接続された下位ビット線8c, 8dに配置された非読出メモリセルトランジスタ21にプリチャージ電圧が印加され得ない。

[0065] このように、上位ビット線7aに印加されるプリチャージ電圧は、選択メモリセル列配線18aにおいて、データを読み出したい読出メモリセルトランジスタ20にだけ印加され得るようになされている。なお、非読出ブロック行では、第2選択ゲート線113bに3 [V] のN側ゲート電圧が印加されており、N型MOSトランジスタ15c, 15dをオン状態とし、上位ソース線12aからの固定電圧をそのまま下位ソース線13cに印加している。

[0066] このようにして、不揮発性半導体記憶装置1では、読出メモリセルトランジスタ20における電荷蓄積層の電荷蓄積の有無に応じて変動する上位ビット線7aのプリチャージ電圧を測定することで、読出メモリセルトランジスタ20にデータが書き込まれているか否かを判断し得るようになされている。

[0067] なお、この例ではプリチャージ電圧を3[V]とし、メモリセルトランジスタのデータによって、ソースに印加された固定電圧に向けて、プリチャージ電圧が下降するか否かを判定するケースについて述べたが、プリチャージ電圧が固定電圧より高い必要はない。例えば、プリチャージ電圧を0[V]や1[V]等の種々の電圧とし、それが固定電圧に向けて上昇するか否かを判定することで、読出メモリセルトランジスタ20にデータが書き込まれているか否かを判断することもできる。

[0068] (1-4) 不揮発性半導体記憶装置におけるデータの消去動作

次に、不揮発性半導体記憶装置1におけるデータの消去動作について以下説明する。図1との対応部分に同一符号を付して示す図4は、不揮発性半導体記憶装置1の回路構成に加えて、ディープNウェルDNW（図示せず）上に形成されたウェル分割構造をも示した概略図である。

[0069] ここで、不揮発性半導体記憶装置1は、上段にて行方向に並んだメモリブロック10a, 10bと、下段にて行方向に並んだメモリブロック10c, 10dとが、異なる単位ウェル構造W1, W2にそれぞれ形成されている。なお、単位ウェル構造W1, W2は同一構成を有していることから、そのうち単位ウェル構造W1に着目して以下説明する。例えば単位ウェル構造W1には、メモリセルトランジスタ103とN型MOSトランジスタ15a, 15bとが1つのPウェルPW1に形成され、P型MOSトランジスタ9a, 9bが1つのNウェルに形成されている。

[0070] このような不揮発性半導体記憶装置1は、PウェルPW1, PW2の基板単位で消去動作を実行し得るようになされている。なお、ここでは、上段の単位ウェル構造W1に形成されたメモリブロック10a, 10bのデータを消去し、下段の単位ウェル構造W2に形成されたメモリブロック10c, 10dのデータを消去せずに保持する場合について以下説明する。なお、このデータが消去される複数のメモ

リブロック10a, 10bを纏めて消去ブロックと呼び、データが消去されずに保持される複数のメモリブロック10c, 10dを纏めて非消去ブロックと呼ぶ。

[0071] この場合、消去ブロックでは、単位ウェル構造W1のPウェルPW1に9 [V] の消去電圧が印加され、NウェルNW1にも9 [V] の電圧が印加され得る。また、この消去ブロックでは、共通している第1選択ゲート線108aに9 [V] のP側ゲート電圧が印加されてP型MOSトランジスタ9a, 9bをオフ状態とする。さらに、消去ブロックでは、第2選択ゲート線113aに0 [V] が印加されてN型MOSトランジスタ15a, 15bもオフ状態となり、さらに全てのワード線102a～102dに0 [V] のゲート電圧が印加され得る。

[0072] これにより消去ブロックでは、PウェルPW1に9 [V] の消去電圧が印加され、かつPウェルPW1に対向する制御ゲートに0 [V] が印加されていることから、制御ゲートよりもPウェルPW1の電圧が高くなり得る。かくして、消去ブロックでは、メモリセルトランジスタ103の電荷蓄積層内に蓄積された電荷が、電圧の高いPウェルPW1に引き寄せられ、当該電荷蓄積層から電荷が引き抜かれることで、データを消去し得るようになされている。このようにして消去ブロックでは、PウェルPW1上に形成された全てのメモリセルトランジスタ103について一括してデータを消去し得るようになされている。

[0073] 一方、データが消去されずに保持される下段の非消去ブロックでは、消去ブロックと同様に、第1選択ゲート線108bに9 [V] のP側ゲート電圧が印加されてP型MOSトランジスタ9c, 9dをオフ状態とし、第2選択ゲート線113bに0 [V] が印加されてN型MOSトランジスタ15c, 15dもオフ状態とし、さらに全てのワード線102e～102hに0 [V] のゲート電圧が印加され得る。これに加えてこの非消去ブロックでは、消去ブロックと異なり、PウェルPW2に0 [V] の消去禁止電圧が印加され得るようになされている。

[0074] これにより、非消去ブロックでは、メモリセルトランジスタ103の制御ゲートと、PウェルPW2との電圧差がなく、メモリセルトランジスタ103の電荷蓄積層に蓄積された電荷がPウェルPW2側に引き寄せられることなくそのまま保持され、データが書き込まれた状態を維持し得る。かくして、不揮発性半導

体記憶装置1では、PウェルPW1, PW2の電圧を調整することで、所望の消去ブロックのデータを消去できるとともに、当該消去ブロック以外の非消去ブロックのデータについては消去することなくそのまま保持させることができる。

[0075] (1-5) 動作及び効果

以上の構成において、不揮発性半導体記憶装置1では、複数のメモリセル列配線2a, 2bと複数のワード線102a~102hとに対しメモリセルトランジスタ103を行列状に配置し、所定の選択ワード線120の電圧と、所定の選択メモリセル列配線18aの電圧との電圧差を基に、選択ワード線120及び選択メモリセル列配線18aとが交差する選択メモリセルトランジスタ115にデータを書き込むことができる。

[0076] ここで、本発明の不揮発性半導体記憶装置1では、メモリセルトランジスタ103への電圧印加を制御するP型MOSトランジスタ9a, 9b, 9c, 9dを、メモリセル列配線2a, 2bに設け、そのうち選択メモリセルトランジスタ115に電荷を蓄積させてデータを書き込む際、非選択メモリセル列配線18bの書き込み禁止電圧がかかるP型MOSトランジスタ9bを、P側ゲート電圧によりオン状態にさせ、選択ワード線120と交差する非選択メモリセルトランジスタ116に、書き込み禁止電圧を印加するようにした。

[0077] この際、不揮発性半導体記憶装置1では、非選択メモリセル列配線18bに印加される書き込み禁止電圧よりも、P型MOSトランジスタ9bのしきい値電圧 $|V_{thp}|$ だけ低いP側ゲート電圧をP型MOSトランジスタ9bに印加することで、当該P型MOSトランジスタ9bをオン状態に切り換えることができるので、P側ゲート電圧を書き込み禁止電圧よりも低く設定し得、その分だけデータ書き込み動作時に低電圧化を図ることができる。

[0078] また、この不揮発性半導体記憶装置1では、第1選択ゲート線108aに印加されるP側ゲート電圧が、選択メモリセル列配線18aの上位ビット線7aに印加される電圧値（この場合は0[V]）以上に調整されていることから、非選択メモリセル列配線18b側のP型MOSトランジスタ9bをオン状態にさせつつ、選

択メモリセル列配線18a側のP型MOSトランジスタ9aをオフ状態とし、さらには当該P型MOSトランジスタ9aの基板及びゲート間の電圧差を低減させてゲート絶縁膜に印加される電界を緩和させることができる。

[0079] さらに、この不揮発性半導体記憶装置1では、メモリセルトランジスタ103への電圧印加を制御するN型MOSトランジスタ15a, 15b, 15c, 15dを、P型MOSトランジスタ9a, 9b, 9c, 9dとは別にメモリセル列配線2a, 2bに設けるようにした。そして、不揮発性半導体記憶装置1では、選択メモリセルトランジスタ115にデータを書き込む際、P型MOSトランジスタ9bに印加されるP側ゲート電圧とは別に、第2選択ゲート線113aからN型MOSトランジスタにN側ゲート電圧を印加し、選択メモリセル列配線のN型MOSトランジスタをオン状態にさせ、当該N型MOSトランジスタ15aから選択メモリセルトランジスタ115に書き込み電圧を印加するようにした。

[0080] このように、不揮発性半導体記憶装置1では、P型MOSトランジスタ9bをオン状態とするP側ゲート電圧と、N型MOSトランジスタ15aをオン状態とするN側ゲート電圧とを、それぞれオン状態可能な低い電圧値に設定でき、かくして、選択メモリセルトランジスタ115に電荷を蓄積する際の電圧を従来よりも低減させる等、自由に設定し得る。

[0081] また、この不揮発性半導体記憶装置1では、選択メモリセル列配線18aのN型MOSトランジスタ15aに、第2選択ゲート線113aからN側ゲート電圧を別途印加させるようにしたことで、P型MOSトランジスタ9aに印加されるP側ゲート電圧の電圧値に拘束されることなく、当該N型MOSトランジスタ15aをオン状態可能となる種々の低電圧に、N側ゲート電圧を調整し得る。この不揮発性半導体記憶装置1では、第2選択ゲート線113aに印加されるN側ゲート電圧が、非選択メモリセル列配線18bの上位ソース線12bに印加される電圧値（この場合は8[V]）以下に調整されていることから、選択メモリセル列配線18a側のN型MOSトランジスタ15aをオン状態にさせつつ、非選択メモリセル列配線18b側のN型MOSトランジスタ15bをオフ状態とし、さらには当該N型MOSトランジスタ15bの基板及びゲート間の電圧差を低減させて

ゲート絶縁膜に印加される電界を緩和させることができる。

[0082] 実際上、この実施の形態の場合、不揮発性半導体記憶装置1では、メモリブロック10aにおいて、上位ビット線7aと下位ビット線8aとの間にP型MOSトランジスタ9aを設けるとともに、上位ソース線12aと下位ソース線13aとの間にN型MOSトランジスタ15aを設けるようにした。

[0083] そして、このような構成を各メモリブロック10a, 10b, 10c, 10dに有することで、不揮発性半導体記憶装置1では、選択メモリセルトランジスタ115にデータを書き込む際、非選択メモリセル列配線18bのP型MOSトランジスタ9bをオン状態にさせて当該P型MOSトランジスタ9bから下位ビット線8bを介して非選択メモリセルトランジスタ116に書き込み禁止電圧を印加できる。また、これと同時に、選択メモリセル列配線18aでは、N型MOSトランジスタ15aをオン状態にさせて当該N型MOSトランジスタ15aから下位ソース線13aを介して選択メモリセルトランジスタ115に書き込み電圧を印加できる。

[0084] ここで、不揮発性半導体記憶装置1では、選択ワード線120に V_{w1} として12 [V] の書き込みゲート電圧を印加し、非選択ワード線121に V_{w2} として4 [V] の書き込み禁止ゲート電圧を印加して、電圧条件を $V_{w1} - V_{w2} < 9$ [V] に設定し、ワード線102a~102hの周辺回路がコントロールすべき電圧差を9 [V] より小さくしたことで、ゲート絶縁層が厚い特別なMOSトランジスタを周辺回路に用いることなく、ゲート絶縁層が13 [nm] 未満のMOSトランジスタ（図示せず）を周辺回路に用いることができる。

[0085] また、不揮発性半導体記憶装置1では、非選択メモリセル列配線18bの上位ビット線7bに V_{B1} として8 [V] の書き込み禁止電圧を印加し、選択メモリセル列配線18aの上位ビット線7aに V_{B2} として0 [V] の書き込み電圧を印加して、電圧条件を $V_{B1} - V_{B2} < 9$ [V] に設定し、上位ビット線7a, 7bの周辺回路がコントロールすべき電圧差を9 [V] より小さくしたことで、ゲート絶縁層が厚い特別なMOSトランジスタを周辺回路に用いることなく、ゲート絶縁層が13 [nm] 未満のMOSトランジスタ（図示せず）を周辺回路に用いることができる。

[0086] また、不揮発性半導体記憶装置1では、非選択メモリセル列配線18bの上位ビット線7bに V_{B2} として8[V]の書き込み禁止電圧を印加し、P型MOSトランジスタ9aのゲート電圧を調整して、書き込み禁止電圧よりもP型MOSトランジスタ9bのゲート基板間電圧 V_{GW} を低くし、電圧条件を $V_{B2} > V_{GW}$ に設定され得る。このようにして不揮発性半導体記憶装置1では、P型MOSトランジスタ9bに印加する電圧を抑制し、P型MOSトランジスタ9bにおけるゲート及び半導体基板間のゲート絶縁層の膜厚を13[nm]未満に形成することができる。

[0087] ここで、P型MOSトランジスタ9a, 9bの基板電圧が8Vでゲート電圧に7Vを印加してオン状態にした場合には、P型MOSトランジスタ9a, 9bのゲート基板間電圧は1Vとなり、P型MOSトランジスタ9a, 9bのゲート絶縁膜にかかる電界を大幅に低減できる。同様に、N型MOSトランジスタ15a, 15bの基板電圧が0Vでゲート電圧に1Vを印加してオン状態にした場合には、N型MOSトランジスタ15a, 15bのゲート基板間電圧は1Vとなり、N型MOSトランジスタ15a, 15bのゲート絶縁膜にかかる電界を大幅に低減できる。この結果、ゲート絶縁膜の信頼性を大きく向上することができる。また、このように不揮発性半導体記憶装置1では、N型MOSトランジスタ15a, 15bに印加する電圧をも抑制し得ることから、N型MOSトランジスタ15aにおけるゲート及び半導体基板間のゲート絶縁層の膜厚も13[nm]未満に形成することができる。

[0088] すなわち、従来のように、書き込み電圧と書き込み禁止電圧の両方を、N型MOSトランジスタ又はP型MOSトランジスタのいずれか1つのタイプのMOSトランジスタから印加していた場合は、このような大幅な電界緩和はなし得ない。これに対して本願発明では、P型MOSトランジスタとN型MOSトランジスタとを併用することがゲート絶縁膜の信頼性向上に大きく寄与し得るものである。

[0089] なお、図4に示した消去動作において、第2選択ゲート線113aに0[V]を印加し、N型MOSトランジスタ15a, 15bのゲート電圧を0[V]とした例を示した。しかし、消去ブロックのPウェルPW1は9[V]であるため、この中に形

成されるN型MOSトランジスタ15a, 15bのゲート電圧は、0 [V] より高い電圧の方が、ゲート基板間電圧が低くなり、N型MOSトランジスタ15a, 15bのゲート絶縁膜にかかる電界を低減できる。このため、例えば、第2選択ゲート線113aには4 [V] などの電圧を印加してもよい。

[0090] 以上の構成によれば、不揮発性半導体記憶装置1では、選択メモリセルトランジスタ115に電荷を蓄積させる際、非選択メモリセルトランジスタ116へ書き込み禁止電圧を印加するP型MOSトランジスタ9bをオンオフ動作させるP側ゲート電圧とは別に、N側ゲート電圧でオンオフ動作し、当該P型MOSトランジスタ9bとは逆極性となるN型MOSトランジスタ15aを設けるようにした。

[0091] これにより、不揮発性半導体記憶装置1では、P型MOSトランジスタ9bをオン状態とするP側ゲート電圧と、N型MOSトランジスタ15aをオン状態とするN側ゲート電圧とをそれぞれ個別に調整でき、例えばP型MOSトランジスタ9a及びN型MOSトランジスタ15aがオン状態可能な極力低い電圧値にP側ゲート電圧及びN側ゲート電圧をそれぞれ設定して従来よりも電圧を低減させる等、選択メモリセルトランジスタ115に電荷を蓄積する際の電圧を自由に設定し得る。

[0092] また、この不揮発性半導体記憶装置1では、選択ワード線120と交差する非選択メモリセルトランジスタ116への書き込み禁止電圧の印加を、書き込み禁止電圧がかかるP型MOSトランジスタ9bをオン状態にして行うようにしたことから、P型MOSトランジスタ9bをオン状態にする際のP側ゲート電圧を書き込み禁止電圧より低く抑えることができ、その分だけ従来よりも選択メモリセルトランジスタ115に電荷を蓄積する際の電圧を低減し得る。

[0093] さらに、不揮発性半導体記憶装置1では、書き込み電圧を選択メモリセル列配線18aに印加するN型MOSトランジスタ15aのN側ゲート電圧を、P側ゲート電圧とは別に種々の低電圧に調整することもできる。

[0094] このように、この不揮発性半導体記憶装置1では、選択メモリセルトランジスタ115に電荷を蓄積させる際、電圧の高い書き込み禁止電圧をP型MOSト

ランジスタ9bから印加し、電圧の低い書き込み電圧をN型MOSトランジスタ15aから印加して、選択メモリセルトランジスタ115又は非選択メモリセルトランジスタ116へ電圧を印加する役割分担を、P型MOSトランジスタ9b及びN型MOSトランジスタ15aに分けたことで、P型MOSトランジスタ9b及びN型MOSトランジスタ15aそれぞれのゲート電圧やソース電圧を個別に調整でき、最終的にゲート基板間電圧を低く抑えることができる。

[0095] なお、上述した実施の形態においては、例えば上位ビット線7aと、下位ビット線8aと、上位ソース線12aと、下位ソース線13aとを全て列方向へ向けて配置したメモリセル列配線2aを適用した場合について述べたが、本発明はこれに限らず、例えば上位ビット線7aと、下位ビット線8aと、下位ソース線13aとに直交する行方向に上位ソース線を配置させたメモリセル列配線等、メモリセルトランジスタ103や、P型MOSトランジスタ9a及びN型MOSトランジスタ15aの配置状況に応じて、これら上位ビット線7a、下位ビット線8a、上位ソース線12a及び下位ソース線13aを列方向又は行方向に適宜配置させた種々のメモリセル列配線を適用してもよい。

[0096] (1-6) 第1の実施の形態による不揮発性半導体記憶装置の書き込み動作の変形例

なお、上述した実施の形態においては、選択メモリセルトランジスタにデータを書き込む際、N型MOSトランジスタには、 $V_{B1} + |V_{thn}|$ 以上 (V_{B1} は選択メモリセル列配線の電圧 (書き込み電圧)、 V_{thn} はN型MOSトランジスタのしきい値電圧) のN側ゲート電圧を印加し、P型MOSトランジスタには、 $V_{B2} - |V_{thp}|$ 以下 (V_{B2} は非選択メモリセル列配線の電圧 (書き込み禁止電圧)、 V_{thp} はP型MOSトランジスタのしきい値電圧) のP側ゲート電圧を印加する不揮発性半導体記憶装置として、N型MOSトランジスタ15aには、 $V_{B1} + |V_{thn}|$ 以上である8 [V] のN側ゲート電圧を印加し、P型MOSトランジスタ9bには、 $V_{B2} - |V_{thp}|$ 以下である0 [V] のP側ゲート電圧を印加する不揮発性半導体記憶装置1を適用した場合について述べたが、本発明はこれに限らず、N型MOSトランジスタに印加されるN側

ゲート電圧が、 $V_{B1} + |V_{thn}|$ 以上であって、かつP型MOSトランジスタに印加されるP側ゲート電圧が、 $V_{B2} - |V_{thp}|$ 以下であれば、その他の種々のN側ゲート電圧及びP側ゲート電圧を印加してもよい。

[0097] また、上述した実施の形態においては、選択メモリセルトランジスタに電荷を蓄積させる際の関係式、 $V_{W1} - V_{W2} < 9$ [V] (V_{W1} は選択ワード線の蓄積ゲート電圧、 V_{W2} は非選択ワード線の蓄積禁止ゲート電圧)として、選択ワード線120に V_{W1} として12 [V] の書き込みゲート電圧を印加し、非選択ワード線121に V_{W2} として4 [V] の書き込み禁止ゲート電圧を印加して、その電圧差が9 [V] 未満の条件を満たすようにした場合について説明したが、本発明はこれに限らず、上記 $V_{W1} - V_{W2} < 9$ [V] の条件を満たせば、選択ワード線及び非選択ワード線に印加する電圧値を種々の電圧値に設定してもよい。

[0098] また、上述した実施の形態においては、選択メモリセルトランジスタに電荷を蓄積させる際の関係式、 $V_{B1} - V_{B2} < 9$ [V] (V_{B1} は選択メモリセル列配線の電荷蓄積電圧、 V_{B2} は非選択メモリセル列配線の電荷蓄積禁止電圧)として、非選択メモリセル列配線18bの上位ビット線7bに V_{B1} として8 [V] の書き込み禁止電圧を印加し、選択メモリセル列配線18aの上位ビット線7aに V_{B2} として0 [V] の書き込み電圧を印加して、その電圧差が9 [V] 未満の条件を満たすようにした場合について述べたが、本発明はこれに限らず、上記 $V_{B1} - V_{B2} < 9$ [V] の条件を満たせば、選択メモリセル列配線18a及び非選択メモリセル列配線18bに印加する電圧値を種々の電圧値としてもよい。

[0099] また、上述した実施の形態においては、選択メモリセルトランジスタに電荷を蓄積させる際、非選択メモリセル列配線のソース線には、非選択メモリセル列配線のビット線に印加される電圧値未満であって、かつ、N型MOSトランジスタに印加されるN側ゲート電圧からN型MOSトランジスタのしきい値電圧 V_{thn} を減算した電圧値以上の電圧が印加されているようにした場合について述べたが、本発明はこれに限らず、例えば、選択メモリセルトランジスタに電荷を蓄積させる際、選択メモリセル列配線のビット線には、選択メモリセル列配線のソース線に印加される電圧値より大きく、かつ、P型

MOSトランジスタに印加されるP側ゲート電圧から該P型MOSトランジスタのしきい値電圧 V_{thp} を加算した電圧値以下の電圧が印加されるか、或いは、選択メモリセルトランジスタに電荷を蓄積させる際、非選択メモリセル列配線のソース線がオープン状態であるか、或いは、選択メモリセルトランジスタに電荷を蓄積させる際、選択メモリセル列配線のビット線がオープン状態であるとの条件のいずれかを満たすようにしてもよい。

[0100] (1-6-1) 第1変形例の書き込み動作

例えば、図2との対応部分に同一符号を付して示す図5において、不揮発性半導体記憶装置25は、データを書き込む際において、非選択メモリセル列配線18bのP型MOSトランジスタ9bをオン状態とするP側ゲート電圧の電圧値と、選択メモリセル列配線18aのN型MOSトランジスタ15aをオン状態とさせるN側ゲート電圧の電圧値とが、上述した不揮発性半導体記憶装置1と相違している。

[0101] 因みに、図5は、図2と同様に、例えば第1列第1行目を選択ブロック117とし、この選択ブロック117の第1行目のメモリセルトランジスタ103だけを選択メモリセルトランジスタ115として、他を非選択ブロック118としたときの各箇所の電圧を示したものである。

[0102] 実際上、データの書き込み動作を実行する際、不揮発性半導体記憶装置25では、選択ブロック行において共通する第1選択ゲート線108aに8[V]未満のP側ゲート電圧を印加し得る。ここで、この8[V]未満のP側ゲート電圧 V_{GP} は、非選択メモリセル列配線18bの上位ビット線7bに印加される書き込み禁止電圧の8[V]と、この非選択メモリセル列配線18bのP型MOSトランジスタ9bのしきい値電圧 V_{thp} とから設定された電圧値であり、当該P型MOSトランジスタ9bがオン状態となる条件、すなわち、書き込み禁止電圧8[V] - $|V_{thp}| > V_{GP}$ の条件のもとで設定された電圧値（例えば7[V]）である。

[0103] 非選択メモリセル列配線18bの上位ビット線7bからドレインに8[V]の書き込み禁止電圧が印加されたP型MOSトランジスタ9bは、8[V]未満のP側

ゲート電圧 V_{GP} が印加されることでオン状態となり、選択ワード線120と交差する非選択メモリセル列配線18bの下位ビット線8bに対し、8 [V] の書き込み禁止電圧を印加し得る。このとき、非選択メモリセル列配線18bでは、上位ソース線12bから8 [V] が印加され、第2選択ゲート線113aから1 [V] が印加されていることから、N型MOSトランジスタ15bがオフ状態になり、下位ソース線13bが下位ビット線8bと同じ電位となる。

[0104] これにより、選択ワード線120と、非選択メモリセル列配線18bの下位ビット線8bとが交差する非選択メモリセルトランジスタ116では、選択ワード線120から制御ゲートに高電圧の12 [V] のゲート電圧が印加されるものの、非選択メモリセル列配線18bの上位ビット線7bからP型MOSトランジスタ9bを介して8 [V] の書き込み禁止電圧が一端に印加されることから、制御ゲート及びチャネル領域間の電圧差が小さくなり、量子トンネル効果が発生せず、チャネル領域から電荷蓄積層に電荷が注入され得ない。

[0105] また、この際、不揮発性半導体記憶装置25では、選択ブロック行において共通する第2選択ゲート線113aに0 [V] を超えるN側ゲート電圧を印加し得る。ここで、この0 [V] を超えるN側ゲート電圧 V_{GN} は、選択メモリセル列配線18aの上位ソース線12aに印加される書き込み電圧の0 [V] と、この選択メモリセル列配線18aのN型MOSトランジスタ15aのしきい値電圧 V_{thn} とから設定された電圧値であり、当該N型MOSトランジスタ15aがオン状態となる条件、すなわち、書き込み禁止電圧0 [V] + $|V_{thn}| < V_{GN}$ の条件のもとで設定された電圧値（例えば1 [V] ）である。

[0106] 選択メモリセル列配線18aの上位ソース線12aからソースに0 [V] の書き込み電圧が印加されたN型MOSトランジスタ15aは、0 [V] を超えるN側ゲート電圧 V_{GN} が印加されることでオン状態となり、選択ワード線120と交差する選択メモリセル列配線18aの下位ソース線13aに対し、0 [V] の書き込み電圧を印加し得る。このとき、選択メモリセル列配線18aでは、上位ビット線7aから0 [V] が印加され、第1選択ゲート線108aから7 [V] が印加されていることから、P型MOSトランジスタ9aがオフ状態になり、下位ビット線8aが、

書き込み電圧が印加されている下位ソース線13aと同じ電圧となる。

[0107] かくして、選択ワード線120と、選択メモリセル列配線18aの下位ソース線13aとが交差する選択メモリセルトランジスタ115では、選択ワード線120から制御ゲートに高電圧の12 [V] のゲート電圧が印加され、かつ選択メモリセル列配線18aのN型MOSトランジスタ15aを介して下位ソース線13aから他端に、0 [V] の書き込み電圧が印加される。これにより選択メモリセルトランジスタ115では、制御ゲート及びチャネル領域間の電圧差が大きくなり、その結果、量子トンネル効果が発生し、チャネル領域から電荷蓄積層に電荷が注入され得る。

[0108] かくして、この不揮発性半導体記憶装置25でも、第1選択ゲート線108aに印加するP側ゲート電圧を、従来よりも格段的に低減でき、また第2選択ゲート線113aに印加するN側ゲート電圧を従来よりも格段的に低減させることができる。

(1-6-2) 第2変形例の書き込み動作

その他の不揮発性半導体記憶装置として、データの書き込み動作時、非選択メモリセル列配線18bのP型MOSトランジスタ9bをオン状態にするP側ゲート電圧の電圧値と、選択メモリセル列配線18aのN型MOSトランジスタ15aをオン状態にするN側ゲート電圧の電圧値とが同じ電圧値に設定されてもよい。

例えば不揮発性半導体記憶装置は、同じ電圧値のP側ゲート電圧及びN側ゲート電圧を、同一の電圧発生元からP型MOSトランジスタ9b及びN型MOSトランジスタ15aにそれぞれ印加し得、P型MOSトランジスタ9b及びN型MOSトランジスタ15aの電圧印加手段を共通化してもよく、この場合、電圧印加手段を共通化した分、装置全体の構成を簡素化し得る。

例えば、このような不揮発性半導体記憶装置では、P型MOSトランジスタ9bへ印加するP側ゲート電圧を4 [V] とし、N型MOSトランジスタ15aへ印加するN側ゲート電圧も4 [V] とに設定できることから、上述した不揮発性半導体記憶装置1に比べて、書き込み動作におけるP側ゲート電圧及びN側ゲ

ート電圧を格段的に低減でき、また、上述した不揮発性半導体記憶装置1に比べて両者の電圧値を同じとして電圧差をなくすることができるので、その分だけ装置全体での電圧振幅を低減させることができる。

なお、本発明は、P型MOSトランジスタ9aへのP側ゲート電圧と、N型MOSトランジスタ15aへのN側ゲート電圧とが同じ電圧値であっても、異なる電圧印加手段により第1選択ゲート線108a及び第2選択ゲート線113aに電圧を別々に印加するようにしてもよい。

本発明では、選択メモリセル列配線18aのP型MOSトランジスタ9aがオフ状態になり得れば、上位ビット線7aに種々の電圧を印加してもよく、また、非選択メモリセル列配線18bのN型MOSトランジスタ15bがオフ状態になり得れば、上位ソース線12bに種々の電圧を印加してもよい。

[0109] 選択メモリセル列配線18aの上位ビット線7aに、例えば4 [V] の選択ビット電圧 V_{B1} が印加され、選択メモリセル列配線18aのP型MOSトランジスタ9aをオフ状態とし、一方の非選択メモリセル列配線18bの上位ソース線12bに、例えば4 [V] の非選択ソース電圧 V_{S1} が印加され、非選択メモリセル列配線18bのN型MOSトランジスタ15bをオフ状態としてもよい。

[0110] この選択ビット電圧 V_{B1} は、選択メモリセル列配線18aの上位ビット線7aに印加される書き込み電圧以上であって、かつ選択メモリセル列配線18aのP型MOSトランジスタ9aに印加されるP側ゲート電圧 V_{GP} から、P型MOSトランジスタ9aのしきい値電圧 $|V_{thp}|$ を加算した電圧値以下（すなわち、 $(V_{GP} + |V_{thp}|)$ 以下）の条件を満たす電圧値に設定されたものである。

[0111] 一方、非選択ソース電圧 V_{S1} は、非選択メモリセル列配線18bの上位ビット線7bに印加される書き込み禁止電圧未満であって、かつ非選択メモリセル列配線18bのN型MOSトランジスタ15bに印加されるN側ゲート電圧 V_{GN} から、N型MOSトランジスタ15bのしきい値電圧 V_{thn} を減算した電圧値以上（すなわち、 $(V_{GN} - V_{thn})$ 以上）の条件を満たす電圧値に設定されたものである。以上の構成においても、不揮発性半導体記憶装置31では上述した実施の形態と同様の効果を得ることができる。

[0112] また、このように、本発明では、ゲート電圧に加え、ソース電圧の調節も可能であり、例えば上位ビット線7aに4 [V] の選択ビット電圧 V_{B1} を印加し、上位ソース線12bに4 [V] の非選択ソース電圧 V_{S1} を印加し得ることから、P型MOSトランジスタ9cに印加されるソース電圧及びゲート電圧の電圧差(この場合、ソース電圧4 [V] -ゲート電圧8 [V] =電圧差4 [V])や、N型MOSトランジスタ15dに印加されるソース電圧及びゲート電圧の電圧差(この場合、ソース電圧4 [V] -ゲート電圧0 [V] =電圧差4 [V])を小さくし得、P型MOSトランジスタ9c及びN型MOSトランジスタ15dのゲート絶縁膜にかかる電界を大幅に緩和でき、トランジスタの信頼性向上を実現できる。

[0113] (2) 他の実施の形態

なお、本発明は、本実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能であり、例えば上述した第1の実施の形態による不揮発性半導体記憶装置1,25を適宜組み合わせた不揮発性半導体記憶装置を適用してもよい。

[0114] また、上述した実施の形態においては、電荷蓄積層に電荷を蓄積可能なメモリセルトランジスタとして、シリコンチツ化膜層に電荷を蓄積可能なSONOS型のメモリセルトランジスタを適用した場合について述べたが、本発明はこれに限らず、トンネル酸化膜上に導電性のポリシリコンを形成し、その浮遊ゲートに電荷を蓄積するスタック型のメモリセルトランジスタ等その他種々のメモリセルトランジスタを適用してもよい。

[0115] また、上述した実施の形態においては、2列2行の合計4つのメモリブロック10a, 10b, 10c, 10dが形成された不揮発性半導体記憶装置1,25を適用した場合について述べたが、本発明はこれに限らず、例えば2列や2行等のように2つのメモリブロックが形成された不揮発性半導体記憶装置を適用してもよく、また、1列2行、1列3行、3列3行等その他種々の数のメモリブロックが形成された不揮発性半導体記憶装置を適用してもよい。

[0116] また、上述した実施の形態においては、ビット線4aに一端を接続し、ソース線5aに他端を接続し、これらビット線4a及びソース線5a間に複数のメモリ

セルトランジスタ103を配置させた不揮発性半導体記憶装置1を適用した場合について述べたが、本発明はこれに限らず、ビット線に対して複数のメモリセルトランジスタを直列に配置し、最下行のメモリセルトランジスタをソースに接続させたNAND型の不揮発性半導体記憶装置を適用してもよい。

[0117] また本発明の実施の形態では、P型基板上に形成するものとして説明したが、N型基板でも良く、更にSOI基板などを用いても良い。これらの基板を用いた場合にはメモリセル領域下部の分割されたPウェル間の電气的分離が達成されるならば、ディープNウェルDNWを省略しても本発明の効果を得ることができる。

請求の範囲

[請求項1] 電荷蓄積電圧又は電荷蓄積禁止電圧が印加される複数のメモリセル列配線と、前記複数のメモリセル列配線と複数のワード線とに対し行列状に配置されたNチャネル型の構成でなる複数のメモリセルトランジスタとを備え、前記電荷蓄積電圧と、前記ワード線に印加される電圧との電圧差を基に、前記複数のメモリセルトランジスタのうち選択メモリセルトランジスタに電荷を蓄積させる不揮発性半導体記憶装置であって、

前記メモリセル列配線毎に設けられたP型MOSトランジスタでなる複数の第1半導体スイッチと、

前記メモリセル列配線毎に設けられ、N型MOSトランジスタでなる複数の第2半導体スイッチとを備え、

前記選択メモリセルトランジスタ以外の非選択メモリセルトランジスタのみが配置される非選択メモリセル列配線では、第1ゲート電圧により前記第1半導体スイッチがオン状態になり、該第1半導体スイッチから前記非選択メモリセルトランジスタに前記電荷蓄積禁止電圧を印加し、

前記選択メモリセルトランジスタが配置される選択メモリセル列配線では、第2ゲート電圧により前記第2半導体スイッチがオン状態になり、該第2半導体スイッチから前記選択メモリセルトランジスタに前記電荷蓄積電圧を印加する

ことを特徴とする不揮発性半導体記憶装置。

[請求項2] 各前記第1半導体スイッチに対し前記第1ゲート電圧を一律に印加する第1選択ゲート線と、

各前記第2半導体スイッチに対し前記第2ゲート電圧を一律に印加する第2選択ゲート線とを備え、

前記第1半導体スイッチは、前記電荷蓄積禁止電圧と前記第1ゲート電圧との電圧差によりオン状態となり、該電荷蓄積禁止電圧を前記

非選択メモリセルトランジスタに印加し、

前記第2半導体スイッチは、前記電荷蓄積電圧と前記第2ゲート電圧との電圧差によりオン状態となり、該電荷蓄積電圧を前記選択メモリセルトランジスタに印加する

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

[請求項3]

各前記メモリセル列配線は、ビット線とソース線とから構成され、
各前記メモリセルトランジスタは、一端が前記ビット線に接続されているとともに、他端が前記ソース線に接続されている

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

[請求項4]

前記ビット線は、上位ビット線と、前記上位ビット線に前記第1半導体スイッチを介して接続された下位ビット線とから構成されており、

各前記メモリセルトランジスタの一端は、前記下位ビット線に接続されている

ことを特徴とする請求項3記載の不揮発性半導体記憶装置。

[請求項5]

前記ソース線は、上位ソース線と、前記上位ソース線に前記第2半導体スイッチを介して接続された下位ソース線とから構成されており、

各前記メモリセルトランジスタの他端は、前記下位ソース線に接続されている

ことを特徴とする請求項3又は4記載の不揮発性半導体記憶装置。

[請求項6]

前記第1半導体スイッチ又は前記第2半導体スイッチは、ゲート及び半導体基板間のゲート絶縁層の膜厚が13[nm]未満である

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

[請求項7]

前記メモリセルトランジスタ、前記第1半導体スイッチ及び前記第2半導体スイッチが、所定数のウェルに分割された単位ウェル構造上に形成されている

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

[請求項8] 前記メモリセルトランジスタが並んだメモリアレイは複数個からなるPウェル上に形成され、前記P型MOSトランジスタは、前記Pウェルを電氣的に絶縁するNウェルに形成されている

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。