

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

G00002

(43) 国際公開日
2002 年 6 月 6 日 (06.06.2002)

PCT

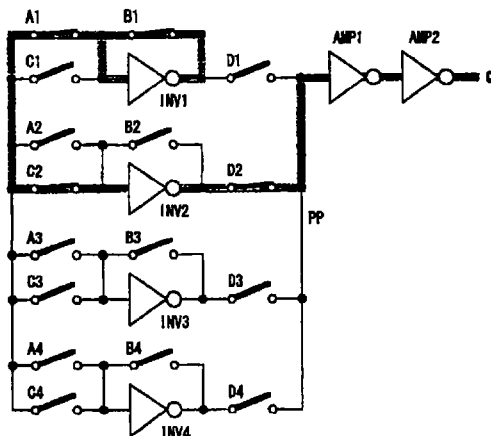
(10) 国際公開番号
WO 02/45139 A1

- (51) 国際特許分類⁷: H01L 21/02, 21/66, 27/04, G01R 31/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP01/07727 (75) 発明者/出願人 (米国についてのみ): 村中雅也 (MURAKAWA, Masaya) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内 Tokyo (JP).
(22) 国際出願日: 2001 年 9 月 6 日 (06.09.2001)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: PCT/JP00/08500 2000 年 12 月 1 日 (01.12.2000) JP (74) 代理人: 弁理士 徳若光政 (TOKUWAKA, Kousei); 〒181-0001 東京都三鷹市井の頭5丁目16番8号 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP). (81) 指定国 (国内): CN, JP, KR, SG, US.
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: METHOD FOR IDENTIFYING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR CHIP

(54) 発明の名称: 半導体集積回路装置の識別方法、半導体集積回路装置の製造方法、半導体集積回路装置及び半導体チップ



(57) Abstract: In the manufacturing process of a semiconductor integrated circuit device, a plurality of identification elements having the same arrangement are formed and the relation of magnitude in a physical quantity corresponding to variation in the process of the plurality of identification elements is employed as identification information specific to the semiconductor integrated circuit device.

(57) 要約:



162162

半導体集積回路装置の製造工程の過程で同一の形態からなる複数の識別要素を形成し、上記複数の識別要素のプロセスバラツキに対応した物理量の相互の大小関係に基づいてかかる半導体集積回路装置の固有の識別情報として用いる。

WO 02/45139 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。