

明 細 書

発明の名称：基板支持台及び基板処理装置

技術分野

[0001] 本開示は、基板支持台及び基板処理装置に関する。

背景技術

[0002] 特許文献1には、基板及びエッジリングを支持するための静電チャックと、前記静電チャックを支持する基台と、を備え、前記静電チャックは、第1上面を有し、前記第1上面の上に載置される基板を支持するように構成された第1領域と、第2上面を有し、前記第1領域の周囲に一体として設けられ、前記第2上面の上に載置されるエッジリングを支持するように構成された第2領域と、前記第1領域に設けられ、直流電圧を印加する第1電極と、前記第2領域に設けられ、直流電圧を印加する第2電極と、バイアス電力を印加する第3電極と、を有する、載置台が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-205379号公報

発明の概要

発明が解決しようとする課題

[0004] 一の側面では、本開示は、基板の冷却性を向上する基板支持台及び基板処理装置を提供する。

課題を解決するための手段

[0005] 上記課題を解決するために、一の態様によれば、下面と、前記下面と反対側の円形状の第1上面と、前記下面と反対側の面であって前記第1上面よりも前記下面の側に形成され、前記第1上面の周囲を囲む円環形状の第2上面を有する基台と、第1のセラミック部材と前記第1のセラミック部材内に配置される第1の静電電極とを含み、前記第1上面に配置される第1の静電チャックと、前記第1の静電チャックとは別体に形成され、第2のセラミック

部材と前記第2のセラミック部材内に配置される第2の静電電極とを含み、前記第2上面に配置される第2の静電チャックと、を備える、基板支持台が提供される。

発明の効果

[0006] 一の側面によれば、基板の冷却性を向上する基板支持台及び基板処理装置を提供することができる。

図面の簡単な説明

[0007] [図1]容量結合型のプラズマ処理装置の構成例を説明するための図の一例。

[図2]第1実施形態に係る基板支持部の構成を説明する図の一例。

[図3]基台の部分拡大断面図の一例。

[図4]第2実施形態に係る基板支持部の構成を説明する図の一例。

[図5]第3実施形態に係る基板支持部の構成を説明する図の一例。

[図6]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図7A]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図7B]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図7C]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図7D]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図7E]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図7F]第4実施形態に係る基板支持部の構成を説明する図の一例。

[図8]第5実施形態に係る基板支持部の構成を説明する図の一例。

[図9]第6実施形態に係る基板支持部の構成を説明する図の一例。

[図10]第7実施形態に係る基板支持部の構成を説明する図の一例。

[図11]第8実施形態に係る基板支持部の構成を説明する図の一例。

[図12]第9実施形態に係る基板支持部の構成を説明する図の一例。

発明を実施するための形態

[0008] 以下、図面を参照して種々の例示的实施形態について詳細に説明する。なお、各図面において同一又は相当の部分に対しては同一の符号を附することとする。

[0009] [プラズマ処理システム]

以下に、プラズマ処理システムの構成例について説明する。図1は、容量結合型のプラズマ処理装置（基板処理装置）1の構成例を説明するための図の一例である。

[0010] プラズマ処理システムは、容量結合型のプラズマ処理装置1及び制御部2を含む。容量結合型のプラズマ処理装置1は、プラズマ処理チャンバ10、ガス供給部20、電源30及び排気システム40を含む。また、プラズマ処理装置1は、基板支持部11及びガス導入部を含む。ガス導入部は、少なくとも1つの処理ガスをプラズマ処理チャンバ10内に導入するように構成される。ガス導入部は、シャワーヘッド13を含む。基板支持部11は、プラズマ処理チャンバ10内に配置される。シャワーヘッド13は、基板支持部11の上方に配置される。一実施形態において、シャワーヘッド13は、プラズマ処理チャンバ10の天部（ceiling）の少なくとも一部を構成する。プラズマ処理チャンバ10は、シャワーヘッド13、プラズマ処理チャンバ10の側壁10a及び基板支持部11により規定されたプラズマ処理空間10sを有する。プラズマ処理チャンバ10は、少なくとも1つの処理ガスをプラズマ処理空間10sに供給するための少なくとも1つのガス供給口と、プラズマ処理空間10sからガスを排出するための少なくとも1つのガス排出口とを有する。プラズマ処理チャンバ10は接地される。シャワーヘッド13及び基板支持部11は、プラズマ処理チャンバ10の筐体とは電氣的に絶縁される。

[0011] 基板支持部11は、本体部（基板支持台）111及びリングアセンブリ112を含む。本体部111は、基板Wを支持するための中央領域111aと、リングアセンブリ112を支持するための環状領域111bとを有する。ウェハは基板Wの一例である。本体部111の環状領域111bは、平面視で本体部111の中央領域111aを囲んでいる。基板Wは、本体部111の中央領域111a上に配置され、リングアセンブリ112は、本体部111の中央領域111a上の基板Wを囲むように本体部111の環状領域111

1 b上に配置される。従って、中央領域1 1 1 aは、基板Wを支持するための基板支持面とも呼ばれ、環状領域1 1 1 bは、リングアセンブリ1 1 2を支持するためのリング支持面とも呼ばれる。

[0012] 一実施形態において、本体部1 1 1は、後述する図2等に示すように、基台1 1 1 0、第1の静電チャック1 1 1 1及び第2の静電チャック1 1 1 2を含む。基台1 1 1 0は、導電性部材を含む。基台1 1 1 0の導電性部材は下部電極として機能し得る。第1の静電チャック1 1 1 1は、基台1 1 1 0の上に配置される。第1の静電チャック1 1 1 1は、セラミック部材1 1 1 1 aとセラミック部材1 1 1 1 a内に配置される静電電極1 1 1 1 bとを含む。セラミック部材1 1 1 1 aは、中央領域1 1 1 aを有する。第2の静電チャック1 1 1 2は、基台1 1 1 0の上に配置される。また、第2の静電チャック1 1 1 2は、環状に形成され、上方から平面視して第1の静電チャック1 1 1 1を囲むように配置される。第2の静電チャック1 1 1 2は、セラミック部材1 1 1 2 aとセラミック部材1 1 1 2 a内に配置される静電電極1 1 1 2 bとを含む。セラミック部材1 1 1 2 aは、環状領域1 1 1 bを有する。なお、環状絶縁部材のような、第2の静電チャック1 1 1 2を囲む他の部材が環状領域1 1 1 bを有してもよい。この場合、リングアセンブリ1 1 2は、環状絶縁部材の上に配置されてもよく、第2の静電チャック1 1 1 2と環状絶縁部材の両方の上に配置されてもよい。また、後述するRF (Radio Frequency) 電源3 1及び／又はDC (Direct Current) 電源3 2に結合される少なくとも1つのRF／DC電極がセラミック部材1 1 1 1 a内に配置されてもよい。この場合、少なくとも1つのRF／DC電極が下部電極として機能する。後述するバイアスRF信号及び／又はDC信号が少なくとも1つのRF／DC電極に供給される場合、RF／DC電極はバイアス電極とも呼ばれる。なお、基台1 1 1 0の導電性部材と少なくとも1つのRF／DC電極とが複数の下部電極として機能してもよい。また、静電電極1 1 1 1 bが下部電極として機能してもよい。従って、基板支持部1 1は、少なくとも1つの下部電極を含む。

- [0013] リングアセンブリ 112 は、1 又は複数の環状部材を含む。一実施形態において、1 又は複数の環状部材は、1 又は複数のエッジリングと少なくとも 1 つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。
- [0014] また、基板支持部 11 は、第 1 の静電チャック 1111、第 2 の静電チャック 1112、リングアセンブリ 112 及び基板 W のうち少なくとも 1 つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路 1110a、又はこれらの組み合わせを含んでもよい。流路 1110a には、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路 1110a が基台 1110 内に形成され、1 又は複数のヒータが第 1 の静電チャック 1111 のセラミック部材 1111a 及び／又は第 2 の静電チャック 1112 のセラミック部材 1112a 内に配置される。また、基板支持部 11 は、基板 W の裏面と中央領域 111a との間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。
- [0015] シャワーヘッド 13 は、ガス供給部 20 からの少なくとも 1 つの処理ガスをプラズマ処理空間 10s 内に導入するように構成される。シャワーヘッド 13 は、少なくとも 1 つのガス供給口 13a、少なくとも 1 つのガス拡散室 13b、及び複数のガス導入口 13c を有する。ガス供給口 13a に供給された処理ガスは、ガス拡散室 13b を通過して複数のガス導入口 13c からプラズマ処理空間 10s 内に導入される。また、シャワーヘッド 13 は、少なくとも 1 つの上部電極を含む。なお、ガス導入部は、シャワーヘッド 13 に加えて、側壁 10a に形成された 1 又は複数の開口部に取り付けられる 1 又は複数のサイドガス注入部 (SGI: Side Gas Injector) を含んでもよい。
- [0016] ガス供給部 20 は、少なくとも 1 つのガスソース 21 及び少なくとも 1 つの流量制御器 22 を含んでもよい。一実施形態において、ガス供給部 20 は、少なくとも 1 つの処理ガスを、それぞれに対応のガスソース 21 からそれ

それぞれに対応の流量制御器 22 を介してシャワーヘッド 13 に供給するように構成される。各流量制御器 22 は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部 20 は、少なくとも 1 つの処理ガスの流量を変調又はパルス化する 1 又はそれ以上の流量変調デバイスを含んでもよい。

[0017] 電源 30 は、少なくとも 1 つのインピーダンス整合回路を介してプラズマ処理チャンバ 10 に結合される RF 電源 31 を含む。RF 電源 31 は、少なくとも 1 つの RF 信号 (RF 電力) を少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給するように構成される。これにより、プラズマ処理空間 10 s に供給された少なくとも 1 つの処理ガスからプラズマが形成される。従って、RF 電源 31 は、プラズマ処理チャンバ 10 において 1 又はそれ以上の処理ガスからプラズマを生成するように構成されるプラズマ生成部の少なくとも一部として機能し得る。また、バイアス RF 信号を少なくとも 1 つの下部電極に供給することにより、基板 W にバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板 W に引き込むことができる。

[0018] 一実施形態において、RF 電源 31 は、第 1 の RF 生成部 31 a 及び第 2 の RF 生成部 31 b を含む。第 1 の RF 生成部 31 a は、少なくとも 1 つのインピーダンス整合回路を介して少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に結合され、プラズマ生成用のソース RF 信号 (ソース RF 電力) を生成するように構成される。一実施形態において、ソース RF 信号は、10 MHz ~ 150 MHz の範囲内の周波数を有する。一実施形態において、第 1 の RF 生成部 31 a は、異なる周波数を有する複数のソース RF 信号を生成するように構成されてもよい。生成された 1 又は複数のソース RF 信号は、少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給される。

[0019] 第 2 の RF 生成部 31 b は、少なくとも 1 つのインピーダンス整合回路を介して少なくとも 1 つの下部電極に結合され、バイアス RF 信号 (バイアス

R F 電力) を生成するように構成される。バイアス R F 信号の周波数は、ソース R F 信号の周波数と同じであっても異なってもよい。一実施形態において、バイアス R F 信号は、ソース R F 信号の周波数よりも低い周波数を有する。一実施形態において、バイアス R F 信号は、100 kHz ~ 60 MHz の範囲内の周波数を有する。一実施形態において、第2の R F 生成部 31b は、異なる周波数を有する複数のバイアス R F 信号を生成するように構成されてもよい。生成された1又は複数のバイアス R F 信号は、少なくとも1つの下部電極に供給される。また、種々の実施形態において、ソース R F 信号及びバイアス R F 信号のうち少なくとも1つがパルス化されてもよい。

[0020] また、基板支持部 11 の本体部 111 が複数の下部電極を有し、各電極に同一の又は異なるバイアス R F 信号を供給する場合、R F 電源 31 が複数の第2の R F 生成部 31b を含み、それぞれ独立した第2の R F 生成部 31b から各下部電極にバイアス R F 信号を供給する構成であってもよい。

[0021] また、電源 30 は、プラズマ処理チャンバ 10 に結合される D C 電源 32 を含んでもよい。D C 電源 32 は、第1の D C 生成部 32a 及び第2の D C 生成部 32b を含む。一実施形態において、第1の D C 生成部 32a は、少なくとも1つの下部電極に接続され、第1の D C 信号を生成するように構成される。生成された第1のバイアス D C 信号は、少なくとも1つの下部電極に印加される。一実施形態において、第2の D C 生成部 32b は、少なくとも1つの上部電極に接続され、第2の D C 信号を生成するように構成される。生成された第2の D C 信号は、少なくとも1つの上部電極に印加される。

[0022] 種々の実施形態において、第1及び第2の D C 信号のうち少なくとも1つがパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、D C 信号から電圧パルスのシーケンスを生成するための波形生成部が第1の D C 生成部 32a と少なくとも1つの下部電極との間に接続される。従って、第1の D C 生成部 32a 及び波形生成部は

、電圧パルス生成部を構成する。第2のDC生成部32b及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも1つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、1周期内に1又は複数の正極性電圧パルスと1又は複数の負極性電圧パルスとを含んでもよい。なお、第1及び第2のDC生成部32a、32bは、RF電源31に加えて設けられてもよく、第1のDC生成部32aが第2のRF生成部31bに代えて設けられてもよい。

[0023] 排気システム40は、例えばプラズマ処理チャンバ10の底部に設けられたガス排出口10eに接続され得る。排気システム40は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間10s内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0024] 制御部2は、本開示において述べられる種々の工程をプラズマ処理装置1に実行させるコンピュータ実行可能な命令を処理する。制御部2は、ここで述べられる種々の工程を実行するようにプラズマ処理装置1の各要素を制御するように構成され得る。一実施形態において、制御部2の一部又は全てがプラズマ処理装置1に含まれてもよい。制御部2は、処理部2a1、記憶部2a2及び通信インターフェース2a3を含んでもよい。制御部2は、例えばコンピュータ2aにより実現される。処理部2a1は、記憶部2a2からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部2a2に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部2a2に格納され、処理部2a1によって記憶部2a2から読み出されて実行される。媒体は、コンピュータ2aに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース2a3に接続されている通信回線であってもよい。処理部2a1は、CPU (Central Processing Unit) であってもよい。記憶部

2a2は、RAM (Random Access Memory)、ROM (Read Only Memory)、HDD (Hard Disk Drive)、SSD (Solid State Drive)、又はこれらの組み合わせを含んでもよい。通信インターフェース2a3は、LAN (Local Area Network)等の通信回線を介してプラズマ処理装置1との間で通信してもよい。

[0025] [基板支持部]

次に、第1実施形態に係る基板支持部11の本体部111の構成について、図2及び図3を用いて説明する。図2は、第1実施形態に係る基板支持部11の本体部111の構成を説明する断面模式図の一例である。図3は、基台1110の外周部(図2において破線で示す範囲)における部分拡大断面図の一例である。なお、図2では、伝熱ガス流路15、多孔質部材16等が配置された位置で基板支持部11を切断した断面模式図を図示している。このため、図2に示す導電層210は、伝熱ガス流路15、多孔質部材16等によって分断されているように図示されているが、実際には伝熱ガス流路15、多孔質部材16等が配置された位置を避けた位置にも導電層210が形成されており、互いに導通している。導電層230についても同様である。また、後述する他の図においても同様である。

[0026] 本体部111は、基台1110と、第1の静電チャック1111と、第2の静電チャック1112と、支持部材1113と、を含む。

[0027] 基台1110は、絶縁材料で形成される。具体的には、基台1110は、Alよりも熱膨張の小さい絶縁材料で形成される。具体的には、熱膨張率(CTE)が4~10ppm/°Cの範囲内の特性を有する絶縁材料を用い得る。具体的には、例えばSiC、AlN、Al₂O₃を用いることができる。伝熱流体が流れる流路1110aは、基台1110内に形成される。基台1110は、下面1110fと、下面1110fと反対側の面である第1上面1110b及び第2上面1110cと、を有する。第1上面1110bは、円形状に形成され、第2上面1110cよりも高い位置に形成される。即ち、

第1上面1110bは、第2上面1110cよりも下面1110fから離れた位置に形成される。第2上面1110cは、平面視して第1上面1110bの周囲を囲む円環形状に形成され、第1上面1110bよりも低い位置に形成される。即ち、第2上面1110cは、第1上面1110bよりも下面1110fに近い位置に形成される。第1上面1110bの上には、接着層1114を介して、第1の静電チャック1111が配置され、固定される。第2上面1110cの上には、接着層1115を介して、第2の静電チャック1112が配置され、固定される。なお、接着層1114、1115は、熱伝導率が1W/mK以上の材料で構成され得る。また、接着層1114、1115の厚さは、200 μ m以下で構成され得る。

[0028] また、基台1110は、第1側面1110dと、第2側面1110eと、を有する。第1側面1110dは、第1上面1110bの外周端と第2上面1110cの内周端との間に形成される円筒状に形成される側面である。第2側面1110eは、第2上面1110cの外周端と下面1110fの外周端との間に形成される円筒状に形成される側面である。下面1110fは、円形状に形成される面である。

[0029] 基台1110の表面には、導電層（第1導電層）210、絶縁層（第1絶縁層）220、導電層（第2導電層）230、絶縁層（第2絶縁層）240が積層されて形成されている。

[0030] 導電層210は、少なくとも第1上面1110bを含む基台1110の表面に形成される。導電層210は、例えば、Alで形成される。導電層210は、第1上面1110b、第1側面1110d、第2上面1110c、第2側面1110e及び下面1110fにわたって形成される。導電層210は、導電層210aと、導電層210bと、導電層210cと、を含む。導電層210aは、第1上面1110bに形成された導電層210であって、絶縁層220で覆われていない部分である。導電層210bは、下面1110fに形成された導電層210であって、絶縁層220で覆われていない部分である。導電層210cは、導電層210aと導電層210bとを電氣的

に接続し、第1側面1110d、第2上面1110c、第2側面1110e及び下面1110fにわたって形成された導電層210であって、絶縁層220で覆われている部分である。導電層210のうち第1上面1110bに形成される導電層210aは、プラズマ生成用のRF信号が供給され、下部電極として機能する。また、導電層210aは、第1のバイアスRF信号が供給され、基板側バイアス電極として機能する。即ち、導電層210aは、プラズマ生成用のRF信号又は第1のバイアス信号の少なくとも一方が供給される。また、導電層210のうち下面1110f、第2側面1110e、第2上面1110c、第1側面1110dに形成される導電層210b、210cは、下部電極及び／又は基板側バイアス電極として機能する導電層210aへの配線層として機能する。導電層210の膜厚は、例えば50 μ m～500 μ mの範囲内を用いることができる。

[0031] 絶縁層220は、導電層210の少なくとも一部を覆うように形成される。絶縁層220は、導電層210と導電層230とを電氣的に絶縁する。絶縁層220は、例えば、 Al_2O_3 、 Y_2O_3 、AlN、PI等で形成される。絶縁層220は、導電層210よりも外側において、下面1110f、第2側面1110e、第2上面1110c及び第1側面1110dにわたって形成される。即ち、絶縁層220は、導電層210cを覆うように形成され、下面1110fの一部で導電層210bが露出するとともに、第1上面1110bで導電層210aが露出する。なお、第1上面1110bに形成された導電層210aは、接着層1114及び第1の静電チャック1111で覆われる。なお、絶縁層220は、第1上面1110bにおいても導電層210を覆うように形成されていてもよい。なお、絶縁層220は、溶射やコーティングによって形成されてもよい。絶縁層220の膜厚は、例えば50 μ m～1000 μ mの範囲内の厚みであり、より薄い膜厚を形成する場合は、50 μ m～600 μ mの範囲内の厚みで形成してもよい。

[0032] 導電層230は、少なくとも第2上面1110cを含む基台1110の表面に形成される。導電層230は、例えば、Al層で形成される。導電層2

30は、絶縁層220よりも外側において、下面1110f、第2側面1110e及び第2上面1110cにわたって形成される。導電層230は、導電層230aと、導電層230bと、導電層230cと、を含む。導電層230aは、第2上面1110cに形成された導電層230であって、絶縁層240で覆われていない部分である。導電層230bは、下面1110fに形成された導電層230であって、絶縁層240で覆われていない部分である。導電層230cは、導電層230aと導電層230bとを電氣的に接続し、第2側面1110e及び下面1110fにわたって形成された導電層230であって、絶縁層240で覆われている部分である。導電層230のうち第2上面1110cに形成される導電層230aは、第2のバイアスRF信号が供給され、エッジリング側バイアス電極として機能する。また、導電層230のうち下面1110f、第2側面1110eに形成される導電層230b、230cは、エッジリング側バイアス電極として機能する導電層230aへの配線層として機能する。導電層230の膜厚は、例えば $50\mu\text{m}$ ～ $500\mu\text{m}$ の範囲内を用いることができる。

[0033] 絶縁層240は、導電層230の少なくとも一部を覆うように形成される。絶縁層240は、導電層230がプラズマ処理空間10sに露出しないように設けられている。絶縁層240は、例えば、 Al_2O_3 、 Y_2O_3 、 AlN 、 PI 等で形成される。絶縁層240は、導電層230よりも外側において、下面1110f及び第2側面1110eにわたって形成される。即ち、絶縁層240は、導電層230cを覆うように形成され、下面1110fの一部で導電層230bが露出するとともに、第2上面1110cで導電層230aが露出する。なお、第2上面1110cに形成された導電層230aは、接着層1115及び第2の静電チャック1112で覆われる。なお、絶縁層240は、第2上面1110cにおいても導電層230を覆うように形成されていてもよい。なお、絶縁層240は、溶射やコーティングによって形成されてもよい。絶縁層240の膜厚は、例えば $50\mu\text{m}$ ～ $1000\mu\text{m}$ の範囲内の厚みであり、より薄い膜厚を形成する場合は、 $50\mu\text{m}$ ～ $600\mu\text{m}$

mの範囲内の厚みで形成してもよい。

[0034] 第1の静電チャック1111は、基板Wを支持する中央領域111aを有する。第1の静電チャック1111は、基台1110の第1上面1110bの上に接着層1114を介して配置される。接着層1114の外周側は、シール部材1116（例えばOリング）によってシールされている。これにより、接着層1114が処理ガスやプラズマ等によって消耗することを抑制する。第1の静電チャック1111は、セラミック部材（第1のセラミック部材）1111aとセラミック部材1111a内に配置される静電電極（第1の静電電極）1111bとを含む。また、セラミック部材1111aの厚さは、2mm以下の厚みであり、より薄い膜厚を形成する場合は、0.3mm～1mmの範囲内の厚みで形成してもよい。

[0035] 第2の静電チャック1112は、第1の静電チャック1111とは別体に形成される。第2の静電チャック1112は、リングアセンブリ112（例えばエッジリング）を支持する環状領域111bを有する。第2の静電チャック1112は、基台1110の第2上面1110cの上に接着層1115を介して配置される。接着層1115の内周側は、シール部材1116によってシールされている。接着層1115の外周側は、シール部材1117（例えばOリング）によってシールされている。これにより、接着層1115が処理ガスやプラズマ等によって消耗することを抑制する。第2の静電チャック1112は、セラミック部材（第2のセラミック部材）1112aとセラミック部材1112a内に配置される静電電極（第2の静電電極）1112bとを含む。また、セラミック部材1112aの厚さは、2mm以下の厚みであり、より薄い膜厚を形成する場合は、0.3mm～1mmの範囲内の厚みで形成してもよい。

[0036] 支持部材1113は、例えば絶縁材料で形成され、基台1110の下に配置される。支持部材1113は、例えば、ボルト等の締結部材（図示せず）で基台1110の裏面と固定される。

[0037] 電気接続部材1131は、導電材料で形成され、基台1110の下面11

10fで導電層210bと電氣的に接続される。電気接続部材1131は、第1のRF生成部31aからプラズマ生成用のソースRF信号が供給される。また、電気接続部材1131は、第2のRF生成部31bから第1のバイアスRF信号が供給される。

[0038] 電気接続部材1132は、導電材料で形成され、基台1110の下面1110fで導電層230bと電氣的に接続される。電気接続部材1132は、第2のRF生成部31bから第2のバイアスRF信号が供給される。

[0039] なお、RF電源31はそれぞれ独立した複数の第2のRF生成部31bを含み、一の第2のRF生成部31bが電気接続部材1131に第1のバイアスRF信号を供給し、他の第2のRF生成部31bが電気接続部材1132に第2のバイアスRF信号を供給する構成であってもよい。

[0040] 電源30は、電気接続部材1131から、下部電極及びバイアス電極として機能する導電層210aにプラズマ生成用のソースRF信号及び第1のバイアスRF信号を供給する。

[0041] ここで、電気接続部材1131と導電層210との接点は、基台1110の下面1110fに形成されている。このため、電気接続部材1131と導電層210との接触面積を大きく形成することが可能になる。これにより、電気接続部材1131と導電層210との接点における発熱を抑制することができる。また、発熱部となる電気接続部材1131と導電層210との接点を基台1110の下面1110fの側に形成することにより、基板支持部11に支持される基板Wの温度上昇を抑制することができる。

[0042] また、基台1110の下面1110fから供給されたソースRF信号及び第1のバイアスRF信号は、基台1110の外周面に形成された配線層としての導電層210を通過して、導電層210aに到達する。このため、配線層において電流が通過する断面積を広く形成することができる。これにより、導電層210の発熱を抑制することができる。

[0043] 同様に、電気接続部材1132と導電層230との接点における発熱を抑制することができる。また、導電層230の発熱を抑制することができる。

- [0044] また、静電チャックは、第1の静電チャック1111と第2の静電チャック1112に分割され、別体に形成されている。また、第1上面1110bが第2上面1110cよりも高い位置まで形成されている。これにより、静電チャックを一体に形成する場合と比較して、第1の静電チャック1111におけるセラミック部材1111aの厚さを薄くすることができる。
- [0045] また、下部電極及びバイアス電極としての導電層210aを基台1110の表面に形成することにより、第1の静電チャック1111のセラミック部材1111aの厚さを薄くすることができる。これにより、基板Wと基台1110との熱伝導性が向上し、基板Wを好適に冷却することができる。
- [0046] また、セラミック部材1111aの厚さを薄くすることにより、セラミック部材1111aの上面と下面との間の温度差を小さくすることができる。これにより、セラミック部材1111aの上面と下面との間の温度差による熱膨張差も小さくすることができる。よって、セラミック部材1111aの反りを低減することができる。
- [0047] また、セラミック部材1111aの厚さを薄くすることにより、基板Wと下部電極及びバイアス電極として機能する導電層210aとの距離を短くすることができる。よって、セラミック部材1111aに形成された伝熱ガス流路15における異常放電を抑制することができる。
- [0048] 同様に、第2の静電チャック1112のセラミック部材1112aの厚さを薄くすることができる。これにより、セラミック部材1112aの反りを低減することができる。
- [0049] また、伝熱ガス流路15の分配流路15aは、基台1110内に形成される。即ち、第1の静電チャック1111に形成される伝熱ガス流路15の流路は板厚方向（垂直方向）に形成され、面方向（水平方向）の流路を設けなくてもよい。これにより、第1の静電チャック1111内に伝熱ガス流路15の分配流路を形成する構成と比較して、セラミック部材1111aの厚さを薄くすることができる。
- [0050] なお、基板支持部11の構成は、図2及び図3に示すものに限られない。

- [0051] 図4は、第2実施形態に係る基板支持部11の構成を説明する図の一例である。前述する図2に示す例と同様に、下部電極及び基板側バイアス電極は、導電層210aとして基台1110に形成され、エッジリング側バイアス電極は、導電層230aとして基台1110に形成される。
- [0052] また、前述する図2に示す例において、伝熱ガス流路15の分配流路15aは、流路1110aと下面1110fの間の基台1110に形成される。分配流路15aの形成される位置は、これに限られるものではない。図4に示すように、伝熱ガス流路15の分配流路15aは、流路1110aと上面（第1上面1110b）の間の基台1110に形成される構成であってもよい。その他の構成は、前述したものと同様であり重複する説明は省略する。
- [0053] 図5は、第3実施形態に係る基板支持部11の構成を説明する図の一例である。前述する図2に示す例と同様に、下部電極及び基板側バイアス電極は、導電層210aとして基台1110に形成される。なお、図5では、配線1112d、給電棒1134等が配置された位置で基板支持部11を切断した断面模式図を図示している。このため、図5に示す導電層210は、配線1112d、給電棒1134等によって内周側と外周側に分断されているように図示されているが、実際には配線1112d、給電棒1134等が配置された位置を避けた位置にも導電層210が形成されており、導通している。
- [0054] 導電層210は、導電層210aと、導電層210bと、導電層210cと、導電層210dと、を含む。ここで、絶縁層220は、導電層210の少なくとも一部を覆うように形成される。また、絶縁層220は、導電層210がプラズマ処理空間10sに露出しないように設けられている。導電層210aは、第1上面1110bに形成された導電層210であって、絶縁層220で覆われていない部分である。導電層210bは、下面1110fに形成された導電層210であって、絶縁層220や支持部材1113で覆われていない部分である。導電層210cは、第1側面1110d、第2上面1110c及び第2側面1110eにわたって形成された導電層210で

あって、絶縁層 220 で覆われている部分である。導電層 210 d は、下面 1110 f に形成された導電層 210 であって、支持部材 1113 で覆われている部分である。導電層 210 c 及び導電層 210 d は、導電層 210 a と導電層 210 b とを電氣的に接続する。

[0055] 図 5 に示すように、下部電極及び基板側バイアス電極は、導電層 210 a として基台 1110 に形成される。一方、エッジリング側バイアス電極は、第 2 の静電チャック 1112 内にバイアス電極 1112 c として形成される。第 2 の静電チャック 1112 の裏面側には、第 2 の静電チャック 1112 の裏面からバイアス電極 1112 c に接続する導電性材料で形成される配線 1112 d が形成されている。配線 1112 d は、例えば、ビアである。基台 1110 には、給電棒 1134 と、スリーブ 1135 と、が設けられている。給電棒 1134 の上端は、配線 1112 d と接続する。給電棒 1134 の下端は、給電線 1136 を介して、電気接続部材 1137 と接続される。電気接続部材 1137 は、第 2 の RF 生成部 31 b から第 2 のバイアス RF 信号が供給される。その他の構成は、前述したものと同様であり重複する説明は省略する。

[0056] 図 6 は、第 4 実施形態に係る基板支持部 11 の構成を説明する図の一例である。図 7 A ~ 図 7 F は、第 4 実施形態に係る基板支持部 11 の基台 1110 の第 2 上面 1110 c における導電層 210、230 の配置の一例を示す図である。換言すれば、図 7 A ~ 図 7 F は、第 2 上面 1110 c を上方からみた際の導電層 210、絶縁層 220、導電層 230 の配置の一例を示す図である。

[0057] 図 2 に示す例において、基台 1110 の第 2 上面 1110 c には、厚さ方向に導電層 210、絶縁層 220、導電層 230 の 3 層が順番に積層される。これに対し、図 6 に示す基板支持部 11 では、第 2 上面 1110 c において導電層 210、絶縁層 220、導電層 230 が平面上に配置される。即ち、第 2 上面 1110 c において、導電層 210、絶縁層 220、導電層 230 は、厚さ方向においては 1 層で形成されていてもよい。その他の構成は、

前述したものと同様であり重複する説明は省略する。

[0058] 例えば、図7Aに示すように、周方向に交互に配置されることで、1層内に導電層210、絶縁層220、導電層230が形成されていてもよい。なお、図7Bに示すように、導電層210及び導電層230の角部210e、230eが丸められてもよい。この場合、角部における電界の集中が抑制される。

[0059] 例えば、図7Cに示すように、周方向に交互に入れ子構造で配置されることで、1層内に導電層210、絶縁層220、導電層230が形成されていてもよい。なお、図7Dに示すように、導電層210及び導電層230の角部210f、230fが丸められてもよい。この場合、角部における電界の集中が抑制される。

[0060] 例えば、図7Eに示すように、周方向に交互に入れ子構造で配置されることで、1層内に導電層210、絶縁層220、導電層230が形成されていてもよい。なお、図7Fに示すように、導電層210及び導電層230の角部210g、230gが丸められてもよい。この場合、角部における電界の集中が抑制される。

[0061] これにより、第2の静電チャック1112と基台1110との熱伝導性を向上させることができる。

[0062] 図8は、第5実施形態に係る基板支持部11の構成を説明する図の一例である。

[0063] 第5実施形態に係る基板支持部11において、基台1110は、導電性材料、具体的には、モリブデン(Mo)を含む材料(Mo合金)で形成される。ここで、セラミック部材1111a、1112aは、例えば Al_2O_3 が用いられる。基台1110の材料として、モリブデン(Mo)を含む材料を用いることにより、SiCと比較して、 Al_2O_3 との熱膨張差を小さくすることができる。これにより、接着層1114、1115の歪みを抑制することができる。また、基台1110を金属材料で形成することにより、割れ(クラック)の発生を抑制することができる。なお、基台1110は、タングス

テン (W) を含む材料 (W合金) で形成されてもよい。また、基台 1 1 1 0 は、S i - A l を含む材料 (S i - A l 合金) で形成されてもよい。

[0064] また、基台 1 1 1 0 が下部電極及び基板側バイアス電極として機能する。また、図 5 に示す例と同様に、エッジリング側バイアス電極として、第 2 の静電チャック 1 1 1 2 内にバイアス電極 1 1 1 2 c が形成される。

[0065] また、基台 1 1 1 0 の表面には、絶縁層 2 2 1 が積層されて形成されている。絶縁層 2 2 1 は、基台 1 1 1 0 の少なくとも一部を覆うように形成される。また、絶縁層 2 2 1 は、基台 1 1 1 0 がプラズマ処理空間 1 0 s に露出しないように設けられている。絶縁層 2 2 1 は、例えば、 Al_2O_3 、 Y_2O_3 、 AlN 、 Pi 等で形成される。なお、絶縁層 2 2 1 は、溶射やコーティングによって形成されてもよい。絶縁層 2 2 1 の膜厚は、例えば $50\mu m \sim 1000\mu m$ の範囲内の厚みであり、より薄い膜厚を形成する場合は、 $50\mu m \sim 600\mu m$ の範囲内の厚みで形成してもよい。

[0066] その他の構成は、前述したものと同様であり重複する説明は省略する。

[0067] 図 9 は、第 6 実施形態に係る基板支持部 1 1 の構成を説明する図の一例である。

[0068] 第 6 実施形態に係る基板支持部 1 1 において、図 8 に示す例と同様に、基台 1 1 1 0 が下部電極及び基板側バイアス電極として機能する。また、図 8 に示す例と同様に、エッジリング側バイアス電極として、第 2 の静電チャック 1 1 1 2 内にバイアス電極 1 1 1 2 c が形成される。

[0069] ここで、基台 1 1 1 0 は、第 1 の基台 3 1 0 と、第 2 の基台 3 2 0 と、を接合して形成される。第 1 の基台 3 1 0 と第 2 の基台 3 2 0 とは異なる導電性材料で形成される。第 2 の基台 3 2 0 は、例えば熱膨張率 (CTE) が $4 \sim 7 ppm/^\circ C$ の範囲内の特性を有する金属材料を用いることができる。具体的には、第 2 の基台 3 2 0 は、モリブデン (Mo)、タングステン (W)、S i - A l 等のいずれかを含む材料 (Mo合金、W合金、S i - A l 合金) で形成される。第 1 の基台 3 1 0 は、非磁性金属を用いることができる。具体的には、第 1 の基台 3 1 0 は、アルミニウム (Al) を含む材料、また

は、ステンレス鋼（SUS）で形成される。

[0070] 第1の基台310と第2の基台320との接合は、摩擦攪拌接合、アルミロウ接合等を用いることができる。

[0071] また、第1の基台310の上面側には、流路1110aとなる凹部が形成される。凹部が形成された第1の基台310と第2の基台320とを接合することで流路1110aが形成される。加工性のよい材料で形成される第1の基台310に流路1110aとなる凹部を形成することにより、基台1110に流路1110aを形成することが容易となる。その他の構成は、前述したものと同様であり重複する説明は省略する。

[0072] 図10は、第7実施形態に係る基板支持部11の構成を説明する図の一例である。

[0073] 第7実施形態に係る基板支持部11において、図8に示す例と同様に、基台1110が下部電極及び基板側バイアス電極として機能する。また、図8に示す例と同様に、エッジリング側バイアス電極として、第2の静電チャック1112内にバイアス電極1112cが形成される。

[0074] 第7実施形態に係る基板支持部11において、基台1110は、第1の基台310と第2の基台320とがボルト等の締結部材（図示せず）で固定して形成される。また、第1の基台310と第2の基台320との間において、伝熱ガス流路15及び伝熱媒体の流路1110aをシールするOリング等のシール部材340が設けられている。その他の構成は、前述したものと同様であり重複する説明は省略する。

[0075] 図11は、第8実施形態に係る基板支持部11の構成を説明する図の一例である。

[0076] 第8実施形態に係る基板支持部11において、図8に示す例と同様に、基台1110が下部電極及び基板側バイアス電極として機能する。また、基台1110の表面には、絶縁層（第1絶縁層）222、導電層232、絶縁層（第2絶縁層）242が積層されて形成されている。エッジリング側バイアス電極は、導電層232aとして基台1110に形成される。

- [0077] 絶縁層 2 2 2 は、基台 1 1 1 0 の少なくとも一部を覆うように形成される。絶縁層 2 2 2 は、基台 1 1 1 0 と導電層 2 3 2 とを電氣的に絶縁する。絶縁層 2 2 2 は、例えば、 Al_2O_3 、 Y_2O_3 、 AlN 、 PI 等で形成される。絶縁層 2 2 2 は、少なくとも第 2 上面 1 1 1 0 c を含む基台 1 1 1 0 の表面に形成される。具体的には、絶縁層 2 2 2 は、下面 1 1 1 0 f、第 2 側面 1 1 1 0 e、第 2 上面 1 1 1 0 c 及び第 1 側面 1 1 1 0 d にわたって形成される。また、絶縁層 2 2 2 は、基台 1 1 1 0 と導電層 2 3 2 とを電氣的に絶縁する。なお、絶縁層 2 2 2 は、溶射やコーティングによって形成されてもよい。絶縁層 2 2 2 の膜厚は、例えば $50\ \mu\text{m}$ ~ $1000\ \mu\text{m}$ の範囲内の厚みであり、より薄い膜厚を形成する場合は、 $50\ \mu\text{m}$ ~ $600\ \mu\text{m}$ の範囲内の厚みで形成してもよい。
- [0078] 導電層 2 3 2 は、少なくとも第 2 上面 1 1 1 0 c に形成された絶縁層 2 2 2 の上に形成される。導電層 2 3 2 は、例えば、 Al 層で形成される。具体的には、絶縁層 2 2 2 は、下面 1 1 1 0 f、第 2 側面 1 1 1 0 e 及び第 2 上面 1 1 1 0 c にわたって形成される。導電層 2 3 2 は、導電層 2 3 2 a と、導電層 2 3 2 b と、導電層 2 3 2 c と、を含む。導電層 2 3 2 a は、第 2 上面 1 1 1 0 c に形成された導電層 2 3 2 であって、絶縁層 2 4 2 で覆われていない部分である。導電層 2 3 2 b は、下面 1 1 1 0 f に形成された導電層 2 3 2 であって、絶縁層 2 4 2 で覆われていない部分である。導電層 2 3 2 c は、導電層 2 3 2 a と導電層 2 3 2 b とを電氣的に接続し、第 2 側面 1 1 1 0 e 及び下面 1 1 1 0 f にわたって形成された導電層 2 3 2 であって、絶縁層 2 4 2 で覆われている部分である。導電層 2 3 2 のうち第 2 上面 1 1 1 0 c に形成される導電層 2 3 2 a は、第 2 のバイアス RF 信号が供給され、エッジリング側バイアス電極として機能する。また、導電層 2 3 2 のうち下面 1 1 1 0 f、第 2 側面 1 1 1 0 e に形成される部分は、エッジリング側バイアス電極として機能する導電層 2 3 2 a への配線層として機能する。導電層 2 3 2 の膜厚は、例えば $50\ \mu\text{m}$ ~ $500\ \mu\text{m}$ の範囲内を用いることができる。

[0079] 絶縁層 242 は、導電層 232 の少なくとも一部を覆うように形成される。絶縁層 242 は、導電層 232 がプラズマ処理空間 10s に露出しないように設けられている。絶縁層 242 は、例えば、 Al_2O_3 、 Y_2O_3 、 AlN 、 P 等で形成される。なお、絶縁層 242 は、溶射やコーティングによって形成されてもよい。絶縁層 242 の膜厚は、例えば $50\mu m \sim 1000\mu m$ の範囲内の厚みであり、より薄い膜厚を形成する場合は、 $50\mu m \sim 600\mu m$ の範囲内の厚みで形成してもよい。

[0080] その他の構成は、前述したものと同様であり重複する説明は省略する。

[0081] 図 12 は、第 9 実施形態に係る基板支持部 11 の構成を説明する図の一例である。

[0082] 第 8 実施形態に係る基板支持部 11 において、図 9 に示す例と同様に、基台 1110 が下部電極及び基板側バイアス電極として機能する。また、基台 1110 は、第 1 の基台 310 と、第 2 の基台 320 と、を接合して形成される。なお、基台 1110 は、第 1 の基台 310 と第 2 の基台 320 とがボルト等の締結部材（図示せず）で固定されてもよい。その他の構成は、前述したものと同様であり重複する説明は省略する。

[0083] 以上に開示された実施形態は、例えば、以下の態様を含む。

（付記 1）

下面と、前記下面と反対側の円形状の第 1 上面と、前記下面と反対側の面であって前記第 1 上面よりも前記下面の側に形成され、前記第 1 上面の周囲を囲む円環形状の第 2 上面を有する基台と、

第 1 のセラミック部材と前記第 1 のセラミック部材内に配置される第 1 の静電電極とを含み、前記第 1 上面に配置される第 1 の静電チャックと、

前記第 1 の静電チャックとは別体に形成され、第 2 のセラミック部材と前記第 2 のセラミック部材内に配置される第 2 の静電電極とを含み、前記第 2 上面に配置される第 2 の静電チャックと、を備える、
基板支持台。

（付記 2）

前記基台は、絶縁材料で形成され、

少なくとも前記第 1 上面を含む前記基台の表面に形成され、プラズマ生成用の R F 信号又は第 1 のバイアス信号の少なくとも一方が供給される第 1 導電層と、

前記第 1 導電層の少なくとも一部を覆う第 1 絶縁層と、を含む、
付記 1 に記載の基板支持台。

(付記 3)

前記第 1 導電層は、前記第 1 上面、前記第 1 上面と前記第 2 上面との間の第 1 側面、前記第 2 上面、前記第 2 上面と前記下面との間の第 2 側面及び前記下面にわたって形成される、

付記 2 に記載の基板支持台。

(付記 4)

少なくとも前記第 2 上面を含む前記基台の表面に形成され、第 2 のバイアス信号が供給される第 2 導電層と、

前記第 2 導電層の少なくとも一部を覆う第 2 絶縁層と、を含む、
付記 3 に記載の基板支持台。

(付記 5)

前記第 2 導電層は、前記第 2 上面、前記第 2 側面及び前記下面にわたって形成される、

付記 4 に記載の基板支持台。

(付記 6)

前記第 2 の静電チャックは、前記第 2 のセラミック部材内に配置され、第 2 のバイアス信号が供給されるバイアス電極を有する、

付記 2 または付記 3 に記載の基板支持台。

(付記 7)

前記基台は、導電性材料で形成され、

前記基台は、プラズマ生成用の R F 信号又は第 1 のバイアス信号の少なくとも一方が供給される、

付記 1 に記載の基板支持台。

(付記 8)

前記基台は、前記基台の前記下面を含む第 1 の基台と、前記第 1 の基台とは異なる材料で形成され、前記第 1 上面及び前記第 2 上面を含む第 2 の基台と、を有する、

付記 7 に記載の基板支持台。

(付記 9)

前記第 1 の基台と前記第 2 の基台とは接合される、

付記 8 に記載の基板支持台。

(付記 10)

前記第 1 の基台と前記第 2 の基台とは締結部材で固定される、

付記 8 に記載の基板支持台。

(付記 11)

前記第 1 の基台は、Al または SUS で形成され、

前記第 2 の基台は、Mo 合金、W 合金、Si-Al 合金のいずれかで形成される、

付記 8 乃至付記 10 のいずれか 1 項に記載の基板支持台。

(付記 12)

少なくとも前記第 2 上面を含む前記基台の表面に形成される第 1 絶縁層と、

少なくとも前記第 2 上面に形成された前記第 1 絶縁層の上に形成され、第 2 のバイアス信号が供給される第 2 導電層と、

前記第 2 導電層の少なくとも一部を覆う第 2 絶縁層と、を含む、

付記 7 乃至付記 11 のいずれか 1 項に記載の基板支持台。

(付記 13)

前記第 2 の静電チャックは、前記第 2 のセラミック部材内に配置され、第 2 のバイアス信号が供給されるバイアス電極を有する、

付記 7 乃至付記 11 のいずれか 1 項に記載の基板支持台。

(付記 1 4)

前記第 1 の静電チャックの板厚は、1 mm 以下である、
付記 1 乃至付記 1 3 のいずれか 1 項に記載の基板支持台。

(付記 1 5)

付記 1 乃至付記 1 4 のいずれか 1 項に記載の基板支持台を備える、
基板処理装置。

[0084] なお、上記実施形態に挙げた構成等に、その他の要素との組み合わせ等、
ここで示した構成に本発明が限定されるものではない。これらの点に関して
は、本発明の趣旨を逸脱しない範囲で変更することが可能であり、その応用
形態に応じて適切に定めることができる。

[0085] 尚、本願は、2023 年 4 月 5 日に出願した日本国特許出願 2023-6
1597 号に基づく優先権を主張するものであり、これらの日本国特許出願
の全内容を本願に参照により援用する。

符号の説明

- [0086] 1 プラズマ処理装置
1 0 プラズマ処理チャンバ
1 1 基板支持部
1 1 1 本体部（基板支持台）
1 1 1 a 中央領域
1 1 1 b 環状領域
1 1 1 0 基台
1 1 1 0 a 流路
1 1 1 0 b 第 1 上面
1 1 1 0 c 第 2 上面
1 1 1 0 d 第 1 側面
1 1 1 0 e 第 2 側面
1 1 1 0 f 下面
1 1 1 1 第 1 の静電チャック

- 1 1 1 1 a セラミック部材（第 1 のセラミック部材）
- 1 1 1 1 b 静電電極（第 1 の静電電極）
- 1 1 1 2 第 2 の静電チャック
- 1 1 1 2 a セラミック部材（第 2 のセラミック部材）
- 1 1 1 2 b 静電電極（第 2 の静電電極）
- 1 1 1 2 c バイアス電極
- 1 1 1 2 d 配線
- 3 1 R F 電源
- 3 1 a 第 1 の R F 生成部
- 3 1 b 第 2 の R F 生成部
- 2 1 0 導電層（第 1 導電層）
- 2 2 0 絶縁層（第 1 絶縁層）
- 2 3 0 導電層（第 2 導電層）
- 2 4 0 絶縁層（第 2 絶縁層）
- 3 1 0 第 1 の基台
- 3 2 0 第 2 の基台

請求の範囲

- [請求項1] 下面と、前記下面と反対側の円形状の第1上面と、前記下面と反対側の面であって前記第1上面よりも前記下面の側に形成され、前記第1上面の周囲を囲む円環形状の第2上面を有する基台と、
- 第1のセラミック部材と前記第1のセラミック部材内に配置される第1の静電電極とを含み、前記第1上面に配置される第1の静電チャックと、
- 前記第1の静電チャックとは別体に形成され、第2のセラミック部材と前記第2のセラミック部材内に配置される第2の静電電極とを含み、前記第2上面に配置される第2の静電チャックと、を備える、基板支持台。
- [請求項2] 前記基台は、絶縁材料で形成され、
- 少なくとも前記第1上面を含む前記基台の表面に形成され、プラズマ生成用のRF信号又は第1のバイアス信号の少なくとも一方が供給される第1導電層と、
- 前記第1導電層の少なくとも一部を覆う第1絶縁層と、を含む、請求項1に記載の基板支持台。
- [請求項3] 前記第1導電層は、前記第1上面、前記第1上面と前記第2上面との間の第1側面、前記第2上面、前記第2上面と前記下面との間の第2側面及び前記下面にわたって形成される、
- 請求項2に記載の基板支持台。
- [請求項4] 少なくとも前記第2上面を含む前記基台の表面に形成され、第2のバイアス信号が供給される第2導電層と、
- 前記第2導電層の少なくとも一部を覆う第2絶縁層と、を含む、請求項3に記載の基板支持台。
- [請求項5] 前記第2導電層は、前記第2上面、前記第2側面及び前記下面にわたって形成される、
- 請求項4に記載の基板支持台。

- [請求項6] 前記第2の静電チャックは、前記第2のセラミック部材内に配置され、第2のバイアス信号が供給されるバイアス電極を有する、請求項2または請求項3に記載の基板支持台。
- [請求項7] 前記基台は、導電性材料で形成され、
前記基台は、プラズマ生成用のRF信号又は第1のバイアス信号の少なくとも一方が供給される、
請求項1に記載の基板支持台。
- [請求項8] 前記基台は、前記基台の前記下面を含む第1の基台と、前記第1の基台とは異なる材料で形成され、前記第1上面及び前記第2上面を含む第2の基台と、を有する、
請求項7に記載の基板支持台。
- [請求項9] 前記第1の基台と前記第2の基台とは接合される、
請求項8に記載の基板支持台。
- [請求項10] 前記第1の基台と前記第2の基台とは締結部材で固定される、
請求項8に記載の基板支持台。
- [請求項11] 前記第1の基台は、AlまたはSiで形成され、
前記第2の基台は、Mo合金、W合金、Si-Al合金のいずれかで形成される、
請求項8乃至請求項10のいずれか1項に記載の基板支持台。
- [請求項12] 少なくとも前記第2上面を含む前記基台の表面に形成される第1絶縁層と、
少なくとも前記第2上面に形成された前記第1絶縁層の上に形成され、第2のバイアス信号が供給される第2導電層と、
前記第2導電層の少なくとも一部を覆う第2絶縁層と、を含む、
請求項7乃至請求項10のいずれか1項に記載の基板支持台。
- [請求項13] 前記第2の静電チャックは、前記第2のセラミック部材内に配置され、第2のバイアス信号が供給されるバイアス電極を有する、
請求項7乃至請求項10のいずれか1項に記載の基板支持台。

- [請求項14] 前記第1の静電チャックの板厚は、1 mm以下である、
請求項1乃至請求項5のいずれか1項に記載の基板支持台。
- [請求項15] 請求項1乃至請求項5のいずれか1項に記載の基板支持台を備える
、
基板処理装置。