

内存数据迁移方法、相关装置及计算机设备

本申请要求于 2023 年 03 月 31 日提交国家知识产权局、申请号为 202310379809.9, 申请名称为“内存数据迁移方法、相关装置及计算机设备”的中国专利申请的优先权, 这些全部内容通过引用结合在本申请中。

技术领域

本申请涉及计算机领域, 尤其涉及一种内存数据迁移方法、相关装置及计算机设备。

背景技术

目前, 通过统计内存页面的访问频次确定内存访问热度, 基于内存访问热度执行数据迁移, 即希望存取速度快的存储器存储访问频繁的数据, 存取速度慢的存储器存储访问不频繁的数据。但是, 页面访问频次的统计周期较长, 处理器可能无法及时获取页面访问频次, 影响了系统输入/输出(Input/Output, I/O)的性能, 可能导致存取速度快的存储器可能存储访问不频繁的数据, 或者导致存取速度慢的存储器可能存储访问频繁的数据, 影响了系统的数据处理速度和时延。

发明内容

本申请提供了内存数据迁移方法、相关装置及计算机设备, 由此提高系统的数据处理速度, 以及降低数据处理时延。

第一方面, 提供了一种内存数据迁移方法, 该方法应用于混合内存系统, 混合内存系统包含多个处理器和多种不同类型的内存介质, 处理器关联至少两种不同类型的内存介质。方法包括: 根据采样规则指示的周期性采样方式对获取到的访问请求进行采样, 统计采样结果指示的页面的访问频次, 以便于根据页面的访问频次确定页面的访问热度, 根据访问热度在至少两种不同类型的内存介质间触发数据迁移。其中, 访问请求用于指示计算机设备中处理器运行的应用程序对内存介质的操作。访问频次直观地表示了数据块被应用程序访问的频繁程度。数据块被应用程序访问的次数越多, 表示数据块被应用程序访问的越频繁, 数据块的访问热度越热; 数据块被应用程序访问的次数越少, 表示数据块被应用程序访问的越不频繁, 数据块的访问热度越冷。

如果一个页面被频繁访问, 则该访问页面的访问请求的数量较多。如此, 本申请提供的内存数据迁移方法, 由于基于采样规则指示的周期性采样方式, 对访问请求进行多种方式采样, 则可以被频繁访问的页面的访问请求被采样到的概率较大, 基于页面的访问频次的变化趋势确定页面被频繁访问的趋势, 确保页面的访问频次的统计准确性, 又减少页面的访问频次的统计数据量, 使得处理器能够尽可能快地获取到页面的访问频次, 依据页面的访问热度触发数据迁移时, 可以将热数据迁移到近端内存, 将冷数据迁移到远端内存, 使处理器可以尽可能快地从近端内存获取频繁访问的数据, 提高系统的数据处理速度, 以及降低数据处理时延。

其中, 近端内存的存取速度大于远端内存的存取速度。例如, 近端内存可以是动态随机存取存储器(Dynamic Random Access Memory, DRAM)或者双倍数据速率同步动态随机存取存储器(double data rate SDRAM, DDR SDRAM)。远端内存可以是存储级内存(storage-class-memory, SCM)。

多种不同类型的内存介质包括第一内存介质和第二内存介质, 处理器关联的内存介质包含第一内存介质和第二内存介质, 第一内存介质的存取速度大于第二内存介质的存取速度, 则第一内存介质的访问时延小于第二内存介质的访问时延。例如, 第一内存介质可以是近端内存, 第二存储介质可以为远端内存。

在一种可能的实现方式中, 根据采样规则对获取到的访问请求进行采样, 得到采样结果, 包括: 根据采样规则指示的基于时间间隔采样模式对获取到的访问请求进行采样, 得到采样结果。

从而, 对内存的访问请求进行时间间隔采样操作, 在采样区间内, 减少对页面的访问频次的统计数据量的存储依赖; 而且, 在采样区间中传输页面的访问频次即可, 减少了对瞬时带宽的需

求。

在另一种可能的实现方式中，根据采样规则指示的基于时间间隔采样模式对获取到的访问请求进行采样，得到采样结果，包括：根据采样规则指示的采样频率对获取到的访问请求进行采样，得到采样结果。采样频率用于指示采样所间隔的访问请求数量。

其中，采样频率是依据内存的带宽确定的。从而，平衡带宽与页面的访问频次的统计数据量，使得处理器能够尽可能快地获取到页面的访问频次，避免页面访问频次的的数据量较多，由于带宽受限，处理器无法及时获取页面访问频次。

可选地，采样频率是依据内存中页面的数量确定的。页面较多时，采样频率指示的采样所间隔的访问请求的数量可以较少；页面较少时，采样频率指示的采样所间隔的访问请求的数量可以较多，尽可能采集到每个页面的访问频次。

在另一种可能的实现方式中，根据采样规则指示的基于时间间隔采样模式对获取到的访问请求进行采样，得到采样结果，包括：根据采样规则指示的采样周期内访问请求的数量特征对获取到的访问请求进行采样，得到采样结果。采样周期用于指示采样所间隔的时间长度。

在另一种可能的实现方式中，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：根据采样规则指示的采样次数对获取到的访问请求进行至少一次采样，得到采样结果。从而，通过对多个访问请求进行多次采样，页面的访问频次的统计准确性。

在另一种可能的实现方式中，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：根据采样规则对获取到的访问请求中的采样样本进行采样，得到采样结果。

在另一种可能的实现方式中，统计采样结果指示的页面的访问频次，包括：根据访问请求指示的地址确定地址索引，统计地址索引关联的访问频次，访问请求指示的地址用于指示页面。从而，对访问请求指示的地址进行裁剪，减少存储页面的访问频次所占用的存储空间。

在另一种可能的实现方式中，访问请求用于指示计算机设备中处理器运行的应用程序采用交织方式对内存的操作。

第二方面，提供了一种内存数据迁移装置，内存数据迁移装置包括用于执行第一方面或第一方面任一种可能设计中的内存数据迁移方法的各个模块。

第三方面，提供了一种内存，内存包括存储介质和控制器，存储介质用于存储一组计算机指令；当控制器执行所述一组计算机指令时，执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

第四方面，提供了一种芯片，包括：处理器和供电电路；其中，供电电路用于为处理器供电；处理器用于执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

第五方面，提供了一种处理器，处理器包括关联至少两种不同类型的内存介质，处理器用于执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存介质中数据块被应用程序访问的访问频次。

第六方面，提供了一种计算机设备，该计算机设备包括存储器、多种不同类型的内存介质和处理器，存储器用于存储一组计算机指令；当处理器执行一组计算机指令时，处理器用于执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

第七方面，提供了一种计算机可读存储介质，包括：计算机软件指令；当计算机软件指令在处理器中运行时，使得处理器执行如第一方面或第一方面任意一种可能的实现方式中所述方法的操作步骤。

第八方面，提供了一种计算机程序产品，当计算机程序产品在计算机上运行时，使得计算机执行如第一方面或第一方面任意一种可能的实现方式中所述方法的操作步骤。

第二方面至第八方面中任一种设计方式所带来的技术效果可参见第一方面或第一方面中不同设计方式所带来的技术效果，此处不再赘述。

本申请在上述各方面提供的实现方式的基础上，还可以进行进一步组合以提供更多实现方式。

附图说明

图1为本申请提供的一种计算机设备的组成示意图；
图2为本申请提供的一种内存访问热度统计的场景示意图；
图3为本申请提供的一种内存数据迁移方法的流程示意图；
图4为本申请提供的一种基于采样频率采样访问请求的示意图；
图5为本申请提供的一种基于采样周期采样访问请求的示意图；
图6为本申请提供的一种获取采样样本的示意图；
图7为本申请提供的一种地址裁剪的示意图；
图8为本申请提供的一种内存访问热度统计方法的流程示意图；
图9为本申请提供的一种访问频次获取方法的流程示意图；
图10为本申请提供的一种内存数据迁移装置的结构示意图。

具体实施方式

为了便于描述，首先对本申请涉及的术语进行简单介绍。

在计算机存储系统的层次结构中，越靠近处理器的存储器，存取速度越快，存储容量也越小。依据距离处理器从近到远的顺序，存储器分为：寄存器，高速缓冲存储器，主存储器，外部存储器。

主存储器（main memory），也称内存储器，简称主存或内存(memory)。主存是计算机系统的重要部件，即外部存储器与处理器进行沟通的桥梁。主存用于暂时存放处理器中的运算数据以及处理器与硬盘等外部存储器交换的数据。例如，计算机开始运行，将需要运算的数据从主存加载到处理器中进行运算，运算完成后，处理器将运算结果存入主存。例如，主存包括动态随机存取存储器(dynamic random access memory, DRAM)，双倍数据率同步动态随机存取存储器(double data rate synchronous DRAM, DDR SDRAM)。

外部存储器，也称辅助存储器，简称为外存或辅存。相对主存，外存的存储容量大，存取速度慢。例如，外部存储器包括网络存储器，固态驱动器(solid state disk 或 solid state drive, SSD)，硬盘驱动器(hard disk drive, HDD)。

高速缓冲存储器(cache)，是介于处理器和主存之间的高速小容量存储器。高速缓冲存储器简称缓存。相对主存，缓存的存储容量小，存取速度快。缓存包括一级缓存(L1 cache)、二级缓存(L2 cache)和三级缓存(L3 cache)。一级缓存设置于处理器核内部。二级缓存可以设置于处理器核内部或处理器核外部。一级缓存和二级缓存通常由其所在的处理器核独享(exclusive)。三级缓存一般设置在处理器核外部，由多个处理器核共享(shared)。

寄存器(register)，是位于处理器内部的小型存储器，用于暂时存放参与运算的数据和运算结果。寄存器可以是一种常用的时序逻辑电路。

分级存储(Hierarchical Storage Technology)，是根据数据的重要性、访问频率、保留时间、存储容量、性能等指标，将数据采取不同的存储方式分别存储在不同性能的存储设备上，通过分级存储管理实现数据在存储设备之间的自动迁移。

热数据，指处理器经常访问的数据。如果将热数据存储到近端内存(near memory)，使得处理器可以尽可能快地获取到数据，提高系统的数据处理速度，以及降低数据处理时延，显著地改善系统的访问性能。

冷数据，指处理器不经常访问的数据。如果将冷数据存储到远端内存(far memory)，可以存储更多的数据，而且使近端内存存储更多的热数据，提高近端内存的资源利用率，降低系统成本。例如，高速缓冲存储器相对主存，高速缓冲存储器为近端内存，主存为远端内存。又如，主存相对外存，主存为近端内存，外存为远端内存。

缓存线(cache_line)，指计算机设备对内存的存储空间进行读操作或写操作的单位。一个缓存线的大小可以为64字节(byte, B)。

页面，指计算机设备对内存的存储空间进行管理的单位。例如，页面大小(page size)为4KB、2兆字节(Megabyte, MB)或其他的字节大小。4KB页面可以称为小页。2MB页面可以称为大页。页面越小，计算机设备管理内存所需的资源越多；页面越大，计算机设备管理内存所需的资源越少。一个页面可以包括多个缓存线，即页面大小为缓存线的大小的倍数。

交织，指将访问内存的数据按照单位存储空间（例如，缓存线）均匀地分布到多个内存通道上。交织方式可以由系统管理员配置，可以在一个处理器连接的多个内存通道之间进行交织，也可以在多个处理器的多个内存通道之间进行交织。

内存通道，指计算机设备中处理器连接的多个内存。处理器可以采用交织技术对内存进行操作。例如，处理器根据缓存线的大小将待写入内存的数据均匀地分布到多个内存通道上。进而，处理器根据缓存线的大小从多个内存通道上读取数据。从而，基于多个内存通道进行数据处理，以提升计算机设备的内存带宽利用率和处理性能。

采样频率（frequency of sample），也称为采样速度或者采样率，指示单位时间内从连续信号中提取并组成离散信号的采样个数，用赫兹（Hertz, Hz）表示。采样频率的倒数是采样周期或者采样时间，采样频率是采样之间的时间间隔。通俗的讲采样频率是指计算机单位时间内能够采集多少个信号样本。

为了提高系统的数据处理速度，以及降低数据处理时延，本申请提供一种内存数据迁移方法，该方法应用于混合内存系统，混合内存系统包含多个处理器和多种不同类型的内存介质，处理器关联至少两种不同类型的内存介质。方法包括：根据采样规则指示的周期性采样方式对获取到的访问请求进行采样，统计采样结果指示的页面的访问频次，以便于根据页面的访问频次确定页面的访问热度，根据访问热度在至少两种不同类型的内存介质间触发数据迁移。

由于基于采样规则指示的周期性采样方式，对访问请求进行多种方式采样，确保页面的访问频次的统计准确性，又减少页面的访问频次的统计数据量，使得处理器能够尽可能快地获取到页面的访问频次，依据页面的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取频繁访问的数据，提高系统的数据处理速度，以及降低数据处理时延，显著地改善系统的访问性能。

本申请提供的内存数据迁移方法可以应用于人工智能、大数据、云计算等领域，以及高性能、大容量的存储系统等包含多种类型的存储介质的场景。

下面结合附图对本申请的实施方式进行详细描述。

图1为本申请提供的一种计算机设备的组成示意图。如图1所示，计算机设备100包括处理器110。

处理器110是计算机设备100的控制中心。处理器110可以是中央处理器（central processing unit, CPU）、图形处理器（graphics processing unit, GPU）、数据处理单元（data processing unit, DPU）、神经处理单元（neural processing unit, NPU）和嵌入式神经网络处理器（neural-network processing unit, NPU）等具有计算能力的计算单元。处理器110还可以是其他通用处理器、数字信号处理器（digital signal processing, DSP）、专用集成电路（application-specific integrated circuit, ASIC）、现场可编程门阵列（field-programmable gate array, FPGA）、片上系统（system on chip, SoC）或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者是任何常规的处理器等。为了便于描述，以下实施例以处理器110为CPU为例进行说明。

图1中计算机设备100可包括一个或多个处理器（如：处理器110和处理器130）。处理器可以是一个多核（multi-core）处理器，即处理器包括一个处理器核（core）或多个处理器核。例如，图1中所示的处理器110包含的N个处理器核。这里的处理器可以指一个或多个设备、电路、和/或用于处理数据（例如计算机程序指令）的计算单元。

由于单个处理器的核数逐渐增多，处理器的计算速度也不断提高，则处理器对内存的存取速度和内存容量的需求也越来越高。在一种可能的实现方式中，将多种不同类型的存储介质一起作为计算机设备的主存储器（简称：内存或主存），以此提升内存容量，为每个处理器核从内存中分配尽可能多的内存资源和内存带宽，满足处理器对内存的存取速度和内存容量的需求。可以将利用多种不同类型的存储介质作为内存的系统称为混合内存系统。混合内存系统中作为内存的存储介质可以称为内存介质。处理器可以关联至少一种类型的内存介质，即有的处理器关联一种类型的内存介质，有的处理器关联两种以上类型的内存介质。

例如，计算机设备包括多种不同类型的内存介质。多种不同类型的内存介质包括第一内存介

质和第二内存介质，第一内存介质的存储容量低于第二内存介质的存储容量，第一内存介质的存取速度高于第二内存介质的存取速度，第一内存介质的访问时延低于第二内存介质的访问时延，第一内存介质的成本高于第二内存介质的成本。

其中，第一内存介质可以包含动态随机存取存储器(dynamic random access memory, DRAM)。第二内存介质为存储级内存(storage-class-memory, SCM)，SCM包括相变存储器(phase-change memory, PCM)，磁性随机存储器(magnetoresistive random-access memory, MRAM)、电阻型随机存储器(resistive random access memory, RRAM/ReRAM)，铁电式存储器(ferroelectric random access memory, FRAM)，快速 NAND (fast NAND) 或纳米随机存储器(Nano-RAM, NRAM)中至少一种。

示例地，计算机设备 100 中作为主存储器 120 的多种不同类型的内存介质包括 DRAM 121 和 SCM 122。处理器 110 与 DRAM 121 和 SCM 122 通过支持内存语义的接口相连。

处理器 110，用于运行应用程序对内存介质(如：DRAM 121、SCM 122)进行读操作或写操作，以及根据对内存介质的访问冷热程度触发数据迁移。

根据对内存介质的访问冷热程度触发数据迁移可以替换描述为根据内存介质存储的数据的访问冷热程度触发数据迁移。数据迁移包括将冷数据迁移到下一级内存介质，以及将热数据迁移到上一级内存介质。

例如，当缓存线为冷数据时，缓存线所在的内存介质为 DRAM，将缓存线迁移到 SCM。

又如，当缓存线为热数据时，缓存线所在的内存介质为 SCM，将缓存线迁移到 DRAM。

可理解地，对于计算机设备中的任一级内存介质均可依据数据访问冷热程度触发数据迁移。每个内存介质依据数据访问冷热程度逐级对数据进行迁移。相对当前的内存介质，下一级内存介质的存储容量更大；上一级内存介质的存取速度越快。

在一些实施例，计算机设备以页面(如：4KB 页面，2MB 页面)为粒度统计页面的访问频次，兼容了计算机设备对内存的页面管理方式，使得内存数据迁移方法具备易用性。例如，处理器以缓存线为粒度对内存介质进行操作，而缓存线属于管理的某一页面，则内存介质中的缓存线被操作一次，缓存线所属的页面也就被读写一次。控制器统计被操作的缓存线所属的页面的访问频次，有效地提升了页面的访问热度的识别准确性。

本申请中，处理器 110 用于根据采样规则指示的周期性采样方式对获取到的访问请求进行采样，统计采样结果指示的页面的访问频次，以便于根据页面的访问频次确定页面的访问热度，根据访问热度触发数据迁移。

另外，本申请对执行内存访问热度统计的执行主体不予限定，执行主体包括计算机设备中介质模组、具有计算功能的硬件模组或处理器。

示例地，如图 2 中的(a)所示，在介质模组内实现采样访问请求。介质模组可以是多种不同类型的内存介质中任一种。例如介质模组可以是 DRAM 或 SCM。

计算机设备中处理器向介质模组发送访问请求，指示对介质模组执行写操作或读操作。介质模组中的控制器(如：寄存时钟驱动器(Register Clock Driver, RCD))可以采集访问请求，根据采样规则对多个访问请求进行采样，并统计采样结果指示的页面的访问频次，存储页面的访问频次；进而，通过带内或带外的方式向处理器反馈页面的访问频次。

如图 2 中的(b)所示，与图 2 中的(a)的区别在于：由计算机设备内其他硬件模组实现采样访问请求，并通过带内或带外的方式向处理器反馈页面的访问频次。硬件模组可以是内存控制器或外设(如：复杂程序逻辑器件(complex programmable logical device, CPLD)，FPGA)等。

如图 2 中的(c)所示，与图 2 中的(a)的区别在于：由计算机设备内处理器实现采样访问请求，处理器核可以通过读处理器中寄存器的方式获取页面的访问频次。

计算机设备 100 还可以包括高速缓冲存储器和寄存器。

高速缓冲存储器用于存储处理器 110 中的处理器核可能多次访问的指令或数据。从而，提高处理器处理数据的速度，避免处理器频繁访问主存储器 120。

在物理形态上，高速缓冲存储器可以是随机存取存储器(random access memory, RAM)、静态随机存取存储器(static random-access memory, SRAM)、动态随机存储器(dynamic RAM，

DRAM)，或可存储信息和指令的其他类型的存储设备。

在逻辑形态上，高速缓冲存储器可以是一级缓存（L1 cache）、二级缓存（L2 cache）、三级缓存（L3 cache）或者任意级别的缓存设备。示例地，设置于处理器核内部的高速缓冲存储器可以是一级缓存（L1 cache）和二级缓存（L2 cache）。设置于处理器核外部的高速缓冲存储器可以是三级缓存（L3 cache）。

寄存器用于存储处理器 110 中的处理器核可能多次访问的指令或数据。由于寄存器的存取速度高于高速缓冲存储器的存取速度，从而，可以将处理器核可能多次访问的指令或数据先存入寄存器，可以进一步提高处理器处理数据的速度。

处理器核通过总线 111 与处理器中的其他器件（如：处理器核、高速缓冲存储器、主存储器 120）连接，通过总线 111 访问其他器件。例如，处理器核、高速缓冲存储器和主存储器 120 之间通过总线 111 传输访问频次。又如，处理器核通过总线 111 向主存储器 120 传输写指令或读指令，使主存储器 120 根据写指令对缓存线进行写操作或根据读指令对缓存线进行读操作。总线 111 可以是工业标准体系结构（industry standard architecture, ISA）总线、快捷外围部件互连标准（Peripheral Component Interconnect Express, PCIe）总线，或扩展工业标准结构（extended industry standard architecture, EISA）总线、统一总线（unified bus, Ubus 或 UB）、计算机快速链接（compute express link, CXL）、缓存一致互联协议（cache coherent interconnect for accelerators, CCIX）等，或者是非标准体系的私有总线标准等。该总线可以分为地址总线、数据总线、控制总线等。为便于表示，图 1 中仅用一条粗线表示，但并不表示仅有一根总线或一种类型的总线。

图 1 中处理器核和处理器中的其他器件的连接方式只是一种示意性说明。在一种可能的实现方式中，处理器核通过环形总线（ring bus）与处理器中的其他器件连接，通过环形总线访问处理器中的其他器件。在另一种可能的实现方式中，处理器核和处理器中的其他器件通过网形总线（mesh bus）连接，处理器核通过网形总线访问处理器中的其他器件。

处理器 110 通过内存控制器（memory control, MC）112 与主存储器 120 连接。处理器 110 可以通过运行或执行存储在主存储器 120 内的软件程序，以及调用存储在主存储器 120 内的数据，执行计算机设备 100 的各种功能。例如，处理器 110 通过内存控制器 112 实现采样访问请求。

主存储器 120 可以是只读存储器（read-only memory, ROM）或可存储静态信息和指令的其他类型的静态存储设备，随机存取存储器（random access memory, RAM）或者可存储信息和指令的其他类型的动态存储设备，也可以是电可擦可编程只读存储器（electrically erasable programmable read-only memory, EEPROM）等。主存储器 120 还用于存储与本实施例相关的程序。

处理器 110 还可以包含外设（external device）140 和外设管理模块 113。外设 140 通过总线 111 与外设管理模块 113 连接。外设 140 可以是特定集成电路（application specific integrated circuit, ASIC）。例如：微处理器（digital signal processor, DSP），或，一个或者多个现场可编程门阵列（field programmable gate array, FPGA），或者，图形处理器（graphics processing unit, GPU），或者，神经网络处理器（neural-network processing unit, NPU）。外设 140 也可以实现采样访问请求，通过总线 111 向处理器核反馈访问频次，使处理器核根据数据的访问冷热程度触发数据迁移。

图 1 中示出的设备结构并不构成对计算机设备的限定，可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置。

接下来，结合附图对本申请提供的内存数据迁移方法进行详细说明。

为了便于说明，以图 2 中的（a）所示的介质模组统计场景，即在内存介质内实现采样访问请求为例进行说明，参见图 3，图 3 为本申请提供的一种内存数据迁移方法的流程示意图。如图 3 所示，该方法包括以下步骤。

步骤 310、处理器向内存介质发送访问请求。

计算机设备中处理器运行的应用程序需要对内存介质进行读操作或写操作时，向内存介质发送访问请求。可选地，处理器采用交织方式访问内存介质时，将访问内存介质的数据按照单位存储空间（例如，缓存线）均匀地分布到多个内存通道上。应理解，将访问内存介质的数据按照单位存储空间均匀地分布到多个内存通道上，即将访问内存介质的数据按照单位存储空间均匀地分布到多个内存介质上。处理器采用交织方式访问内存介质时向多个内存介质发送的访问请求。访

访问请求指示按照单位存储空间（例如，缓存线）对内存介质进行读操作或写操作。单位存储空间的大小可以为处理器访问内存介质时缓存线的大小。

步骤 320、内存介质根据采样规则对获取到的访问请求进行采样，得到采样结果。

内存介质依据采样规则指示的周期性采样方式对接收到的访问请求进行采样，即内存介质依据时间间隔周期性地对接收到的访问请求进行采样，得到采样结果。可理解地，内存介质在持续接收访问请求的过程中，每个间隔一段时间对接收到的访问请求进行采样。采样结果包括采样的多个访问请求。在一些实施例中，内存介质根据时间间隔采样模式对多个访问请求进行采样，得到采样结果。

下面对内存介质对获取到的访问请求进行采样的方式进行说明。

方式一，根据采样规则指示的采样频率对获取到的访问请求进行采样，得到采样结果。采样频率用于指示采样所间隔的访问请求的数量。

在一些实施例中，内存介质接收到访问请求后，依据接收时间对访问请求进行编号，得到多个访问请求。进而，内存介质依据采样频率对多个访问请求进行采样。每次采样可以从采样样本中采样至少一个访问请求，则采用结果包括至少一个访问请求。采样样本可以包括采样频率指示的采样所间隔的访问请求。

另外，本申请对从采样样本中采样哪个访问请求不予限定。例如，可从采样样本中随机采样至少一个访问请求。又如，将采样样本划分为多个部分，从每个部分中采样一个访问请求。又如，从采样样本中采样第一个访问请求、最后一个访问请求或中间的访问请求。又如，从采样样本中按照奇数编号或偶数编号采样至少一个访问请求。

示例地，如图 4 所示，假设采样频率为 100，对每 100 个访问请求进行一次采样。每 100 个访问请求为一个采样样本。内存介质接收到访问请求 0 至访问请求 100，采样访问请求 0 和访问请求 100。从访问请求 101 至访问请求 200 中，采样访问请求 200。在一些实施例中，可以设置一个计数器，内存介质每接收一个访问请求，计数器便加一，当计数器的取值等于 0、100、200 时，执行采样操作，保存访问请求 0、访问请求 100 和访问请求 200 分别指示的地址。

可选地，采样频率是依据内存介质的带宽确定的。带宽越大，可传输的数据量越多，则可以设置较小的采样频率，增加访问请求的采样数量，从而提升页面的访问频次的统计准确性。反之，带宽越小，可传输的数据量越少，则可以设置较大的采样频率，减少访问请求的采样数量，从而减少页面的访问频次的统计数据量，取得页面的访问频次的统计准确性和页面的访问频次的统计数据量的平衡。

可选地，采样频率是依据内存介质中页面的数量确定的。页面较多时，则设置较小的采样频率；页面较少时，则可以设置较大的采样频率，尽可能采集到每个页面的访问频次，从而提升页面的访问频次的统计准确性。

方式二，根据采样规则指示的采样周期内访问请求的数量特征对获取到的访问请求进行采样，得到采样结果。采样周期用于指示采样所间隔的时间长度。

在一些实施例中，内存介质对在采样周期内接收到的访问请求进行采样。每次采样可以从采样样本中采样至少一个访问请求，则采用结果包括至少一个访问请求。采样样本包括采样周期内接收到的多个访问请求。

另外，本申请对从采样样本中采样哪个访问请求不予限定，具体解释可以参考上述方式一的阐述。

示例地，如图 5 所示，假设采样周期为 1 微秒，对每微秒内接收到的访问请求进行一次采样。每微秒内接收到的访问请求为一个采样样本。第一个采样周期内，内存介质接收到访问请求 0 至访问请求 100，采样访问请求 50。第二个采样周期内，内存介质接收到访问请求 101 至访问请求 200，采样访问请求 150。在一些实施例中，可以设置一个定时器，定时器等于 0 微秒、1 微秒、2 微秒等时，执行采样操作，保存采样到的访问请求指示的地址。

方式三，根据采样规则指示的采样次数对获取到的访问请求进行至少一次采样，得到采样结果。

上述方式一和方式二阐述的方案即是对接收到的访问请求进行一次采样，得到采样结果。在

一些实施例中，内存介质可以对接收到的访问请求执行两次或两次以上采样，得到采样结果。

例如，两次采样可以采用相同的采样规则。示例地，内存介质先根据采样频率对获取到的访问请求进行采样，得到第一采样集，再根据采样频率对第一采样集进行采样，得到采样结果。

又如，两次采样可以采用不同的采样规则。示例地，内存介质先根据采样频率对获取到的访问请求进行采样，得到第一采样集，再根据采样周期对第一采样集进行采样，得到采样结果。关于基于采样频率和采样周期的具体采样方法参考上述阐述，不予赘述。

从而，内存介质根据至少一种周期性采样方式，对接收到的访问请求执行至少两次采样，确保页面的访问频次的统计准确性，减少页面的访问频次的统计数据量。

方式四，根据采样规则对接收到的访问请求中的采样样本进行采样，得到采样结果。

内存介质可以先从接收到的访问请求中抽取采样样本，再根据采样规则对采样样本进行采样，得到采样结果。从接收到的访问请求中抽取采样样本的方法不予限定，可以依据本申请提供的采样规则，也可以采用其他方法。例如，依据接收时间对接收到的访问请求进行编号，按照奇数编号或偶数编号从接收到的访问请求抽取采样样本，再根据采样规则对采样样本进行采样，得到采样结果。

示例地，如图6所示，假设采样频率为50，对每50个访问请求进行一次采样。内存介质接收到访问请求0至访问请求200，先抽取奇数编号的访问请求，得到采样样本，采样样本包括访问请求1、访问请求3、访问请求5等等。再根据采样频率从采样样本中采样至少一个访问请求。例如，采样结果包括访问请求47和访问请求133。

需要说明的是，本申请提供的上述采样访问请求的方法可以根据存储空间需求、页面的访问频次的统计准确性等因素，单独使用也可以结合使用，本申请不予限定。

步骤330、处理器统计采样结果指示的页面的访问频次。

处理器从内存介质获取采样结果，采样结果包括至少一个访问请求指示的地址等信息。在得到采样的至少一个访问请求后，根据访问请求指示的物理地址可以确定所访问的数据块所属的页面，统计页面的访问频次。在一些实施例中，存储访问请求指示的物理地址的存储位置与页面的访问频次的存储位置可以相同也可以不同。例如，利用内存介质中一部分存储空间存储页面的访问频次。访问请求指示的物理地址可以存储在内存介质之外的其他存储器。内存介质读取页面的访问频次，更新访问频次，如每访问该页面一次，对页面的访问频次加一，将更新后的访问频次写入存储器。

在另一些实施例中，内存介质对采样的访问请求指示的地址进行裁剪得到地址索引(index)，根据地址索引从RAM中读取该地址索引对应访问频次，更新地址索引对应的访问频次，访问请求指示的地址用于指示页面。从而，减少存储页面的访问频次所占用的存储空间。在不同的系统架构下，支持的页面的大小可能为4KB、64KB或2MB，可以根据不同的页面大小进行软件裁剪，将裁剪后的地址作为地址索引进行计数操作，得到所有页面的访问频次。

示例地，如图7所示，假设采样的访问请求指示的地址为64B，即采样后地址为64B。对采样后地址裁剪后得到的地址索引可以是4KB、64KB或2MB。

可选地，RAM存储有每个页面对应的地址索引，内存介质根据访问请求指示的地址进行裁剪得到地址索引后，更新RAM中地址索引对应的访问频次。

可选地，当RAM未存储内存介质确定的地址索引时，将新的地址索引和对应的访问频次写入RAM。

步骤340、处理器根据页面的访问频次确定页面的访问热度，触发数据迁移。

处理器根据页面的访问频次确定页面的访问热度触发数据迁移。例如，访问频次大于或等于阈值，确定数据块的冷热程度为热；若冷访问频次小于阈值，确定数据块的冷热程度为冷。依据页面的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存。

本申请提供的内存数据迁移方法，由于基于采样规则指示的周期性采样方式，对访问请求进行多种方式采样，确保页面的访问频次的统计准确性，又减少页面的访问频次的统计数据量，使得处理器能够尽可能快地获取到页面的访问频次，依据页面的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取频

繁访问的数据,提高系统的数据处理速度,以及降低数据处理时延,显著地改善系统的访问性能。

图8为本申请提供的一种内存访问热度统计方法的流程示意图。由处理器实现访问请求采样功能时,可由处理器核对对应的采样模块进行采样规则配置(步骤810);处理器核使能访问请求采样功能(步骤820),若使能成功,执行步骤830,若使能失败,执行步骤820;根据采样规则对采集到的访问请求进行采样,统计并存储采样的访问请求指示的地址对应的页面的访问频次(步骤830);若访问请求采样功能未被关闭,继续对访问请求执行访问请求采样功能,统计并存储采样的访问请求指示的地址对应的页面的访问频次,当RAM的存储空间已满,处理器核从RAM中读取页面的访问频次,确定页面的访问热度触发数据迁移。若访问请求采样功能被关闭,则结束采样,流程结束(步骤840)。具体的采样过程可以参考上述实施例的阐述,不予赘述。

可选地,若由计算机设备中处理器外部的其他硬件模组或内存实现访问请求采样功能时,可由带外通信方式或带内通信方式传输采样规则进行配置、使能访问请求采样功能和也页面的访问频次。

关于访问请求采样功能的具体解释可以参考上述实施例的阐述,不予赘述。

图9为本申请提供的一种访问频次获取方法的流程示意图。开启访问请求采样功能处理器轮询检查RAM的状态(步骤910),若RAM为空,则继续检测RAM状态;若RAM存在访问请求,可以从RAM读取访问请求(步骤920)。对读取的访问请求指示的地址进行地址位裁剪处理(步骤930),可根据系统的运行状况确定裁剪后的位数,例如裁剪后的位数为4KB、64KB或2MB。对裁剪后的地址作为地址索引,并使用地址索引进行计数处理(步骤940),每个地址索引的初始值应为0,每次有识别到对应的地址索引时,该地址索引对应访问频次加1。检测访问请求采样功能是否关闭,若未关闭,继续回到步骤910进行判断,直到访问请求采样功能关闭后,流程结束(步骤950)。

值得说明的是,对于图2中的(b)和图2中的(c)所示的硬件模组内内存访问热度统计场景,以及处理器内内存访问热度统计场景而言,数据处理过程与图2中的(a)的处理过程类似。为了简洁,在此仅以图2中的(a)所示场景为例进行说明,其他场景的数据处理过程与图3所示的数据处理过程类似,在此不再赘述。

可以理解的是,为了实现上述实施例中的功能,处理器包括了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到,结合本申请中所公开的实施例描述的各示例的单元及方法步骤,本申请能够以硬件或硬件和计算机软件相结合的形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行,取决于技术方案的特定应用场景和设计约束条件。

上文中结合图1至图9,详细描述了根据本实施例所提供的内存数据迁移方法,下面将结合图10,描述根据本实施例所提供的内存数据迁移装置。

图10为本实施例提供的可能的内存数据迁移装置的结构示意图。这些内存数据迁移装置可以用于实现上述方法实施例中内存的功能,因此也能实现上述方法实施例所具备的有益效果。在本实施例中,该内存数据迁移装置可以是如图3所示的第一内存介质,还可以是应用于处理器的模块(如芯片)。

如图10所示,内存数据迁移装置1000包括通信模块1010、采样模块1020、统计模块1030、迁移模块1040和存储模块1050。内存数据迁移装置1000用于实现上述图3中所示的方法实施例中内存和处理器的功能。

通信模块1010用于获取访问请求,访问请求用于指示计算机设备中处理器运行的应用程序对内存介质的操作。例如,通信模块1010用于执行图3中步骤310。

采样模块1020,用于根据采样规则对获取到的访问请求进行采样,得到采样结果,采样规则用于指示周期性采样的方式。例如,采样模块1020用于执行图3中步骤320。

统计模块1030,用于统计采样结果指示的页面的访问频次,页面的访问频次用于确定页面的访问热度。例如,统计模块1030用于执行图3中步骤330。

可选地,采样模块1020,具体用于根据采样规则指示的采样频率对获取到的访问请求进行采样,得到采样结果,采样频率用于指示采样所间隔的访问请求数量。

可选地,采样模块1020,具体用于根据采样规则指示的采样周期内访问请求的数量特征对获

取到的访问请求进行采样，得到采样结果，采样周期用于指示采样所间隔的时间长度。

迁移模块 1040，用于根据访问频次在所述至少两种不同类型的内存介质间触发内存数据迁移。例如，迁移模块 1040 用于执行图 3 中步骤 340。

存储模块 1050 用于存储采样规则和访问频次，以便于采样模块 1020 对计算机设备中处理器访问内存介质时根据采样规则对获取到的访问请求进行采样，得到采样结果。

应理解的是，本申请实施例的内存数据迁移装置 1000 可以通过专用集成电路(application-specific integrated circuit, ASIC)实现，或可编程逻辑器件(programmable logic device, PLD)实现，上述 PLD 可以是复杂程序逻辑器件(complex programmable logical device, CPLD)，现场可编程门阵列(field-programmable gate array, FPGA)，通用阵列逻辑(generic array logic, GAL)或其任意组合。也可以通过软件实现图 3 所示的内存数据迁移时，及其各个模块也可以为软件模块，内存数据迁移装置 1000 及其各个模块也可以为软件模块。

根据本申请实施例的内存数据迁移装置 1000 可对应于执行本申请实施例中描述的方法，并且内存数据迁移装置 1000 中的各个单元的上述和其它操作和/或功能分别为了实现图 3 中的各个方法的相应流程，为了简洁，在此不再赘述。

本申请还提供一种处理器，该处理器包括存储器和至少两个处理器核，处理器关联至少两种不同类型的内存介质，存储器用于存储一组计算机指令；当处理器核执行所述一组计算机指令时，执行上述各个实施例所述的方法的操作步骤，实现识别内存介质中数据块被应用程序访问的访问频次。

本申请还提供一种芯片，包括：处理器和供电电路；其中，供电电路用于为处理器供电；处理器用于执行上述各个实施例所述的方法的操作步骤。实现识别内存中数据块被应用程序访问的访问频次。

本申请还提供一种计算机系统，该计算机系统包括多个计算机设备，该计算机设备用于执行上述各个实施例所述的方法的操作步骤。

本实施例中的方法步骤可以通过硬件的方式来实现，也可以由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成，软件模块可以被存放于随机存取存储器(random access memory, RAM)、闪存、只读存储器(read-only memory, ROM)、可编程只读存储器(programmable ROM, PROM)、可擦除可编程只读存储器(erasable PROM, EPROM)、电可擦除可编程只读存储器(electrically EPROM, EEPROM)、寄存器、硬盘、移动硬盘、CD-ROM 或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器，从而使处理器能够从该存储介质读取信息，且可向该存储介质写入信息。当然，存储介质也可以是处理器的组成部分。处理器和存储介质可以位于 ASIC 中。另外，该 ASIC 可以位于计算机设备中。当然，处理器和存储介质也可以作为分立组件存在于计算机设备中。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机程序或指令。在计算机上加载和执行所述计算机程序或指令时，全部或部分地执行本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、用户设备或者其它可编程装置。所述计算机程序或指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机程序或指令可以从一个网站站点、计算机、服务器或数据中心通过有线或无线方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是集成一个或多个可用介质的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，例如，软盘、硬盘、磁带；也可以是光介质，例如，数字视频光盘(digital video disc, DVD)；还可以是半导体介质，例如，固态硬盘(solid state drive, SSD)。以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到各种等效的修改或替换，这些修改或替换都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权 利 要 求 书

1. 一种内存数据迁移方法，其特征在于，混合内存系统包含多个处理器和多种不同类型的内存介质，所述处理器关联至少两种不同类型的内存介质，所述方法包括：

根据采样规则对获取到的访问请求进行采样，得到采样结果，所述访问请求用于指示计算机设备中处理器运行的应用程序对内存介质的操作，所述采样规则用于指示周期性采样的方式；

统计所述采样结果指示的页面的访问频次，所述页面的访问频次用于确定所述页面的访问热度；

根据所述访问频次在所述至少两种不同类型的内存介质间触发内存数据迁移。

2. 根据权利要求1所述的方法，其特征在于，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的基于时间间隔采样模式对所述获取到的访问请求进行采样，得到所述采样结果。

3. 根据权利要求2所述的方法，其特征在于，根据所述采样规则指示的基于时间间隔采样模式对所述获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的采样频率对所述获取到的访问请求进行采样，得到所述采样结果，所述采样频率用于指示采样所间隔的访问请求数量。

4. 根据权利要求3所述的方法，其特征在于，所述采样频率是依据所述内存介质的带宽确定的。

5. 根据权利要求2所述的方法，其特征在于，根据所述采样规则指示的基于时间间隔采样模式对所述获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的采样周期内访问请求的数量特征对所述获取到的访问请求进行采样，得到所述采样结果，所述采样周期用于指示采样所间隔的时间长度。

6. 根据权利要求1-5中任一项所述的方法，其特征在于，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的采样次数对所述获取到的访问请求进行至少一次采样，得到所述采样结果。

7. 根据权利要求1-6中任一项所述的方法，其特征在于，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则对所述获取到的访问请求中的采样样本进行采样，得到所述采样结果。

8. 根据权利要求1-7中任一项所述的方法，其特征在于，统计所述采样结果指示的页面的访问频次，包括：

根据所述访问请求指示的地址确定地址索引，统计所述地址索引关联的访问频次，所述访问请求指示的地址用于指示所述页面。

9. 根据权利要求1-8中任一项所述的方法，其特征在于，所述多种不同类型的内存介质包括第一内存介质和第二内存介质，所述处理器关联的内存介质包含所述第一内存介质和所述第二内存介质，所述第一内存介质的存取速度大于所述第二内存介质的存取速度，则所述第一内存介质的访问时延小于所述第二内存介质的访问时延。

10. 一种内存数据迁移装置，其特征在于，包括：

通信模块，用于获取访问请求，所述访问请求用于指示计算机设备中处理器运行的应用程序对内存介质的操作；

采样模块，用于根据采样规则对所述获取到的访问请求进行采样，得到采样结果，所述采样规则用于指示周期性采样的方式；

统计模块，用于统计所述采样结果指示的页面的访问频次，所述页面的访问频次用于确定所述页面的访问热度；

迁移模块，用于根据所述访问频次在所述至少两种不同类型的内存介质间触发内存数据迁移。

11. 根据权利要求10所述的装置，其特征在于，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的基于时间间隔采样模式对所述获取到的访问请求进行采样，得到所述采样结果。

12. 根据权利要求 11 所述的装置，其特征在于，根据所述采样规则指示的基于时间间隔采样模式对所述获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的采样频率对所述获取到的访问请求进行采样，得到所述采样结果，所述采样频率用于指示采样所间隔的访问请求数量。

13. 根据权利要求 12 所述的装置，其特征在于，所述采样频率是依据所述内存介质的带宽确定的。

14. 根据权利要求 11 所述的装置，其特征在于，根据所述采样规则指示的基于时间间隔采样模式对所述获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的采样周期内访问请求的数量特征对所述获取到的访问请求进行采样，得到所述采样结果，所述采样周期用于指示采样所间隔的时间长度。

15. 根据权利要求 10-14 中任一项所述的装置，其特征在于，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则指示的采样次数对所述获取到的访问请求进行至少一次采样，得到所述采样结果。

16. 根据权利要求 10-15 中任一项所述的装置，其特征在于，根据采样规则对获取到的访问请求进行采样，得到采样结果，包括：

根据所述采样规则对所述获取到的访问请求中的采样样本进行采样，得到所述采样结果。

17. 根据权利要求 10-16 中任一项所述的装置，其特征在于，统计所述采样结果指示的页面的访问频次，包括：

根据所述访问请求指示的地址确定地址索引，统计所述地址索引关联的访问频次，所述访问请求指示的地址用于指示所述页面。

18. 根据权利要求 10-17 中任一项所述的装置，其特征在于，多种不同类型的内存介质包括第一内存介质和第二内存介质，所述处理器关联的内存介质包含所述第一内存介质和所述第二内存介质，所述第一内存介质的存取速度大于所述第二内存介质的存取速度，则所述第一内存介质的访问时延小于所述第二内存介质的访问时延。

19. 一种内存，其特征在于，所述内存包括存储介质和控制器，所述存储介质用于存储一组计算机指令；当所述控制器执行所述一组计算机指令时，执行上述权利要求 1-9 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

20. 一种芯片，其特征在于，包括：处理器和供电电路；其中，所述供电电路用于为所述处理器供电；所述处理器用于执行权利要求 1-9 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

21. 一种处理器，其特征在于，所述处理器关联至少两种不同类型的内存介质，所述处理器用于执行上述权利要求 1-9 中任一项所述的方法的操作步骤，实现识别内存介质中数据块被应用程序访问的访问频次。

22. 一种计算机设备，其特征在于，所述计算机设备包括存储器、处理器和多种不同类型的内存介质，所述处理器关联至少两种不同类型的内存介质，所述存储器用于存储一组计算机指令；当所述处理器执行所述一组计算机指令时，执行上述权利要求 1-9 中任一项所述的方法的操作步骤，实现识别内存介质中数据块被应用程序访问的访问频次。