

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明の実施形態は、半導体記憶装置に関する。

背景技術

[0002] メモリセルを３次元的に配置した３次元ＮＡＮＤフラッシュメモリは、高い集積度と低いコストを実現する。３次元ＮＡＮＤフラッシュメモリでは、例えば、複数の絶縁層と複数のゲート電極層とが交互に積層された積層体に、積層体を貫通するメモリ穴が形成されている。メモリ穴の中に電荷蓄積層と半導体層を形成することで、複数のメモリセルが直列に接続されたメモリストリングが形成される。電荷蓄積層に保持される電荷の量を制御することで、メモリセルにデータが記憶される。

先行技術文献

特許文献

[0003] 特許文献１：米国特許第１０５６６２８０号明細書

発明の概要

発明が解決しようとする課題

[0004] 本発明が解決しようとする課題は、特性の向上が可能な半導体記憶装置を提供することにある。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、第１の方向に延びる半導体層と、タングステン（W）、モリブデン（Mo）、及びコバルト（Co）からなる群から選ばれる少なくとも一つの金属元素を含むゲート電極層と、前記半導体層と前記ゲート電極層との間に設けられた電荷蓄積層と、前記電荷蓄積層と前記ゲート電極層との間に設けられ、アルミニウム（Al）及び酸素（O）を含む第１の領域を含み、前記ゲート電極層に接する第１の絶縁層と、を備える。

図面の簡単な説明

- [0006] [図1]第1の実施形態の半導体記憶装置のメモリセルアレイの回路図。
- [図2]第1の実施形態の半導体記憶装置のメモリセルアレイの模式断面図。
- [図3]第1の実施形態の半導体記憶装置のメモリセルの模式断面図。
- [図4]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- [図5]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- [図6]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- [図7]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- [図8]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- [図9]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- [図10]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。
- [図11]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。
- [図12]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。
- [図13]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。
- [図14]第1の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。
- [図15]第1の実施形態の比較例の半導体記憶装置のメモリセルの模式断面図。
- 。
- [図16]第2の実施形態の半導体記憶装置のメモリセルアレイの模式断面図。
- [図17]第2の実施形態の半導体記憶装置のメモリセルの模式断面図。
- [図18]第2の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。
- [図19]第2の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図。
- 。

[図20]第2の実施形態の比較例の半導体記憶装置のメモリセルの模式断面図。

発明を実施するための形態

[0007] 以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材などには同一の符号を付し、一度説明した部材などについては適宜その説明を省略する。

[0008] また、本明細書中、便宜上「上」、又は、「下」という用語を用いる場合がある。「上」、又は、「下」とは、例えば、図面内での相対的位置関係を示す用語である。「上」、又は、「下」という用語は、必ずしも、重力に対する位置関係を規定する用語ではない。

[0009] 本明細書中の半導体記憶装置を構成する部材の化学組成の定性分析及び定量分析は、例えば、二次イオン質量分析法 (Secondary Ion Mass Spectroscopy: SIMS)、エネルギー分散型X線分光法 (Energy Dispersive X-ray Spectroscopy: EDX) や電子エネルギー損失分光法 (Electron Energy Loss Spectroscopy: EELS) などにより行うことが可能である。また、半導体記憶装置を構成する部材の厚さ、部材間の距離等の測定には、例えば、透過型電子顕微鏡 (Transmission Electron Microscope: TEM) を用いることが可能である。また、半導体記憶装置を構成する部材の構成物質の結晶系の同定、結晶系の存在割合の大小比較には、例えば、透過型電子顕微鏡やX線回折分析 (X-ray Diffraction: XRD) や電子線回折分析 (Electron Beam Diffraction: EBD) やX線光電分光分析 (X-ray Photoelectron Spectroscopy: XPS) や放射光X線散乱解析 (Synchrotron Radiation X-ray Absorption Fine Structure: XAFS) を用いることが可能である。また、半導体記憶装置を構成する部材が結晶質であるか非晶質であるかは、例えば、TEMで

得られる画像から判断することが可能である。

[0010] (第1の実施形態)

第1の実施形態の半導体記憶装置は、第1の方向に延びる半導体層と、タングステン(W)、モリブデン(Mo)、及びコバルト(Co)からなる群から選ばれる少なくとも一つの金属元素を含むゲート電極層と、半導体層とゲート電極層との間に設けられた電荷蓄積層と、電荷蓄積層とゲート電極層との間に設けられ、アルミニウム(Al)及び酸素(O)を含む第1の領域を含み、ゲート電極層に接する第1の絶縁層と、を備える。

[0011] 第1の実施形態の半導体記憶装置は、3次元NANDフラッシュメモリである。第1の実施形態の半導体記憶装置のメモリセルは、いわゆる、Metal-Oxide-Nitride-Oxide-Semiconductor型(MONOS型)のメモリセルである。

[0012] 図1は、第1の実施形態の半導体記憶装置のメモリセルアレイの回路図である。

[0013] 第1の実施形態の3次元NANDフラッシュメモリのメモリセルアレイ100は、図1に示すように複数のワード線WL、共通ソース線CSL、ソース選択ゲート線SGS、複数のドレイン選択ゲート線SGD、複数のビット線BL、及び、複数のメモリストリングMSを備える。

[0014] 複数のワード線WLが、互いに離間してz方向に配置される。複数のワード線WLがz方向に積層して配置される。複数のメモリストリングMSは、z方向に延びる。複数のビット線BLは、例えば、x方向に延びる。

[0015] 以下、x方向を第3の方向、y方向を第2の方向、z方向を第1の方向と定義する。x方向、y方向、z方向は互いに交差し、例えば、互いに垂直である。

[0016] 図1に示すように、メモリストリングMSは、共通ソース線CSLとビット線BLとの間に直列接続されたソース選択トランジスタSST、複数のメモリセル、及び、ドレイン選択トランジスタSDTを備える。1本のビット線BLと1本のドレイン選択ゲート線SGDを選択することにより1本のメ

モリストリングMSが選択され、1個のワード線WLを選択することにより1個のメモリセルが選択可能となる。ワード線WLは、メモリセルを構成するメモリセルトランジスタMTのゲート電極である。

[0017] 図2(a)、図2(b)は、第1の実施形態の半導体記憶装置のメモリセルアレイの模式断面図である。図2(a)、図2(b)は、図1のメモリセルアレイ100の中の、例えば点線で囲まれる一個のモリストリングMSの中の複数のメモリセルの断面を示す。

[0018] 図2(a)は、メモリセルアレイ100のyz断面図である。図2(a)は、図2(b)のBB'断面である。図2(b)は、メモリセルアレイ100のxy断面図である。図2(b)は、図2(a)のAA'断面である。図2(a)中、破線で囲まれた領域が、1個のメモリセルである。

[0019] 図3は、第1の実施形態の半導体記憶装置のメモリセルの模式断面図である。図3は、メモリセルの一部の拡大断面図である。

[0020] メモリセルアレイ100は、図2(a)、図2(b)、図3に示すように、ワード線WL、半導体層10、層間絶縁層12、トンネル絶縁層14、電荷蓄積層16、第1のブロック絶縁層18、第2のブロック絶縁層19、コア絶縁領域20を備える。

[0021] 複数のワード線WLと複数の層間絶縁層12が積層体30を構成する。第1のブロック絶縁層18は、第1の領域18aと第2の領域18bとを含む。

[0022] ワード線WLは、ゲート電極層の一例である。層間絶縁層12は、第4の絶縁層の一例である。トンネル絶縁層14は、第3の絶縁層の一例である。第1のブロック絶縁層18は、第1の絶縁層の一例である。第2のブロック絶縁層19は、第2の絶縁層の一例である。

[0023] メモリセルアレイ100は、例えば、図示しない半導体基板の上に設けられる。半導体基板は、x方向及びy方向に平行な表面を有する。

[0024] ワード線WLと層間絶縁層12は、半導体基板の上に、z方向に交互に積層される。ワード線WLは、互いに離間してz方向に繰り返し配置される。

複数のワード線WLと複数の層間絶縁層12が積層体30を構成する。ワード線WLは、メモリセルトランジスタMTの制御電極として機能する。

[0025] ワード線WLは、板状の導電体である。ワード線WLは、タングステン（W）、モリブデン（Mo）、及びコバルト（Co）からなる群から選ばれる少なくとも一つの金属元素を含む。ワード線WLは、例えば、タングステン層、モリブデン層、又はコバルト層である。ワード線WLのz方向の厚さは、例えば、5 nm以上20 nm以下である。

[0026] 層間絶縁層12は、ワード線WLとワード線WLを分離する。層間絶縁層12は、ワード線WLとワード線WLを電氣的に分離する。

[0027] 層間絶縁層12は、例えば、酸化物、酸窒化物、又は、窒化物である。層間絶縁層12は、例えば、酸化シリコンである。層間絶縁層12のz方向の厚さは、例えば、5 nm以上20 nm以下である。

[0028] 半導体層10は、積層体30の中に設けられる。半導体層10は、z方向に延びる。半導体層10は、半導体基板の表面に垂直な方向に延びる。

[0029] 半導体層10は、積層体30を貫通して設けられる。半導体層10は、複数のワード線WLに囲まれる。半導体層10は、例えば、円筒状である。半導体層10は、メモリセルトランジスタMTのチャネルとして機能する。

[0030] 半導体層10は、例えば、多結晶の半導体である。半導体層10は、例えば、多結晶シリコンである。

[0031] トンネル絶縁層14は、半導体層10とワード線WLとの間に設けられる。トンネル絶縁層14は、半導体層10と複数のワード線WLの内の少なくとも一つとの間に設けられる。トンネル絶縁層14は、半導体層10と電荷蓄積層16との間に設けられる。トンネル絶縁層14は、ワード線WLと半導体層10との間に印加される電圧に応じて電荷を通過させる機能を有する。

[0032] トンネル絶縁層14は、例えば、シリコン（Si）、窒素（N）、及び酸素（O）を含む。トンネル絶縁層14は、例えば、酸化シリコン、窒化シリコン又は酸窒化シリコンを含む。トンネル絶縁層14は、例えば、酸化シリ

コン層、窒化シリコン層、及び酸化シリコン層の積層構造である。トンネル絶縁層14の厚さは、例えば、3 nm以上8 nm以下である。

[0033] 電荷蓄積層16は、トンネル絶縁層14と第1のブロック絶縁層18との間に設けられる。電荷蓄積層16は、トンネル絶縁層14と第2のブロック絶縁層19との間に設けられる。

[0034] 電荷蓄積層16は、電荷をトラップして蓄積する機能を有する。電荷は、例えば、電子である。電荷蓄積層16に蓄積される電荷の量に応じて、メモリセルトランジスタMTの閾値電圧が変化する。この閾値電圧の変化を利用することで、1個のメモリセルがデータを記憶することが可能となる。

[0035] 例えば、メモリセルトランジスタMTの閾値電圧が変化することで、メモリセルトランジスタMTがオンする電圧が変化する。例えば、閾値電圧が高い状態をデータ“0”、閾値電圧が低い状態をデータ“1”と定義すると、メモリセルは“0”と“1”の1ビットデータを記憶することが可能となる。

[0036] 電荷蓄積層16は、絶縁層である。電荷蓄積層16は、例えば、シリコン(Si)及び窒素(N)を含む。電荷蓄積層16は、例えば、窒化シリコンを含む。電荷蓄積層16は、例えば、窒化シリコン層である。電荷蓄積層16の厚さは、例えば、3 nm以上10 nm以下である。

[0037] 第1のブロック絶縁層18及び第2のブロック絶縁層19は、トンネル絶縁層14とワード線WLとの間に設けられる。第1のブロック絶縁層18及び第2のブロック絶縁層19は、電荷蓄積層16とワード線WLとの間に設けられる。第1のブロック絶縁層18及び第2のブロック絶縁層19は、電荷蓄積層16とワード線WLとの間に流れる電流を阻止する機能を有する。

[0038] 第1のブロック絶縁層18のy方向の厚さは、例えば、1 nm以上8 nm以下である。第2のブロック絶縁層19のy方向の厚さは、例えば、3 nm以上8 nm以下である。

[0039] 第1のブロック絶縁層18は、電荷蓄積層16とワード線WLとの間に設けられる。第1のブロック絶縁層18は、第2のブロック絶縁層19とワー

ド線WLとの間に設けられる。第1のブロック絶縁層18は、ワード線WLに接する。

[0040] 層間絶縁層12は、ワード線WLのz方向に設けられる。z方向において、ワード線WLと層間絶縁層12との間に、第1のブロック絶縁層18が設けられる。

[0041] 第1のブロック絶縁層18は、第1の領域18a及び第2の領域18bを含む。第2の領域18bは、ワード線WLと第1の領域18aとの間に設けられる。

[0042] 第1の領域18aは絶縁層である。第1の領域18aは、アルミニウム(AI)及び酸素(O)を含む。第1の領域18aは、酸化アルミニウムを含む。第1の領域18aは、例えば、酸化アルミニウム層である。

[0043] 第1の領域18aは結晶質である。第1の領域18aは、例えば、結晶質の酸化アルミニウム層である。

[0044] 第1の領域18aの、半導体層10からワード線WLに向かうy方向の厚さは、例えば、1nm以上5nm以下である。

[0045] 第2の領域18bは絶縁層である。第2の領域18bは、例えば、酸化物、酸窒化物、又は、窒化物である。第2の領域18bは、例えば、アルミニウム(AI)、ハフニウム(Hf)、又はジルコニウム(Zr)の少なくともいずれか一つの元素を含む。第2の領域は、例えば、酸素(O)又は窒素(N)の少なくともいずれか一つの元素を含む。

[0046] 第2の領域18bは、例えば、窒化アルミニウム、酸窒化アルミニウム、酸化アルミニウム、ケイ酸アルミニウム(aluminum silicate)、ケイ酸ハフニウム(hafnium silicate)、窒素添加ケイ酸ハフニウム、又はケイ酸ジルコニウム(zirconium silicate)を含む。第2の領域18bは、例えば、窒化アルミニウム層、酸窒化アルミニウム層、酸化アルミニウム層、ケイ酸アルミニウム層、ケイ酸ハフニウム層、窒素添加ケイ酸ハフニウム層、又はケイ酸ジルコニウム層である。

- [0047] 第2の領域18bは非晶質（アモルファス）である。第2の領域18bは、例えば、非晶質の窒化アルミニウム層、非晶質の酸窒化アルミニウム層、非晶質の酸化アルミニウム層、非晶質のケイ酸アルミニウム層、非晶質のケイ酸ハフニウム層、非晶質の窒素添加ケイ酸ハフニウム層、又は非晶質のケイ酸ジルコニウム層である。
- [0048] 第2の領域18bは、例えば、ボロン（B）を含む。第2の領域18bのボロン原子濃度は、例えば、第1の領域18aのボロン原子濃度よりも高い。
- [0049] 第2の領域18bは、例えば、フッ素（F）を含む。第2の領域18bのフッ素原子濃度は、例えば、第1の領域18aのフッ素原子濃度よりも高い。
- [0050] 第2の領域18bの、半導体層10からワード線WLに向かうy方向の厚さは、第1の領域18aの、半導体層10からワード線WLに向かうy方向の厚さよりも薄い。第2の領域18bの、半導体層10からワード線WLに向かうy方向の厚さは、例えば、0.1nm以上1nm以下である。
- [0051] 第2のブロック絶縁層19は、電荷蓄積層16と第1のブロック絶縁層18との間に設けられる。第2のブロック絶縁層19は、層間絶縁層12と半導体層10との間に設けられる。第2のブロック絶縁層19は、層間絶縁層12と電荷蓄積層16との間に設けられる。
- [0052] 第2のブロック絶縁層19は、絶縁層である。第2のブロック絶縁層19は、例えば、シリコン（Si）及び酸素（O）を含む。第2のブロック絶縁層19は、例えば、酸化シリコンを含む。
- [0053] 第2のブロック絶縁層19のy方向の厚さは、例えば、3nm以上8nm以下である。
- [0054] コア絶縁領域20は、積層体30の中に設けられる。コア絶縁領域20は、z方向に延びる。コア絶縁領域20は、積層体30を貫通して設けられる。コア絶縁領域20は、半導体層10に囲まれる。コア絶縁領域20は、複数のワード線WLに囲まれる。コア絶縁領域20は、柱状である。コア絶縁

領域 20 は、例えば、円柱状である。

[0055] コア絶縁領域 20 は、例えば、酸化物、酸窒化物、又は、窒化物である。

コア絶縁領域 20 は、例えば、シリコン (Si) 及び酸素 (O) を含む。コア絶縁領域 20 は、例えば、酸化シリコンである。

[0056] 次に、第 1 の実施形態の半導体記憶装置の製造方法の一例について説明する。

[0057] 図 4、図 5、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 13、及び図 14 は、第 1 の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図である。図 4～図 14 は、それぞれ、図 2 (a) に対応する断面を示す。図 4～図 14 は、半導体記憶装置のメモリセルアレイ 100 の製造方法の一例を示す図である。

[0058] 最初に、図示しない半導体基板の上に、酸化シリコン層 50 と窒化シリコン層 52 とを交互に積層する (図 4)。複数の酸化シリコン層 50 と複数の窒化シリコン層 52 とが z 方向に交互に積層された積層構造 31 が形成される。積層構造 31 の一部は最終的に積層体 30 となる。

[0059] 酸化シリコン層 50 と窒化シリコン層 52 は、例えば、Chemical Vapor Deposition 法 (CVD 法) により形成する。酸化シリコン層 50 の一部は、最終的に層間絶縁層 12 となる。

[0060] 次に、酸化シリコン層 50 と窒化シリコン層 52 にメモリ穴 54 を形成する (図 5)。メモリ穴 54 は、積層構造 31 を貫通し、z 方向に延びる。メモリ穴 54 は、例えば、リソグラフィ法と Reactive Ion Etching 法 (RIE 法) により形成する。

[0061] 次に、メモリ穴 54 の内壁に酸化シリコン膜 56 を形成する (図 6)。酸化シリコン膜 56 は、例えば、CVD 法により形成する。酸化シリコン膜 56 は、最終的に第 2 のブロック絶縁層 19 となる。

[0062] 次に、酸化シリコン膜 56 の上に窒化シリコン膜 58 を形成する (図 7)。窒化シリコン膜 58 は、例えば、Atomic Layer Deposition 法 (ALD 法) により形成する。窒化シリコン膜 58 は、最終的

に電荷蓄積層 1 6 となる。

[0063] 次に、窒化シリコン膜 5 8 の上に積層絶縁膜 6 0 を形成する (図 8)。積層絶縁膜 6 0 は、例えば、酸化シリコン膜、窒化シリコン膜、及び酸化シリコン膜の積層膜である。

[0064] 積層絶縁膜 6 0 は、例えば、CVD 法により形成する。積層絶縁膜 6 0 は、最終的にトンネル絶縁層 1 4 となる。

[0065] 次に、積層絶縁膜 6 0 の上に多結晶シリコン膜 6 2 を形成する (図 9)。多結晶シリコン膜 6 2 は、例えば、CVD 法により形成する。多結晶シリコン膜 6 2 は、最終的に半導体層 1 0 となる。

[0066] 次に、メモリ穴 5 4 を、酸化シリコン膜 6 4 で埋め込む (図 1 0)。多結晶シリコン膜 6 2 の上に酸化シリコン膜 6 4 を形成する。酸化シリコン膜 6 4 は、例えば、CVD 法により形成する。酸化シリコン膜 6 4 は、最終的にコア絶縁領域 2 0 となる。

[0067] 次に、図示しないエッチング用の溝を用いて、窒化シリコン層 5 2 をウェットエッチングにより選択的に除去する (図 1 1)。ウェットエッチングには、例えば、リン酸溶液を用いる。窒化シリコン層 5 2 を、酸化シリコン層 5 0 及び酸化シリコン膜 5 6 に対して選択的にエッチングする。

[0068] 次に、窒化シリコン層 5 2 が除去された領域に、酸化アルミニウム膜 6 6 を形成する (図 1 2)。酸化アルミニウム膜 6 6 は、例えば、ALD 法により形成する。酸化アルミニウム膜 6 6 は、最終的に第 1 のブロック絶縁層 1 8 の第 1 の領域 1 8 a となる。

[0069] 次に、結晶化アニールを行う。結晶化アニールは、例えば、不活性ガス雰囲気中で 1 0 0 0 °C の温度で行われる。結晶化アニールにより酸化アルミニウム膜 6 6 が結晶質となる。

[0070] 次に、酸化アルミニウム膜 6 6 の上に、窒化アルミニウム膜 6 8 を形成する (図 1 3)。

[0071] 窒化アルミニウム膜 6 8 は、例えば、ALD 法により形成する。

[0072] また、窒化アルミニウム膜 6 8 は、例えば、非晶質の酸化アルミニウム膜

を形成した後、非晶質の酸化アルミニウム膜を窒化処理することにより形成する。非晶質の酸化アルミニウム膜は、例えば、ALD法により形成する。窒化処理は、例えば、熱窒化又はプラズマ窒化により行う。熱窒化は、例えば、アンモニア雰囲気中で行う。プラズマ窒化は、例えば、窒素雰囲気中で行う。

[0073] 窒化アルミニウム膜68は非晶質である。窒化アルミニウム膜68は、最終的に第1のブロック絶縁層18の第2の領域18bとなる。

[0074] 次に、窒化アルミニウム膜68の上に、タングステン膜70を形成する(図14)。タングステン膜70は、例えば、CVD法により形成される。タングステン膜70は、最終的にワード線WLとなる。

[0075] タングステン膜70を形成する際、例えば、原料ガスとしてジボラン(B_2H_6)及び六フッ化タングステン(WF_6)を用いる。

[0076] 以上の製造方法により、第1の実施形態の半導体記憶装置のメモリセルアレイ100が製造される。

[0077] 次に、第1の実施形態の半導体記憶装置の作用及び効果について説明する。

[0078] 図15は、第1の実施形態の比較例の半導体記憶装置のメモリセルの模式断面図である。図15は、第1の実施形態の半導体記憶装置の図3に対応する図である。

[0079] 比較例の半導体記憶装置は、第1のブロック絶縁層18が非晶質の第2の領域18bを含まない点、及び、第1のブロック絶縁層18とワード線WLとの間に、バリアメタル層21が設けられる点で、図3に示した第1の実施形態の半導体記憶装置と異なる。

[0080] バリアメタル層21は、金属層である。バリアメタル層21は、例えば、チタン(Ti)及び窒素(N)を含む。バリアメタル層21は、例えば、窒化チタンを含む。バリアメタル層21は、例えば、窒化チタン層である。バリアメタル層21の厚さは、例えば、1nm以上5nm以下である。

[0081] 上下方向(z方向)に対向する2つの層間絶縁層12の間の距離が一定で

あると仮定すると、バリアメタル層21を設けることにより、ワード線WLの上下方向の厚さが薄くなる。なお、バリアメタル層21の電気抵抗率は、ワード線WLの電気抵抗率よりも高い。

[0082] ワード線WLの上下方向の厚さが薄くなるとワード線WLの電気抵抗が高くなり、例えば、メモリセルトランジスタMTの動作に遅延が生じるおそれがある。メモリセルトランジスタMTの動作に遅延が生じると、例えば、3次元NANDフラッシュメモリの高速動作が困難となる。したがって、バリアメタル層21を省略し、ワード線WLの上下方向の厚さを厚くすることが望ましい。

[0083] もっとも、バリアメタル層21は、ワード線WL側から電荷蓄積層16側への不純物の拡散を抑制する機能を備える。ワード線WL側から電荷蓄積層16側へ不純物が拡散すると、例えば、電荷蓄積層16とワード線WLとの間のリーク電流が大きくなる。

[0084] 電荷蓄積層16とワード線WLとの間のリーク電流が大きくなると、メモリセルの特性が劣化する。電荷蓄積層16とワード線WLとの間のリーク電流が大きくなると、例えば、メモリセルの電荷保持特性、消去特性、書き込み特性等が劣化する。

[0085] ワード線WL側から電荷蓄積層16側へ拡散する不純物は、例えば、ワード線WLを形成する際の原料ガス中に含まれるボロン(B)やフッ素(F)である。

[0086] 第1の実施形態の3次元NANDフラッシュメモリは、第1のブロック絶縁層18とワード線WLとの間に、バリアメタル層を設けない。したがって、ワード線WLの上下方向の厚さを厚くすることが可能となる。よって、ワード線WLの電気抵抗が低くなり、例えば、3次元NANDフラッシュメモリの高速動作が可能となる。

[0087] そして、第1の実施形態の3次元NANDフラッシュメモリは、第1のブロック絶縁層18が、非晶質の第2の領域18bを備える。第1の実施形態の3次元NANDフラッシュメモリは、非晶質の第2の領域18bを備える

ことで、ワード線WL側から電荷蓄積層16側への不純物の拡散が抑制される。したがって、例えば、電荷蓄積層16とワード線WLとの間のリーク電流が大きくなることを抑制できる。よって、メモリセルの特性の劣化を抑制できる。

[0088] 非晶質の第2の領域18bを備えることで、ワード線WL側から電荷蓄積層16側への不純物の拡散が抑制されるメカニズムは、必ずしも明らかではない。しかし、例えば、非晶質の第2の領域18bが不純物の拡散バリアとなることが考えられる。

[0089] ワード線WL側から電荷蓄積層16側への不純物の拡散を抑制する観点から、第2の領域18bの、半導体層10からワード線WLに向かうy方向の厚さは、0.1nm以上であることが好ましく、0.2nm以上であることがより好ましい。

[0090] ワード線WLの電気抵抗を低くする観点から、第2の領域18bの厚さは薄いことが好ましい。したがって、第2の領域18bの、半導体層10からワード線WLに向かうy方向の厚さは、1nm以下であることが好ましく、0.5nm以下であることがより好ましい。

[0091] 第2の領域18bがワード線WL側から電荷蓄積層16側への不純物の拡散を抑制することで、第2の領域18bの不純物濃度は、第1の領域18aの不純物濃度よりも高くなる。例えば、第2の領域18bのボロン原子濃度は、第1の領域18aのボロン原子濃度よりも高い。また、例えば、第2の領域18bのフッ素原子濃度は、第1の領域18aのフッ素原子濃度よりも高い。

[0092] 以上、第1の実施形態によれば、ワード線の抵抗が低減し、特性の向上が可能な半導体記憶装置を提供することができる。

[0093] (第2の実施形態)

第2の実施形態の半導体記憶装置は、第1の方向に延びる半導体層と、タングステン(W)、モリブデン(Mo)、及びコバルト(Co)からなる群から選ばれる少なくとも一つの金属元素を含むゲート電極層と、半導体層と

ゲート電極層との間に設けられた電荷蓄積層と、電荷蓄積層とゲート電極層との間に設けられ、アルミニウム（Al）及び酸素（O）を含む第1の領域と、第1の領域とゲート電極層との間に設けられた第2の領域を含み、第1の領域は結晶質、第2の領域は非晶質である第1の絶縁層と、第1の絶縁層とゲート電極層との間に設けられ、第2の領域及びゲート電極層に接し、チタン（Ti）及び窒素（N）を含む金属層と、を備える。第2の実施形態の半導体記憶装置は、第1の絶縁層と、ゲート電極層との間に設けられた金属層を備える点で、第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する。

[0094] 図16（a）、図16（b）は、第2の実施形態の半導体記憶装置のメモリセルアレイの模式断面図である。図16（a）、図16（b）は、第1の実施形態の図2（a）、図2（b）に対応する図である。

[0095] 図16（a）は、メモリセルアレイ200のyz断面図である。図16（a）は、図16（b）のDD'断面である。図16（b）は、メモリセルアレイ200のxy断面図である。図16（b）は、図16（a）のCC'断面である。図16（a）中、破線で囲まれた領域が、1個のメモリセルである。

[0096] 図17は、第2の実施形態の半導体記憶装置のメモリセルの模式断面図である。図17は、メモリセルの一部の拡大断面図である。

[0097] メモリセルアレイ200は、図16（a）、図16（b）、図17に示すように、ワード線WL、半導体層10、層間絶縁層12、トンネル絶縁層14、電荷蓄積層16、第1のブロック絶縁層18、第2のブロック絶縁層19、コア絶縁領域20、バリアメタル層21を備える。

[0098] 複数のワード線WLと複数の層間絶縁層12が積層体30を構成する。第1のブロック絶縁層18は、第1の領域18aと第2の領域18bとを含む。

[0099] ワード線WLは、ゲート電極層の一例である。層間絶縁層12は、第4の絶縁層の一例である。トンネル絶縁層14は、第3の絶縁層の一例である。

第1のブロック絶縁層18は、第1の絶縁層の一例である。第2のブロック絶縁層19は、第2の絶縁層の一例である。バリアメタル層21は、金属層の一例である。

[0100] 第1のブロック絶縁層18は、第1の領域18a及び第2の領域18bを含む。第2の領域18bは、ワード線WLと第1の領域18aとの間に設けられる。

[0101] 第1の領域18aは絶縁層である。第1の領域18aは、アルミニウム（Al）及び酸素（O）を含む。第1の領域18aは、酸化アルミニウムを含む。第1の領域18aは、例えば、酸化アルミニウム層である。

[0102] 第1の領域18aは結晶質である。第1の領域18aは、例えば、結晶質の酸化アルミニウム層である。

[0103] 第1の領域18aの、半導体層10からワード線WLに向かうy方向の厚さは、例えば、1nm以上5nm以下である。

[0104] 第2の領域18bは絶縁層である。第2の領域18bは、例えば、酸化物、酸窒化物、又は、窒化物である。第2の領域18bは、アルミニウム（Al）、ハフニウム（Hf）、又はジルコニウム（Zr）の少なくともいずれか一つの元素を含む。第2の領域は、例えば、酸素（O）又は窒素（N）の少なくともいずれか一つの元素を含む。

[0105] 第2の領域18bは、例えば、窒化アルミニウム、酸窒化アルミニウム、酸化アルミニウム、ケイ酸アルミニウム、ケイ酸ハフニウム、窒素添加ケイ酸ハフニウム、又はケイ酸ジルコニウムを含む。第2の領域18bは、例えば、窒化アルミニウム層、酸窒化アルミニウム層、酸化アルミニウム層、ケイ酸アルミニウム層、ケイ酸ハフニウム層、窒素添加ケイ酸ハフニウム層、又はケイ酸ジルコニウム層である。

[0106] 第2の領域18bは非晶質（アモルファス）である。第2の領域18bは、例えば、非晶質の窒化アルミニウム層、非晶質の酸窒化アルミニウム層、非晶質の酸化アルミニウム層、非晶質のケイ酸アルミニウム層、非晶質のケイ酸ハフニウム層、非晶質の窒素添加ケイ酸ハフニウム層、又は非晶質のケ

イ酸ジルコニウム層である。

[0107] 第2の領域18bは、例えば、ボロン（B）を含む。第2の領域18bのボロン原子濃度は、例えば、第1の領域18aのボロン原子濃度よりも高い。

[0108] 第2の領域18bは、例えば、フッ素（F）を含む。第2の領域18bのフッ素原子濃度は、例えば、第1の領域18aのフッ素原子濃度よりも高い。

[0109] 第2の領域18bの、半導体層10からワード線WLに向かうy方向の厚さは、第1の領域18aの、半導体層10からワード線WLに向かうy方向の厚さよりも薄い。第2の領域18bの、半導体層10からワード線WLに向かうy方向の厚さは、例えば、0.1nm以上1nm以下である。

[0110] バリアメタル層21は、第1のブロック絶縁層18とワード線WLとの間に設けられる。バリアメタル層21は、第2の領域18bとワード線WLとの間に設けられる。バリアメタル層21は、第2の領域18bに接する。バリアメタル層21は、ワード線WLに接する。

[0111] バリアメタル層21は、金属層である。バリアメタル層21は、例えば、チタン（Ti）及び窒素（N）を含む。バリアメタル層21は、例えば、窒化チタンを含む。バリアメタル層21は、例えば、窒化チタン層である。バリアメタル層21の厚さは、例えば、1nm以上5nm以下である。

[0112] 次に、第2の実施形態の半導体記憶装置の製造方法の一例について説明する。

[0113] 図18及び図19は、第2の実施形態の半導体記憶装置の製造方法の一例を示す模式断面図である。図18及び図19は、それぞれ、図16（a）に対応する断面を示す。図18及び図19は、半導体記憶装置のメモリセルアレイ200の製造方法の一例を示す図である。

[0114] 第2の実施形態の半導体記憶装置の製造方法の一例は、酸化アルミニウム膜66の上に、窒化アルミニウム膜68を形成するまでは、第2の実施形態の半導体記憶装置の製造方法の一例と同様である。

- [0115] 次に、窒化アルミニウム膜68の上に、窒化チタン膜69を形成する(図18)。窒化チタン膜69は、例えば、ALD法により形成される。窒化チタン膜69は、最終的にバリアメタル層21となる。
- [0116] 次に、窒化チタン膜69の上に、タングステン膜70を形成する(図19)。タングステン膜70は、例えば、CVD法により形成される。タングステン膜70は、最終的にワード線WLとなる。
- [0117] タングステン膜70を形成する際、例えば、原料ガスとしてジボラン(B_2H_6)及び六フッ化タングステン(WF_6)を用いる。
- [0118] 次に、第2の実施形態の半導体記憶装置の作用及び効果について説明する。
- [0119] 図20は、第2の実施形態の比較例の半導体記憶装置のメモリセルの模式断面図である。図20は、第2の実施形態の半導体記憶装置の図17に対応する図である。
- [0120] 比較例の半導体記憶装置は、第1のブロック絶縁層18が非晶質の第2の領域18bを含まない点で、図17に示した第2の実施形態の半導体記憶装置と異なる。
- [0121] バリアメタル層21は、ワード線WL側から電荷蓄積層16側への不純物の拡散を抑制する機能を備える。比較例の半導体記憶装置では、バリアメタル層21による不純物の拡散を抑制する効果が不足する場合がある。
- [0122] このため、例えば、電荷蓄積層16とワード線WLとの間のリーク電流が大きくなるという問題が生じる。電荷蓄積層16とワード線WLとの間のリーク電流が大きくなると、メモリセルの特性が劣化する。電荷蓄積層16とワード線WLとの間のリーク電流が大きくなると、例えば、メモリセルの電荷保持特性、消去特性、書き込み特性等が劣化する。
- [0123] ワード線WL側から電荷蓄積層16側へ拡散する不純物は、例えば、ワード線WLを形成する際の原料ガス中に含まれるボロン(B)やフッ素(F)である。
- [0124] バリアメタル層21による不純物の拡散を抑制する効果が不足するのは、

バリアメタル層 2 1 の平坦性が不足することによって考えられる。

- [0125] 第 2 の実施形態の 3 次元 N A N D フラッシュメモリは、第 1 のブロック絶縁層 1 8 の第 1 の領域 1 8 a とバリアメタル層 2 1 との間に、非晶質の第 2 の領域 1 8 b を備えることで、ワード線 W L 側から電荷蓄積層 1 6 側への不純物の拡散が抑制される。したがって、例えば、電荷蓄積層 1 6 とワード線 W L との間のリーク電流が大きくなることを抑制できる。よって、メモリセルの特性の劣化を抑制できる。
- [0126] 非晶質の第 2 の領域 1 8 b を備えることで、バリアメタル層 2 1 の平坦性が向上する。バリアメタル層 2 1 の平坦性が向上することにより、バリアメタル層 2 1 による不純物の拡散を抑制する効果が向上すると考えられ。
- [0127] バリアメタル層 2 1 の平坦性を向上させ、ワード線 W L 側から電荷蓄積層 1 6 側への不純物の拡散を抑制する観点から、第 2 の領域 1 8 b の厚さは厚いことが好ましい。したがって、第 2 の領域 1 8 b の、半導体層 1 0 からワード線 W L に向かう y 方向の厚さは、0. 1 n m 以上であることが好ましく、0. 2 n m 以上であることがより好ましい。
- [0128] ワード線 W L の電気抵抗を低くする観点から、第 2 の領域 1 8 b の厚さは薄いことが好ましい。したがって、第 2 の領域 1 8 b の、半導体層 1 0 からワード線 W L に向かう y 方向の厚さは、1 n m 以下であることが好ましく、0. 5 n m 以下であることがより好ましい。
- [0129] 以上、第 2 の実施形態によれば、ワード線からの不純物の拡散が抑制され、特性の向上が可能な半導体記憶装置を提供することができる。
- [0130] 第 1 及び第 2 の実施形態では、ワード線 W L の間に、層間絶縁層 1 2 が設けられる場合を例に説明したが、ワード線 W L の間は、例えば、空洞であっても構わない。
- [0131] 第 1 及び第 2 の実施形態では、半導体層 1 0 がワード線 W L に囲まれる構造を例に説明したが、半導体層 1 0 が 2 つに分割されたワード線 W L に挟まれる構造とすることも可能である。この構造の場合、積層体 3 0 中のメモリセルの数を 2 倍にすることが可能となる。

[0132] また、第1及び第2の実施形態では、1つのメモリ穴54に1つの半導体層10を設ける構造を例に説明したが、1つのメモリ穴54に2つ以上に分割された複数の半導体層10を設ける構造とすることも可能である。この構造の場合、積層体30の中のメモリセルの数を2倍以上にすることが可能となる。

[0133] また、第1及び第2の実施形態では、電荷蓄積層が絶縁層である場合を例に説明したが、電荷蓄積層は導電層であっても構わない。

[0134] 以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

[0135]	10	半導体層
	12	層間絶縁層（第4の絶縁層）
	14	トンネル絶縁層（第3の絶縁層）
	16	電荷蓄積層
	18	第1のブロック絶縁層（第1の絶縁層）
	18a	第1の領域
	18b	第2の領域
	19	第2のブロック絶縁層（第2の絶縁層）
	21	バリアメタル層（金属層）
	WL	ワード線（ゲート電極層）

請求の範囲

- [請求項1] 第1の方向に延びる半導体層と、
タングステン（W）、モリブデン（Mo）、及びコバルト（Co）
からなる群から選ばれる少なくとも一つの金属元素を含むゲート電極
層と、
前記半導体層と前記ゲート電極層との間に設けられた電荷蓄積層と
、
前記電荷蓄積層と前記ゲート電極層との間に設けられ、アルミニウ
ム（Al）及び酸素（O）を含む第1の領域を含み、前記ゲート電極
層に接する第1の絶縁層と、
を備える半導体記憶装置。
- [請求項2] 前記第1の絶縁層は、前記第1の領域と前記ゲート電極層との間に
設けられ、前記ゲート電極層に接する第2の領域を含み、前記第1の
領域は結晶質、前記第2の領域は非晶質である請求項1記載の半導体
記憶装置。
- [請求項3] 前記第2の領域は、アルミニウム（Al）、ハフニウム（Hf）、
又はジルコニウム（Zr）の少なくともいずれか一つの元素を含む請
求項2記載の半導体記憶装置。
- [請求項4] 前記第2の領域は、酸素（O）又は窒素（N）の少なくともいずれ
か一つの元素を含む請求項3記載の半導体記憶装置。
- [請求項5] 前記第2の領域は、ボロン（B）又はフッ素（F）の少なくともい
ずれか一つの元素を含む請求項2記載の半導体記憶装置。
- [請求項6] 前記第2の領域のボロン原子濃度は前記第1の領域のボロン原子濃
度よりも高い、又は、前記第2の領域のフッ素原子濃度は前記第1の
領域のフッ素原子濃度よりも高い請求項5記載の半導体記憶装置。
- [請求項7] 前記第2の領域の前記半導体層から前記ゲート電極層へ向かう第2
の方向の厚さは、0.1nm以上1nm以下である請求項2記載の半
導体記憶装置。

- [請求項8] 前記第1の領域の前記半導体層から前記ゲート電極層へ向かう第2の方向の厚さは、1 nm以上5 nm以下である請求項1記載の半導体記憶装置。
- [請求項9] 前記電荷蓄積層と前記第1の絶縁層との間に設けられ、シリコン（Si）及び酸素（O）を含む第2の絶縁層を、更に備える請求項1記載の半導体記憶装置。
- [請求項10] 前記電荷蓄積層と前記半導体層との間に設けられた第3の絶縁層を、更に備える請求項1記載の半導体記憶装置。
- [請求項11] 前記ゲート電極層の前記第1の方向に設けられ、前記ゲート電極層との間に前記第1の絶縁層が設けられた第4の絶縁層を、更に備える請求項1記載の半導体記憶装置。
- [請求項12] 第1の方向に延びる半導体層と、
タングステン（W）、モリブデン（Mo）、及びコバルト（Co）からなる群から選ばれる少なくとも一つの金属元素を含むゲート電極層と、
前記半導体層と前記ゲート電極層との間に設けられた電荷蓄積層と、
前記電荷蓄積層と前記ゲート電極層との間に設けられ、アルミニウム（Al）及び酸素（O）を含む第1の領域と、前記第1の領域と前記ゲート電極層との間に設けられた第2の領域を含み、前記第1の領域は結晶質、前記第2の領域は非晶質である第1の絶縁層と、
前記第1の絶縁層と前記ゲート電極層との間に設けられ、前記第2の領域及び前記ゲート電極層に接し、チタン（Ti）及び窒素（N）を含む金属層と、
を備える半導体記憶装置。
- [請求項13] 前記第2の領域は、アルミニウム（Al）、ハフニウム（Hf）、又はジルコニウム（Zr）の少なくともいずれか一つの元素を含む請求項12記載の半導体記憶装置。

- [請求項14] 前記第2の領域は、酸素（O）又は窒素（N）の少なくともいずれか一つの元素を含む請求項13記載の半導体記憶装置。
- [請求項15] 前記第2の領域の前記半導体層から前記ゲート電極層へ向かう第2の方向の厚さは、0.1 nm以上1 nm以下である請求項12記載の半導体記憶装置。
- [請求項16] 前記第1の領域の前記半導体層から前記ゲート電極層へ向かう第2の方向の厚さは、1 nm以上5 nm以下である請求項12記載の半導体記憶装置。
- [請求項17] 前記電荷蓄積層と前記第1の絶縁層との間に設けられ、シリコン（Si）及び酸素（O）を含む第2の絶縁層を、更に備える請求項12記載の半導体記憶装置。
- [請求項18] 前記電荷蓄積層と前記半導体層との間に設けられた第3の絶縁層を、更に備える請求項12記載の半導体記憶装置。
- [請求項19] 前記ゲート電極層の前記第1の方向に設けられ、前記ゲート電極層との間に前記第1の絶縁層が設けられた第4の絶縁層を、更に備える請求項12記載の半導体記憶装置。
- [請求項20] 前記金属層の前記半導体層から前記ゲート電極層へ向かう第2の方向の厚さは、1 nm以上5 nm以下である請求項12記載の半導体記憶装置。