

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2023/082156 A1

(43) 国际公布日
2023 年 5 月 19 日 (19.05.2023)

(51) 国际专利分类号:
H03M 7/30 (2006.01)

(21) 国际申请号: PCT/CN2021/130162

(22) 国际申请日: 2021 年 11 月 11 日 (11.11.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111328583.7 2021 年 11 月 10 日 (10.11.2021) CN

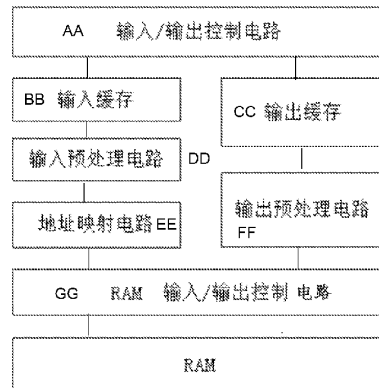
(71) 申请人: 山东方寸微电子科技有限公司 (TIH MICROELECTRONIC TECHNOLOGY CO. LTD.) [CN/CN]; 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。青岛方寸微电子科技有限公司 (QINGDAO FANGCUN MICROELECTRONIC TECHNOLOGY CO. LTD.) [CN/CN]; 中国山东省青岛市高新区新业路 31 号远创国际蓝湾创意园 A 区 5 号楼-1, Shandong 266114 (CN)。

(72) 发明人: 司浩(SI, Hao); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。张洪柳(ZHANG, Hongliu); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。于秀龙(YU, Xiulong); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。任勇强(REN, Yongqiang); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。梅绪明(MEI, Xuming); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。隋荣全(SUI, Rongquan); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。罗去禧(LUO, Quxi); 中国山东省济南市高新区舜华路 2000 号舜泰广场 9 号北楼 803-1 室, Shandong 250000 (CN)。

(74) 代理人: 济南竹森知识产权代理事务所 (普通合伙) (ZHUSEN INTELLECTUAL PROPERTY

(54) Title: LZ77 DECODING CIRCUIT AND OPERATION METHOD THEREOF

(54) 发明名称: 一种 LZ77 解码电路及其工作方法



AA Input/output control circuit
BB Input cache
CC Output cache
DD Input preprocessing circuit
EE Address mapping circuit
FF Output preprocessing circuit
GG RAM input/output control circuit

图 1

(57) Abstract: An LZ77 decoding circuit. According to a pair data stream direction, the circuit comprises: an input/output control circuit, an input cache, an input preprocessing circuit, an address mapping circuit, an RAM input/output control circuit, an RAM, an output preprocessing circuit and an output cache, wherein the RAM and the output cache jointly form a search window, and data required by pair is searched for from the RAM of the search window by means of the RAM input/output control circuit. According to a literal data stream direction, the LZ77 decoding circuit comprises an input cache, an input preprocessing circuit and an output cache, wherein an RAM is updated by data in the output cache. According to the present invention, input and output data are respectively preprocessed by means of an improved search window structure, thereby effectively improving the LZ77 decoding speed.

[见续页]

WO 2023/082156 A1

AGENCY OFFICE): 中国山东省济南市高新区
港兴三路北段1号, 济南药谷研发平台1号楼B
座1919-1922室, Shandong 250000 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 发明人资格(细则4.17(iv))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种LZ77解码电路, 按照pair数据流方向包括: 输入/输出控制电路、输入缓存、输入预处理电路、地址映射电路、RAM输入/输出控制电路、RAM、输出预处理电路、输出缓存, 所述RAM和输出缓存共同构成了查找窗; 其中, 通过所述RAM输入/输出控制电路向查找窗的RAM查找pair需要的数据; 按照literal数据流方向, 所述LZ77解码电路包括: 输入缓存、输入预处理电路和输出缓存, 输出缓存中的数据更新所述RAM。本发明通过改进的查找窗结构、对输入、输出数据分别进行预处理, 进而有效提高LZ77解码速度。